



(12)发明专利申请

(10)申请公布号 CN 108885602 A

(43)申请公布日 2018.11.23

(21)申请号 201780015451.4

(74)专利代理机构 上海专利商标事务有限公司 31100

(22)申请日 2017.03.06

代理人 陈炜

(30)优先权数据

(51)Int.Cl.

62/304,803 2016.03.07 US

G06F 13/42(2006.01)

15/442,164 2017.02.24 US

(85)PCT国际申请进入国家阶段日

2018.09.05

(86)PCT国际申请的申请数据

PCT/US2017/020998 2017.03.06

(87)PCT国际申请的公布数据

W02017/155897 EN 2017.09.14

(71)申请人 高通股份有限公司

地址 美国加利福尼亚州

(72)发明人 R·皮提果-艾伦

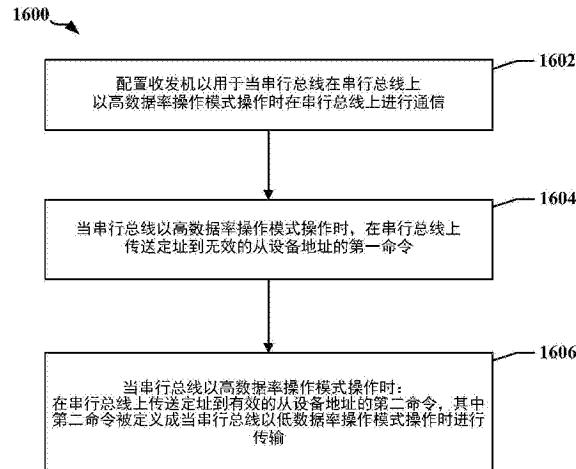
权利要求书4页 说明书17页 附图17页

(54)发明名称

多协议I3C共用命令码

(57)摘要

系统、方法和装置为通信接口提供经改善的性能，该通信接口提供串行总线上的设备的共存。耦合到串行总线的总线主控配置收发机以用于当串行总线在串行总线上以高数据率操作模式操作时在串行总线上进行通信，并且当串行总线以高数据率操作模式操作时，传送定址到无效的从设备地址的第一命令，以及传送定址到有效的从设备地址的第二命令。第二命令被定义成当串行总线以低数据率操作模式操作时进行传输。



1. 一种耦合到串行总线的总线主设备处的数据通信方法,包括:

配置收发机以用于当所述串行总线在所述串行总线上以高数据率操作模式操作时在所述串行总线上进行通信;以及

当所述串行总线以所述高数据率操作模式操作时:

在所述串行总线上传送定址到无效的从设备地址的第一命令;以及

在所述串行总线上传送定址到有效的从设备地址的第二命令,

其中所述第二命令包括被编码成当所述串行总线以低数据率操作模式操作时进行传输的命令。

2. 如权利要求1所述的方法,其特征在于,所述高数据率操作模式符合I3C高数据率操作模式,而所述低数据率操作模式符合I3C单数据率(SDR)操作模式。

3. 如权利要求2所述的方法,其特征在于,所述第二命令包括被定义成当所述串行总线以所述I3C SDR操作模式操作时进行传输的共用命令码(CCC)。

4. 如权利要求2所述的方法,其特征在于,传送所述第二命令包括:

用被定义成当所述串行总线以所述I3C SDR操作模式操作时进行传输的共用命令码(CCC)来填充所述第二命令的第一字段;

当所述CCC是定向CCC时,用所述有效的从设备地址来填充所述第二命令的第二字段;以及

当所述CCC是广播CCC时,用计算成减少所述收发机在传输期间的能量消耗的值来填充所述第二命令的所述第二字段。

5. 如权利要求2所述的方法,其特征在于,传送所述第二命令包括:

用被定义成当所述串行总线以所述I3C SDR操作模式操作时进行传输的共用命令码(CCC)来填充所述第二命令的第一字段;

当所述CCC是定向CCC时,用所述有效的从设备地址来填充所述第二命令的第二字段;以及

当所述CCC是广播CCC时,用检错或纠错信息来填充所述第二命令的所述第二字段。

6. 如权利要求1所述的方法,其特征在于,进一步包括:

当所述串行总线以所述低数据率操作模式操作时并且在传送所述第一命令之前,在所述串行总线上传送开始序列或重启命令;以及

当所述串行总线以所述低数据率操作模式操作时并且在传送所述第一命令之前,传送模式命令,其中所述模式命令使所述串行总线转变到所述高速率操作模式。

7. 如权利要求1所述的方法,其特征在于,所述高数据率操作模式对应于I3C高数据率-双倍数据率(HDR-DDR)操作模式。

8. 如权利要求1所述的方法,其特征在于,所述高数据率操作模式对应于I3C高数据率-三进制旧式码元(HDR-TSL)操作模式或I3C高数据率-三进制纯码元(HDR-TSP)操作模式。

9. 如权利要求1所述的方法,其特征在于,传送所述第一命令包括:

用计算成减少所述收发机在传输期间的能量消耗的值来填充所述第一命令的第一字段;以及

用所述无效的从设备地址来填充所述第一命令的第二字段。

10. 如权利要求1所述的方法,其特征在于,传送所述第一命令包括:

用检错或纠错信息来填充所述第一命令的第一字段；以及  
用所述无效的从设备地址来填充所述第一命令的第二字段。

11. 一种被配置为耦合到串行总线的总线主控设备，包括：  
收发机，其被配置为通过所述串行总线的数据线交换数据；  
线驱动器，其被配置为控制所述串行总线的时钟线的信令状态；以及  
发射机电路，其耦合到所述收发机和所述线驱动器，其中当所述串行总线以高数据率  
操作模式操作时，所述发射机电路被配置为：

在所述串行总线上传送定址到无效的从设备地址的第一命令；以及  
在所述串行总线上传送定址到有效的从设备地址的第二命令，

其中所述第二命令包括被编码成当所述串行总线以低数据率操作模式操作时进行传  
输的命令。

12. 如权利要求11所述的总线主控设备，其特征在于，所述第二命令包括被定义成当所  
述串行总线以I3C单数据率 (SDR) 操作模式操作时进行传输的共用命令码 (CCC)。

13. 如权利要求12所述的总线主控设备，其特征在于，所述发射机电路被配置为：

用被编码成当所述串行总线以所述I3C SDR操作模式操作时进行传输的共用命令码  
(CCC) 来填充所述第二命令的第一字段；

当所述CCC是定向CCC时，用所述有效的从设备地址来填充所述第二命令的第二字段；  
以及

当所述CCC是广播CCC时，用计算成减少所述收发机在传输期间的能量消耗的值来填充  
所述第二命令的所述第二字段。

14. 如权利要求11所述的总线主控设备，其特征在于，所述高数据率操作模式符合I3C  
高数据率操作模式，而所述低数据率操作模式符合I3C单数据率 (SDR) 操作模式，并且其中  
所述发射机电路被配置为：

用被编码成当所述串行总线以所述I3C SDR操作模式操作时进行传输的共用命令码  
(CCC) 来填充所述第二命令的第一字段；

当所述CCC是定向CCC时，用所述有效的从设备地址来填充所述第二命令的第二字段；  
以及

当所述CCC是广播CCC时，用检错或纠错信息来填充所述第二命令的所述第二字段。

15. 如权利要求11所述的总线主控设备，其特征在于，所述发射机电路被配置为：

当所述串行总线以所述低数据率操作模式操作时并且在传送所述第一命令之前，在所  
述串行总线上传送开始序列；以及

当所述串行总线以所述低数据率操作模式操作时并且在传送所述第一命令之前，传送  
模式命令，其中所述模式命令使所述串行总线转变到所述高速率操作模式。

16. 如权利要求11所述的总线主控设备，其特征在于，所述发射机电路被配置为：

当所述串行总线以所述高数据率操作模式操作时并且在传送所述第一命令之前，在所  
述串行总线上传送重启命令。

17. 如权利要求11所述的总线主控设备，其特征在于，所述高数据率操作模式对应于  
I3C高数据率-双倍数据率 (HDR-DDR) 操作模式。

18. 如权利要求11所述的总线主控设备，其特征在于，所述高数据率操作模式对应于

I3C高数据率-三进制旧式码元(HDR-TSL)操作模式或I3C高数据率-三进制纯码元(HDR-TSP)操作模式。

19. 如权利要求11所述的总线主控设备,其特征在于,所述发射机电路被配置为:

用计算成减少所述收发机在传输期间的能量消耗的值来填充所述第一命令的第一字段;以及

用所述无效的从设备地址来填充所述第一命令的第二字段。

20. 如权利要求11所述的总线主控设备,其特征在于,所述发射机电路被配置为:

用检错或纠错信息来填充所述第一命令的第一字段;以及

用所述无效的从设备地址来填充所述第一命令的第二字段。

21. 一种装置,包括:

串行总线;

从设备,其耦合到所述串行总线;以及

主设备,其耦合至所述串行总线并且被配置为控制所述串行总线上的通信,

其中当所述串行总线在所述串行总线上以高数据率操作模式操作时,所述主设备被配置为:

在所述串行总线上传送定址到无效的从设备标识符的第一命令;以及

在所述串行总线上传送定址到与所述从设备相关联的从设备标识符的第二命令,其中所述第二命令包括被编码成当所述串行总线以低数据率操作模式操作时进行传输的命令。

22. 如权利要求21所述的装置,其特征在于,所述高数据率操作模式符合I3C高数据率操作模式,而所述低数据率操作模式符合I3C单数据率(SDR)操作模式,并且其中所述第二命令包括被定义成当所述串行总线以I3C SDR操作模式操作时进行传输的共用命令码(CCC)。

23. 如权利要求21所述的装置,其特征在于,所述主设备被配置为:

当所述串行总线以所述低数据率操作模式操作时并且在传送所述第一命令之前,在所述串行总线上传送开始序列;以及

当所述串行总线以所述低数据率操作模式操作时并且在传送所述第一命令之前,传送模式命令,其中所述模式命令使所述从设备转变到所述高速率操作模式。

24. 如权利要求21所述的装置,其特征在于,所述主设备被配置为:

当所述串行总线以所述低数据率操作模式操作时并且在传送所述第一命令之前,在所述串行总线上传送重启命令。

25. 如权利要求21所述的装置,其特征在于,所述高数据率操作模式对应于I3C高数据率-双倍数据率(HDR-DDR)操作模式。

26. 如权利要求21所述的装置,其特征在于,所述高数据率操作模式对应于I3C高数据率-三进制旧式码元(HDR-TSL)操作模式或I3C高数据率-三进制纯码元(HDR-TSP)操作模式。

27. 如权利要求21所述的装置,其特征在于,所述主设备被配置为:

用计算成减少所述装置在传输期间的能量消耗的值来填充所述第一命令的第一字段;以及

用所述无效的从设备标识符来填充所述第一命令的第二字段。

28. 如权利要求21所述的装置,其特征在于,所述主设备被配置为:  
用检错或纠错信息来填充所述第一命令的第一字段;以及  
用所述无效的从设备标识符来填充所述第一命令的第二字段。
29. 一种计算机可读存储介质,其包括用于执行以下动作的代码:  
配置收发机以用于当串行总线在所述串行总线上以高数据率操作模式操作时在所述串行总线上进行通信;以及  
当所述串行总线以所述高数据率操作模式操作时:  
在所述串行总线上传送定址到无效的从设备地址的第一命令;以及  
在所述串行总线上传送定址到有效的从设备地址的第二命令,  
其中所述第二命令包括被编码成当所述串行总线以低数据率操作模式操作时进行传输的命令。
30. 如权利要求29所述的计算机可读存储介质,其特征在于,传送所述第二命令包括:  
用被定义成当所述串行总线以I3C SDR操作模式操作时进行传输的共用命令码(CCC)来填充所述第二命令的第一字段;以及  
当所述CCC是定向CCC时,用所述有效的从设备地址来填充所述第二命令的第二字段。

## 多协议I3C共用命令码

[0001] 相关申请的交叉引用

[0002] 本申请要求于2017年2月24日在美国专利商标局提交的非临时申请No.15/442,164、以及于2016年3月7日在美国专利局提交的美国临时申请S/N.62/304,803的权益，以上申请的全部内容通过援引且出于所有适用目的被纳入于此。

### 技术领域

[0003] 本公开一般涉及处理器和外围设备之间的接口，更具体地，涉及改善适配成与较低性能设备共存于串行总线上的设备的性能。

[0004] 背景

[0005] 集成电路间串行总线(也可被称为I2C总线或I<sup>2</sup>C总线)是旨在用于将低速外围设备连接至处理器的串行单端计算机总线。I2C总线是多主控总线，其中每个设备可以针对在I2C总线上传送的不同消息充当主设备和从设备。I2C总线可以仅使用两个双向开漏(open-drain)连接器(包括串行数据线(SDA)和串行时钟线(SCL))来传送数据。这些连接器通常包括由上拉电阻器终接的信号导线。I2C的原始实现在标准模式操作中支持最高达100千比特每秒(100kbps)的数据信令速率，其中较新近的标准在快速模式操作中支持400kbps的速度，并且在快速模式+操作中支持1兆比特每秒(Mbps)的速度。

[0006] 在一些系统和装置中，移动通信设备(诸如蜂窝电话)可以采用消耗显著带宽的多个设备(诸如相机、显示器和各种通信接口)。此类系统和装置中的串行总线可以采用I2C协议和其他协议(诸如，从I2C协议衍生出的I3C协议)的组合，这些其他协议可以通过例如更高的发射机时钟速率来增加串行总线上的可用带宽。I3C规范定义了可以支持多种通信模式的通信接口，包括可与I2C通信模式不同的高速模式和低速模式。可使用I3C操作模式进行通信的设备可以使用各种技术(包括使用I2C设备无法识别或忽略的信令)共存在包含I2C设备的总线上。可使用不同的I3C操作模式进行通信的设备可以共存在相同的总线上。当相关联信令对旧式设备而言看起来是非法的或在I2C协议下无法识别时，某些共存问题可能仍然存在于这些系统中。例如，主设备可能被迫使用为耦合到共享串行总线的最慢设备所定义的信令来传达总线控制命令，相应地减少了吞吐量和/或增加了等待时间。

[0007] 相应地，存在持续的对在连接到共享串行接口的设备之间提供改进的共存的需要。

[0008] 概述

[0009] 本文所公开的实施例提供了通过消除无效消息的出现来提供耦合到串行总线的设备的改善共存的系统、方法和装置。

[0010] 在本公开的一方面，一种在耦合到串行总线的总线主设备处的数据通信方法包括：配置收发机以用于当串行总线在串行总线上以高数据率操作模式操作时在串行总线上进行通信，并且当串行总线以高数据率操作模式操作时，在串行总线上发送定址到无效的从设备地址的第一命令，以及在串行总线上发送定址到有效的从设备地址的第二命令。第二命令可被定义成当串行总线以低数据率操作模式操作时进行传输。

[0011] 高数据率操作模式可以符合I3C高数据率操作模式,而低数据率操作模式符合I3C单数据率操作模式。第二命令可以包括被定义成当串行总线以I3C单数据率操作模式操作时进行传输的共用命令码。

[0012] 该方法可以包括当串行总线以低数据率操作模式操作时并且在传送第一命令之前,在串行总线上传送开始序列或重启命令,以及当串行总线以低数据率操作模式操作时且在传送第一命令之前,传送模式命令。该模式命令可以使串行总线转变到高速率操作模式。

[0013] 在一示例中,高数据率操作模式可以对应于I3C高数据率-双倍数据率操作模式。在其他示例中,高数据率操作模式对应于I3C高数据率-三进制旧式码元操作模式或I3C高数据率-三进制纯码元操作模式。

[0014] 可通过用计算成减少在传输期间收发机的能量消耗的值填充第一命令的第一字段、以及通过用无效的从设备地址填充第一命令的第二字段来传送第一命令。可通过用检错或纠错信息填充第一命令的第一字段、以及用无效的从设备地址填充第一命令的第二字段来传送第一命令。

[0015] 可通过用被定义成当串行总线以I3C SDR操作模式操作时进行传输的共用命令码填充第二命令的第一字段、当共用命令码是定向共用命令码时用有效的从设备地址填充第二命令的第二字段、以及当共用命令码是广播共用命令码时用计算成减少在传输期间收发机的能量消耗的值填充第二命令的第二字段来传送第二命令。

[0016] 可通过用被定义成当串行总线以I3C SDR操作模式操作时进行传输的共用命令码填充第二命令的第一字段、当共用命令码是定向共用命令码时用有效的从设备地址填充第二命令的第二字段、以及当共用命令码是广播共用命令码时用检错或纠错信息填充第二命令的第二字段来传送第二命令。

[0017] 在本公开的一方面,一种被配置为耦合到串行总线的总线主控设备具有:收发机,其被配置为通过串行总线的数据线交换数据;线驱动器,其被配置为控制串行总线的时钟线的信令状态;以及发射机电路,其耦合至收发机和线驱动器。当串行总线以高数据率操作模式操作时,发射机电路可被配置为在串行总线上传送定址到无效从设备地址的第一命令,在串行总线上传送定址到有效的从设备地址的第二命令。第二命令可被定义成当串行总线以低数据率操作模式操作时进行传输。

[0018] 第二命令可以包括被定义成当串行总线以I3C单数据率操作模式操作时进行传输的共用命令码。发射机电路可被配置为:用被编码成当串行总线以I3C单数据率操作模式操作时进行传输的共用命令码来填充第二命令的第一字段,当共用命令码是定向共用命令码时,用有效的从设备地址来填充第二命令的第二字段,以及当共用命令码是广播共用命令码时,用计算成减少在传输期间收发机的能量消耗的值来填充第二命令的第二字段。

[0019] 高数据率操作模式符合I3C高数据率操作模式,而低数据率操作模式符合I3C单数据率操作模式,并且发射机电路可被配置为用被编码成当串行总线以I3C SDR操作模式操作时进行传输的共用命令码来填充第二命令的第一字段,当共用命令码是定向共用命令码时,用有效的从设备地址来填充第二命令的第二字段,以及当共用命令码是广播共用命令码时,用检错或纠错信息来填充第二命令的第二字段。

[0020] 发射机电路可被配置为当串行总线以低数据率操作模式操作时并且在传送第一

命令之前,在串行总线上传送开始序列,以及当串行总线以低数据率操作模式操作时并且在传送第一命令之前,传输模式命令,其中该模式命令使串行总线转变到高速率操作模式。

[0021] 发射机电路可被配置为当串行总线以高数据率操作模式操作时并且在传送第一命令之前,在串行总线上传送重启命令。

[0022] 在一示例中,高数据率操作模式对应于I3C高数据率-双倍数据率操作模式。在其他示例中,高数据率操作模式对应于I3C高数据率-三进制旧式码元操作模式或I3C高数据率-三进制纯码元操作模式。

[0023] 该发射机电路可被配置为用计算成减少在传输期间收发机的能量消耗的值来填充第一命令的第一字段,以及用无效的从设备地址来填充第一命令的第二字段。

[0024] 该发射机电路可被配置为用检错或纠错信息来填充第一命令的第一字段,以及用无效的从设备地址来填充第一命令的第二字段。

[0025] 在本公开的一方面,一种处理器可读存储介质上存储有可由处理器执行的代码。该代码可以包括指令,该指令使该处理器:配置收发机以用于当串行总线在串行总线上以高数据率操作模式操作时在串行总线上进行通信,以及当串行总线以高数据率操作模式操作时,在串行总线上向无效的从设备地址传送第一命令,以及在串行总线上传送定址到有效的从设备地址的第二命令。第二命令可被定义成当串行总线以低数据率操作模式操作时进行传输。

[0026] 用于传送第二命令的代码可以包括用于以下操作的代码:用被定义成当串行总线以I3C单数据率操作模式操作时进行传输的共用命令码来填充第二命令的第一字段,以及当共用命令码是定向共用命令码时,用有效的从设备地址来填充第二命令的第二字段。

[0027] 附图简述

[0028] 图1描绘了在各IC设备之间采用数据链路的装置,该数据链路选择性地根据多个可用标准之一来操作。

[0029] 图2解说了采用IC设备之间的数据链路的装置的系统架构。

[0030] 图3解说了耦合到共用串行总线的从设备的配置,其中从设备使用不同的协议进行通信。

[0031] 图4解说了在使用多种通信协议的串行总线上传送的数据和时钟信号之间的定时关系。

[0032] 图5解说了在某些从设备中采用的尖峰滤波器的操作。

[0033] 图6解说了与用于描绘I2C总线上的传输的开始和停止状况相关联的信令。

[0034] 图7解说了I2C一字节写数据操作的时序图。

[0035] 图8解说了与I2C总线上使用的重复开始状况相关联的信令。

[0036] 图9解说了当根据I3C操作模式操作串行时串行总线上的信令状态。

[0037] 图10解说了在被配置为支持单数据率操作模式的串行数据链路上的命令码的传输。

[0038] 图11解说了在被配置为支持第一高数据率操作模式的串行数据链路上的命令码的传输。

[0039] 图12解说了在被配置为支持第二和第三第一高数据率操作模式的串行数据链路上的命令码的传输。

[0040] 图13解说了根据本文公开的某些方面的包括低数据率命令码的高数据率传输的第一示例。

[0041] 图14解说了根据本文公开的某些方面的包括低数据率命令码的高数据率传输的第二示例。

[0042] 图15是解说采用可根据本文所公开的某些方面来适配的处理系统的装置的示例的框图。

[0043] 图16是根据本文所公开的一个或多个方面的耦合到串行总线的总线主设备处的数据通信方法的流程图。

[0044] 图17是解说根据本文所公开的一个或多个方面的在串行总线上进行通信的传送方装置的硬件实现的示例的示图。

#### [0045] 详细描述

[0046] 在以下描述中,给出了具体细节以提供对各实施例的透彻理解。然而,本领域普通技术人员将理解,没有这些具体细节也可实践这些实施例。例如,电路可能用框图示出以避免使这些实施例湮没在不必要的细节中。在其他实例中,公知的电路、结构和技术可能不被详细示出以免湮没这些实施例。现在参照附图描述各个方面。在以下描述中,出于解释目的阐述了众多具体细节以提供对一个或多个方面的透彻理解。但是显然的是,没有这些具体细节也可实践此类方面。

#### [0047] 概览

[0048] 根据本文所公开的某些方面,耦合到I3C总线的设备可以被适配成发布和/或响应适于在I3C总线的高速操作模式中传输的命令,其中该命令通常针对低速模式被编码,并以低速模式被传送。针对低速模式被编码的命令可以被称为共用命令码(CCC)。通过在高速模式下传送CCC,可以避免高速操作模式和低速操作模式之间的转变。当避免高速操作模式和低速操作模式之间的转变时,可以实现I3C总线上的总数据吞吐量的显著增加。在一些示例中,事务时间的总历时每次事务可以减少13.5μs或更多。例如,当在20Mbps至33Mbps的范围内测量高速吞吐量时,节省13.5μs的事务时间可以是重要的。在使用低速操作模式来支持旧式I2C设备的示例中,事务时间的总历时可以减少275μs或更多,其取决于总线配置和命令的复杂性。本文公开了遵循或兼容于现有I3C规范的方法。在各种示例中,现有装备中的电路和逻辑可以被适配或配置为实现所公开的技术。

#### [0049] 采用串行总线的移动通信的示例

[0050] 图1描绘了可采用被部署在IC设备内和/或在IC设备之间的通信链路的装置100。在一示例中,装置100可包括通信设备,其通过射频(RF)通信收发机118与无线电接入网(RAN)、核心接入网、因特网和/或另一网络通信。通信收发机118可实施在处理电路102中,或者可操作地耦合至处理电路102。处理电路102可以使用SoC来实现和/或可以包括一个或多个IC器件。在一示例中,处理电路102可以包括一个或多个应用处理器104、一个或多个ASIC108、以及一个或多个外围设备106(诸如,编解码器、放大器和其他视听组件)。每个ASIC 108可包括一个或多个处理设备、逻辑电路、存储、寄存器等等。应用处理器104可以包括处理器110和存储器114,并且可以由操作系统112来控制,该操作系统112作为可由处理器110执行的数据和指令从内部或外部存储116加载。指令可以通过操作系统和应用编程接口中的一者或者者的服务由处理电路102的处理器110来执行。在一示例中,处理器可以加

载和/或执行驻留在存储介质(诸如,存储器114和/或外部存储116)中的软件模块。存储器114可包括只读存储器(ROM)或随机存取存储器(RAM)、电可擦除可编程ROM(EEPROM)、闪存卡、或可以在处理系统和计算平台中使用的任何存储器设备。

[0051] 处理电路102可以包括或访问在存储器114中实现的本地数据库,例如,其中该数据库可以用于维护操作参数以及用于配置和操作装置100的其他信息。本地数据库可以实现为寄存器组,或可在数据库模块、闪存、磁介质、非易失性或持久存储、光学介质、磁带、软盘或硬盘等中实现。处理电路也可以可操作地耦合至外部设备,诸如天线120、显示器124、操作者控件(诸如按钮128、130和按键板126)、以及其他组件。

[0052] 可以提供数据总线122以支持应用处理器104、ASIC 108和/或外围设备106之间的通信。数据总线122可以根据为互连移动设备的某些组件所定义的一个或多个标准和/或协议来操作。例如,存在多种类型的接口,其被定义用于移动设备的应用处理器与显示器和相机组件之间的通信,或者用于被部署为独立外围设备106或在ASIC 108中提供的显示器控制器之间的通信。一些组件采用遵循由移动行业处理器接口(MIPI)联盟所规定的标准的接口。例如,MIPI联盟定义I3C接口标准使移动设备设计人员能够实现设计目标,包括可伸缩性、降低的功耗、更少引脚数、易于集成、以及系统设计之间的一致性。

[0053] 图2是解说包括连接至通信总线230的多个设备202、220和222a-222n的装置200的某些方面的示意性框图。设备202、220和222a-222n可包括一个或多个半导体集成电路(IC)设备,诸如应用处理器或ASIC。设备202、220和222a-222n可包括调制解调器、信号处理设备、显示器驱动器、相机、用户接口、传感器、传感器控制器、媒体播放器、射频(RF)收发机、和/或其他此类组件或设备。装置200可在移动通信设备中实施。

[0054] 在一示例中,装置200包括使用I2C总线230进行通信的多个设备202、220和222a-222n,并且至少一个成像设备202可被配置成作为I2C总线230上的从设备来操作。该成像设备202可以适配成提供传感器控制功能204。在一示例中,传感器控制功能204可以包括支持图像传感器的电路和模块。在其他示例中,传感器控制功能204可以控制测量环境状况的一个或多个传感器和/或与之进行通信。另外,成像设备202可包括配置寄存器或其他存储206、控制逻辑212、收发机210以及线驱动器/接收机214a和214b。控制逻辑212可包括处理电路,诸如状态机、定序器、信号处理器或通用处理器。收发机210可包括接收机210a、发射机210c和共用电路210b(包括定时、逻辑和存储电路和/或设备)。在一示例中,发射机210c基于由时钟生成电路208所提供的信号228中提供的定时来编码和传送数据。

[0055] 设备202、220和/或222a-222n中的两个或更多个设备可根据本文所公开的某些方面和特征被适配成支持共用总线上的多种不同的通信协议,这些通信协议可包括集成电路间(I2C)协议、和/或I3C协议。在一些实例中,使用I2C协议来通信的设备可与使用I3C协议来通信的设备共存于相同的双线接口上。在一示例中,I3C协议可支持提供6兆比特每秒(Mbps)与16Mbps之间的数据率的操作模式,其中有一个或多个可任选的高数据率(HDR)操作模式提供更高性能。I2C协议可遵循提供范围可在100千比特每秒(kbps)与3.2Mbps之间的数据率的实际I2C标准。除了数据格式和总线控制方面,I2C和I3C协议还可定义在双线串行总线230上传送的信号的电气和定时方面。在一些方面,I2C和I3C协议可定义影响与双线总线230相关联的某些信号电平的直流(DC)特性、和/或影响在双线总线230上传送的信号的某些定时方面的交流(AC)特性。

[0056] 驱动至串行总线的设备的共存

[0057] 图3解说了包括连接到可支持多个通信协议的双线总线230的设备302、304、306、308、310和312的配置的系统300。设备302、304、306、308、310和312可以使用双线总线230通过当在时钟线216上传送时钟信号时在数据线218上交换数据来进行通信(参见图2)。在所解说了的示例中,三个从设备304、306和308被限于在双线总线230上使用I2C协议进行通信,而两个从设备310和312被适配成或配置为在双线总线230上使用I3C协议进行通信。单个总线主设备302可以在I2C和I3C两种操作模式下作为总线主设备操作。

[0058] 具有I3C能力的设备302、310和312可以使用I2C协议与限于I2C的从设备304、306和308共存。虽然可以在I3C操作模式中采用多个总线主控,但I2C协议提供单个总线主控。在该示例中,单个总线主控302可以在I2C操作模式和I3C操作模式中进行通信。具有I3C能力的从设备310、312中的一者或者也可以使用I2C协议进行通信。例如,总线主控302可以使用I3C协议与具有I3C能力的从设备310或312中的一者进行通信以传输高容量或高速数据,并且可以使用I2C协议将低容量信息传送至相同的具有I3C能力的从设备310或312。在一些实例中,总线主控302可以使用I2C协议作为向多个从设备304、306、308、310和312广播消息的共用方法来传送某些控制和配置信息。

[0059] 图4提供了解说在数据线218和时钟线216上传送的信号之间的关系的时序图400、420。第一时序图400解说了与I2C协议一致的定时,并且涉及当在双线总线230上传输数据时数据线218和时钟线216之间的定时关系。时钟线216提供可用于对在数据线218上传送的数据信号进行采样的一系列时钟脉冲402a、402b。当时钟线216在数据传输期间处于逻辑高状态时,要求数据线218上的数据是稳定且有效的,以使得不准许数据线218的状态在时钟线216处于高状态时改变。在逻辑低状态中,接收电路忽略(或不关心)数据线218的状态。

[0060] I2C协议的规范(本文被称为“I2C规范”)定义了时钟线216上的每个脉冲402a、402b的高时段( $t_{高}$ )406的最小历时。脉冲402a、402b的高时段406对应于其中时钟线216具有大于针对高逻辑状态的阈值最小电压电平416、426的电压的时间。I2C规范还定义了与脉冲402a、402b中的转变相关联的建立时间和保持时间的最小历时,并且在此期间数据线218的信令状态必须保持在高逻辑状态。建立时间定义了在数据线218上的信令状态之间的转变404a之后、直至时钟线216上的脉冲402a、402b的上升沿抵达为止的最大时间段。保持时间定义了在时钟线216上的脉冲402a、402b的下降沿之后、直至数据线218上的信令状态之间的下一转变404b为止的最短时间段。I2C规范还定义了时钟线216的低时段( $t_{低}$ )408——当时钟线216的电压低于针对低逻辑状态的阈值最大值414、428时——的最小历时。通常在高时段406中——当时钟线216在脉冲402a、402b的前沿之后处于高逻辑状态时——捕获数据线218上的数据。

[0061] 第二时序图420解说了与I3C协议一致的定时,并且涉及当以比使用I2C协议通常可用的数据率(例如,0.1-3.2Mbps)更高的数据率(例如,6-16Mbps)在双线总线230上传输数据时数据线218和时钟线216之间的定时关系。在I3C示例中,在时钟线216上传送的时钟信号包括一系列脉冲,如由脉冲422所解说,该一系列脉冲可用于对在数据线218上传送的数据信号进行采样。在I3C操作模式期间在时钟线216上传送的每个脉冲422可具有从自低逻辑状态的初始转变430起直至返回432到低逻辑状态的为50ns或更短的脉冲宽度424。当限于I2C的从设备304、306和308遵循I2C协议并且滤除或忽略在双线总线230上的I3C事务

期间传送的历时为50ns或更短的脉冲422时,可以实现从设备304、306、308、310和312的共存。

[0062] 图5是解说在I3C操作模式期间限于I2C的从设备304、306和308的操作的示图。根据I2C协议,限于I2C的从设备304、306、308的输入电路500包括对由线接收机502从时钟线216接收到的信号进行滤波的尖峰滤波器504。尖峰滤波器504产生经滤波的串行时钟信号(Clock<sub>Fi1</sub> 506),其由限于I2C的从设备304、306、308用于对在数据线218上传送的信号进行采样。尖峰滤波器504可以被适配成或配置为滤除时钟线216上具有50ns或更短的历时514(t<sub>sp</sub>)的任何脉冲。

[0063] 图5中的时序图510解说了当根据I3C操作模式来操作双线总线230时,时钟线216、数据线218和Clock<sub>Fi1</sub> 506上的信号的定时。在I3C操作模式中,时钟线216上的脉冲512具有50ns或更小的历时514,并且由限于I2C的从设备304、306、308的尖峰滤波器504滤除。在I3C操作模式中的数据传输的历时内,由尖峰滤波器504输出的Clock<sub>Fi1</sub> 506可以保持在低逻辑电平516(例如,0伏特)。在时序图510中,从时钟线216接收到的由尖峰滤波器504滤除的脉冲512的出现在Clock<sub>Fi1</sub> 506中被示为虚线脉冲518。

[0064] 图6是解说数据线218和时钟线216上用于发起和终止双线总线230上的传输的信号状态的定时的时序图600。在I2C和I3C操作模式中识别开始状况622和停止状况624。总线主控302使用开始状况622来发信令通知要传送数据。开始状况622在时钟线216为高的同时数据线218从高转变为低时发生。在I2C操作模式中,总线主控302传送开始状况622。随后,主设备302在时钟线216上传送时钟信号,并且在数据线218上交换数据。当由主设备302传送停止状况624时,传输完成。停止状况624在时钟线216为高的同时数据线218从低转变为高时发生。I2C规范要求数据线218的所有转变在时钟线216为低时发生,并且例外可被当作开始状况622或停止状况624。

[0065] 图7是解说根据I2C协议的字节写数据操作的时序图700。写操作在开始状况706之后开始,并且由停止状况716终止。I2C主节点发送7比特从设备地址,该从设备地址可以在数据线218上被称为从设备标识符(从设备ID 702)。从设备ID 702指示主节点希望访问I2C总线上的哪个从节点。从设备ID 702之后是读/写比特712,该读/写比特712指示操作是读操作还是写操作。在该示例中,读/写比特712处于逻辑0以指示写操作;对于读操作,读/写比特712处于逻辑1。仅具有与从设备ID 702相匹配的地址的从节点能够响应该写(或读)操作。为了使I2C从节点检测其自己的从设备ID 702,主节点在数据线218上传送至少8比特,连同在时钟线216上传送的8个时钟脉冲(包括脉冲714)。I2C协议提供8比特数据(字节)704和7比特从设备地址(例如,从设备ID 702)的传输。当接收机驱动数据线218达一个时钟周期708、710时,数据传输被确收,并且低信令状态表示指示成功接收的确收(ACK),而高信令状态表示指示接收失败或在接收期间出错的否定确收(NACK)。

[0066] 图8包括解说与双线总线230上的多个帧传输相关联的定时的时序图800和820。帧可以包括在开始状况806和停止状况808之间传送的一个或多个数据字节。双线总线230在开始状况806和停止状况808之间的区间中可被认为是繁忙的。双线总线230在传送停止状况808之后和下一个开始状况806之前可被认为是空闲的。在一些实例中,停止状况808和连贯开始状况810之间的空闲时段814的历时可以是拖延的,从而导致降低的数据吞吐量。在操作中,在总线主控302传送第一开始状况806继之以数据时,繁忙时段812开始。在总线主

控302传送停止状况808时繁忙时段812结束并且空闲时段814跟着发生。空闲时段814结束于第二开始状况810的传输。

[0067] 还参照时序图820,在一些实例中,双线总线230上的相继帧传输之间的空闲时段814可通过传送重复的开始状况(Sr)828而不是停止状况来在数量上减少和/或在一些环境中消除。重复的开始状况828终止先前的帧传输并且同时指示下一帧传输的开始。数据线218上的状态转变对于在空闲时段830之后发生的开始状况826以及重复的开始状况828而言是相同的。即,在时钟线216为高的同时,数据线218从高转变为低。当在帧传输之间使用重复的开始状况828时,第二繁忙时段834紧跟在第一繁忙时段832之后。

[0068] 图9包括当双线总线230根据I3C操作模式操作时与数据线218和时钟线216上的信号状态有关的时序图900、910。参考第一时序图900,在I3C操作模式下以比在I2C操作模式中更高的数据率来传送数据,并且在时钟线216上传送的时钟信号包括具有50ns或更短的历时的脉冲(见图4)。具有I3C能力的从设备302、310、312可以使用时钟线216上的时钟信号对数据线218进行采样。第二时序图910解说了由限于I2C的从设备304、306、308感知的双线总线230,限于I2C的从设备304、306、308采用尖峰滤波器504(参见图5)从时钟线216移除50ns或更小的脉冲。限于I2C的从设备304、306、308使用由尖峰滤波器504输出的经修改的时钟信号(Clock<sub>Fi1</sub> 506)来对数据线218进行采样。由于I3C时钟信号包括历时为50ns或更短的脉冲,因此除了开始状况902和停止状况904之外,在Clock<sub>Fi1</sub> 506中有效地抑制了I3C时钟信号中的脉冲。根据I2C协议,当时钟线216为低时,数据线218的状态被认为是“不关心的”。相应地,当由于尖峰滤波器504抑制时钟线216上的50ns或更少的I3C时钟脉冲而导致Clock<sub>Fi1</sub> 506保持在逻辑低状态时,在I3C操作模式期间,由限于I2C的从设备304、306、308从数据线218接收到的信号中的数据传输被忽略。

#### [0069] 共用命令码

[0070] I3C总线可以作为串行、分层、多主控、多点、双线链路操作。I3C串行总线支持其中数据有效载荷夹在总线管理命令之间的事务。总线管理命令可以被称为共用命令码(CCC)。数据有效载荷可使用若干可用数据传输协议中的一者来传输,包括单数据率(SDR)协议、高数据率(HDR)协议、以及HDR协议的变体——包括双倍数据率的HDR、使用三进制旧式码元的HDR(HDR-TSL)以及使用三进制纯码元的HDR(HDR-TSP)。在HDR-DDR模式下,在时钟脉冲的上升沿和下降沿两者都传送数据比特。在HDR-TSL和HDR-TSP模式中,双线总线的两条线都用于编码数据,并且数据有效载荷编码在表示这两条线的信号状态的三进制码元中。数据传输协议可以使用相同硬件组件的不同配置来提供显著不同的数据吞吐量,从简单的SDR到HDR-TSP(可以快三倍),所有这些都使用基本相同的硬件。通常,SDR协议操纵字节,而HDR协议使用双字节字。

[0071] 在常规使用中,使用SDR协议在I3C总线上传输CCC。为了传送CCC,主设备和从设备被配置为SDR模式,并且CCC以较低的数据率被传送,以支持高速设备和低速设备在I3C总线上的共存。在SDR模式中,CCC具有1字节(8比特)的长度并且利用可被称为T比特的奇偶校验比特来传送。

[0072] HDR协议还提供以HDR速度交换命令码。根据常规HDR协议,命令码与从设备地址组合在双字节字内。双字节字还包括补充控制比特。常规HDR实现中可用于命令码的比特数限制为7比特或更少。

[0073] 本文所公开的某些方面使得能够使用HDR协议传送针对SDR模式编码的CCC。使用在SDR模式中为CCC定义的8比特码以HDR模式传送CCC的能力可以提高信令效率并提供其他益处。例如,可使用相同的数字码结构和/或指派以多种模式处理命令。在另一示例中,为了传送CCC的目的,可以在HDR模式下操作双线链路而不退出至SDR模式。当消除操作模式之间的周转时间时,可以增加总线吞吐量。

[0074] 图10解说了被配置成支持HDR操作模式的串行数据链路上的CCC传输的示例。CCC传输在SDR模式下执行,并且CCC之前是I3C保留字节的传输,其为{7'h7E,RnW=0}。

[0075] 第一示例涉及CCC广播1000。通过传送开始或重复开始1002随后是保留的I3C字1004来发起CCC广播1000。如果接收到确收1006,则可以传送I3C CCC命令1008随后是奇偶校验比特1010。I3C CCC命令1008的长度可以最高达8比特。当I3C CCC命令1008是写命令时,可以与奇偶校验比特1014一起传送写数据1012。当重复开始或停止1016被传送时,CCC广播1000被终止。

[0076] 第二示例涉及CCC定向写1020。通过传送开始或重复开始1022随后是保留的I3C字1024来发起CCC定向写1020。如果接收到确收1026,则可以传送I3C CCC定向命令1028随后是奇偶校验比特1030。I3C CCC定向命令1028的长度可以最高达8比特。随后数据可被传送。每个数据有效载荷以重复开始1032、1042开始,随后是具有设置为0以指示写操作的读/非写(RnW)比特的I3C从设备地址1034、1044。在接收到确收1036、1046之际,可任选地与奇偶校验比特1040、1050一起传送写数据1038、1048。通过重复开始或停止1052的传输来终止CCC定向写1020。

[0077] 第三示例涉及CCC定向读1060。通过传送开始或重复开始1062随后是保留的I3C字1064来发起CCC定向读1060。如果接收到确收1066,则可以传送I3C CCC定向命令1068随后是奇偶校验比特1070。I3C CCC定向命令1068的长度可以最高达8比特。随后可以自从设备读取数据。每个数据有效载荷以重复开始1072、1082开始,随后是具有设置为1以指示读操作的RnW比特的I3C从设备地址1074、1084。在接收到确收1076、1086之际,与奇偶校验比特1080、1090一起接收读数据1078、1088。通过重复开始或停止1092的传输来终止CCC定向读1060。

[0078] 图11解说了根据本文公开的某些方面的被配置成支持HDR-DDR操作模式的串行数据链路上的CCC传输1100的示例。CCC传输1100在SDR模式中被发起,并且CCC之前是I3C保留字1104的传输,其为{7'h7E,RnW=0}。在HDR-DDR操作模式中,数据以具有20比特长度的HDR-DDR字被传输。HDR-DDR字的前两比特是前置码,随后是携带两个字节的数据的16比特,且最后两比特用作奇偶校验比特。

[0079] 通过传送开始或重复开始1102随后是保留的I3C字1104来发起CCC传输1100。当接收到确收1106时,传送进入HDR-DDR CCC命令1108以使总线进入HDR-DDR操作模式,随后是转变比特1110。可传送一个或多个HDR-DDR事务1112、1122,其由HDR重启序列1120分开。每个HDR-DDR事务1112、1122包括HDR-DDR命令码1114、1124和HDR-DDR数据字1116、1126及HDR-DDR循环冗余校验(CRC)值1118。当SDR模式停止1132被传送时,CCC传输1100被终止。HDR-DDR命令码1124紧跟在HDR重启序列1120之后,其指示下一个HDR-DDR字1126是命令码。

[0080]

字类型	前置码	有效载荷	奇偶校验		注释
			1b	1b	
命令	2'b01	15:8 - 命令 7:1 - 从设备地址 0 - 保留	P1	P0	命令可能仅跟随在进入HDR或HDR重启之后。 命令码： 写：0x00 到 0x7F 读：0x80 到 0xBF
数据	2'b10 2'b11	15:0 数据比特	P1	P0	0或更多数据字可跟随在命令之后。仅CRC可跟随在数据之后。
CRC	2'b01	15:12 - 0xC 11:6 - CRC5 5 - 重启/退出 4:0 - 未使用	未使用		CRC值在第5比特结束，随后HDR重启或HDR退出开始。 奇偶校验未被使用
保留	2'b01	15:12 0xD到0xF 11:0 保留	P1	P0	保留
-	2'b00	前置码值2'b00未使用			

[0081] 表1

[0082] 表1解说了HDR-DDR传输中的各种数据类型的格式。以HDR-DDR模式传送的HDR-DDR命令码1114、1124以比在SDR模式中传送的CCC(例如,进入HDR-DDR CCC命令1108)所允许的比特更少的比特来提供。表2解说了用于编码HDR-DDR命令码1114、1124的某些比特指派。

	比特	字段	大小(比特)	注释
[0083]	15	读/写	1	1=读(从设备至主设备) 0=写(主设备至从设备) 这可以从顶部半字节值0x8到0xB确定。
	14:8	命令码	7	128种可能的写命令, 128种可能的读命令。
	7:1	从设备地址	7	与I3C SDR协议中使用的动态地址相同
	0	写保留 读奇偶校验指派	1	对于读, 确保P0为1(允许较容易的切换)

[0084] 表2

[0085] 可以定义命令码以用于为HDR-TSL或HDR-TSP操作模式配置的串行数据链路。在HDR-TSL或HDR-TSP操作模式中,数据以具有18比特长度的字被传输。在这些18比特中,前16比特是两字节的数据,而最后两比特是奇偶校验比特。

[0086] 图12解说了被配置成支持HDR-TSL或HDR-TSP(统称为HDR-TSx)操作模式的串行数据链路上的CCC传输1200的示例。CCC传输1200在SDR操作模式1232中被发起,并且CCC之前是I3C保留字1204的传输,其可以是{7'h7E, RnW=0}。在HDR-TSx操作模式中,数据以具有18比特长度的HDR-TSx字被传输。HDR-TSx字的前16比特携带两字节的数据,而最后两比特用作奇偶校验比特。

[0087] 通过传送开始或重复开始1202随后是I3C保留字1204来发起CCC传输1200。当接收

到确收1206时,传送进入HDR-TSx CCC命令1208以使总线进入HDR-TSx操作模式1234,随后是转变比特1210。一个或多个HDR-TSx事务1212、1222可以在HDR-TSx操作模式1234中被传送,其由HDR重启序列1218分开。每个HDR-TSx事务1212、1222包括HDR-TSx命令码1214、1224和HDR-TSx数据字1216、1226。当SDR模式停止1230被传送以指示返回至SDR操作模式1236时,CCC传输1200被终止。

[0088] HDR-TSx命令码1214、1224紧跟在HDR重启序列1218之后,其指示下一个HDR-TSx数据字1216、1226是命令码。在HDR-TSx模式中传送的HDR-TSx命令码1214、1224以与HDR-DDR命令码1114、1124相同的格式被传送,并且以比在SDR模式下传送的CCC(例如,进入HDR-DDR CCC命令1208)所允许的更少的比特来提供。HDR-TSx数据字1216、1226的16比特格式具有与HDR-DDR数据字1116、1126中传送的格式相同的格式。表3中示出HDR-TSL和HDR-TSP模式中对命令码的比特指派。

[0089]

比特	字段	大小(比特)	注释
15	读/写	1	1=读(从设备至主设备) 0=写(主设备至从设备)
14:8	命令码	7	128种可能的写命令,128种可能的读命令
7:1	从设备地址	7	与I3C SDR协议中使用的动态地址相同
0	保留	1	保留

[0090] 表3

[0091] 在不退出I3C HDR模式的情况下传送CCC

[0092] 本文所公开的某些方面使得能够在不离开HDR-DDR、HDR-TSP和/或HDR-TSL操作模式的情况下传达CCC。在常规实现中,主设备在SDR操作模式1232、1236中发起CCC传输。根据I3C总线规范,为在HDR协议中传送的命令码提供有限数目的比特。对于写命令,HDR命令被限制在范围0x00-0x7F内的整数,而对于读命令,HDR命令被限制在范围0x80-0xBF内的整数。为HDR命令分配的代码空间不能容适所有具有8比特长度的CCC码。

[0093] 根据本文所公开的某些方面,用于表示以SDR模式传送的CCC的代码可以在HDR模式中被传送。在一示例中,CCC被包括在作为I3C HDR命令的一部分被传送的补充字内。包括补充字为CCC提供了足够的代码空间,同时保持了HDR通用命令码的规范格式。在低速SDR模式下编码并传送的CCC在本文中可被称为SDR-CCC。在低速SDR模式下编码并以I3C高速DDR模式传送的CCC在本文中可被称为HDR-DDR CCC。在低速SDR模式下编码并以I3C高速TSx模式传送的CCC在本文中可被称为HDR-TSx CCC。

[0094] 图13解说了根据本文公开的某些方面的包括CCC传输的HDR-DDR传输1300的示例。HDR-DDR传输1300可以始于开始序列1302,其可以是HDR重启或通过在SDR模式下传送SDR开始和HDR进入命令而从SDR模式发起的序列。传送HDR-DDR命令字1304以指示随后是HDR-DDR CCC命令1306。HDR-DDR命令字1304可包括无效的从设备地址(诸如,7'h7E),其不是有效的从设备地址,随后是HDR-DDR CCC命令码1306。HDR-DDR CCC命令码1306可以包括为SDR模式下传输而编码的命令(即SDR-CCC)。耦合到I3C总线的设备可以适配成将无效的从设备地址识别为SDR-CCC的前驱。随后,经适配的设备可以适当地或者如I3C规范和/或协议所定义地响应SDR-CCC。

[0095] HDR-DDR命令字1304可以将其保留比特(参见表3)设置为“0”以匹配CCC的帧。也就是说,7'h7E保留地址之后是0。HDR-DDR CCC命令1306包括被组织为数据字的SDR-CCC命令。在一示例中,HDR-DDR CCC命令1306中的字的第一字节是SDR-CCC,其可以固有地指示SDR-CCC是否涉及广播或定向命令。如果SDR-CCC被指示为广播CCC,则HDR-DDR CCC命令1306中的字的第二字节可以包括可任选的数据。如SDR-CCC所指定或指示的,在下一个所传送字(HDR-DDR数据1308)中提供其他数据字节。如果SDR-CCC被指示为定向写CCC,则HDR-DDR CCC命令1306中的字的第二字节可以包括可任选的数据,其中提供从设备地址并且适当地配置读/写比特。如SDR-CCC所指定或指示的,在下一个所传送字(HDR-DDR数据1308)中提供其他数据字节。当SDR-CCC被指示为定向读CCC时,如I3C规范或协议所定义地执行总线周转序列。

[0096] 当通过使用无效的从设备地址来指示SDR-CCC命令时,可以忽略HDR-DDR命令字1304的某些比特。例如,当地址字段1314被设置为有效的从设备或者设置为广播地址时,HDR-DDR命令字1304的命令字段1312(比特[15:8])包括正常命令字中的读命令或写命令。当HDR-DDR CCC命令1306被传送时,这些比特通常并不重要。当HDR-DDR命令字1304的比特可被忽略时,可以传送任何值。根据某些方面,命令字段1312的忽略比特可用被计算成在传输期间消耗最小、较少或减少的能量的值来填充。在一示例中,最小能量字节可以被定义为具有值0xFF,当数据线218被保持在高信令状态时,这导致时钟线216翻转。

[0097] 一个或多个HDR-DDR事务可以在HDR-DDR操作模式中被传送,其由HDR重启序列1322分开。每个HDR-DDR事务包括HDR-DDR命令码1304、1324和HDR-DDR数据字1308、1326。HDR-DDR事务可以包括HDR-DDR CRC字节1310、1328。在HDR退出1330被传送之后并且在SDR模式停止1334被信令通知以指示返回到SDR操作模式之后,终止HDR-DDR传输1300。

[0098] 可以在各种实现中采用HDR-DDR传输1300。在一示例中,耦合到I3C总线的所有设备可以能够以HDR-DDR模式操作,并且使用HDR-DDR传输1300以HDR-DDR数据率承载SDR-CCC可通过减少或消除在SDR和HDR-DDR模式之间切换的需要来改善整体总线吞吐量。在另一示例中,处理电路或IC设备可以包括:通过共用I3C端口或能够进行HDR-DDR操作的多个端口进行通信的多个组件,以及使用HDR-DDR传输1300以HDR-DDR数据率承载SDR-CCC可以通过减少或消除针对内部通信在SDR和HDR-DDR模式之间切换的需要来改善整体总线吞吐量。

[0099] 在另一示例中,I3C总线可用于在耦合到共用串行总线的具备HDR-DDR能力的设备和旧式I2C设备和/或使用不同协议在共用串行总线上进行通信的I3C设备之间进行通信。在该示例中,当在支持HDR-DDR操作模式的多个设备之间执行事务序列时,可以减少进出HDR-DDR模式的转变数目。例如,主设备可以将SDR-CCC传送到多个具备HDR-DDR能力的从设备,而不会退出HDR-DDR模式并进入SDR模式以传送对应于SDR-CCC的代码。

[0100] 图14解说了根据本文公开的某些方面的包括CCC的HDR-TSx传输1400的示例。HDR-TSx传输1400可以始于开始序列1402,其可以是HDR重启或通过在SDR模式下传送SDR开始和HDR进入命令而从SDR模式发起的序列。传送HDR-TSx命令字1404以指示随后是HDR-TSx CCC命令1406。HDR-TSx命令字1404可以包括从设备地址(诸如,7'h7E),其不是有效的从设备地址。HDR-TSx CCC命令码1406可以包括被编码用于以SDR模式传输的命令(即,SDR-CCC),并且耦合到I3C总线的设备可以适配成将无效的从设备地址识别为SDR-CCC的前驱。

[0101] HDR-TSx命令字1404可以将其保留比特(参见表3)设置为“0”以匹配CCC的帧。也就

是说,7'h7E保留地址之后是0。HDR-TSx CCC命令1406包括被组织为数据字的SDR-CCC命令。在一示例中,HDR-TSx CCC命令1406中的字的第一字节是SDR-CCC,其可以固有地指示SDR-CCC是否涉及广播或定向命令。如果SDR-CCC被指示为广播CCC,则HDR-TSx CCC命令1406中的字的第二字节可以包括可任选的数据。如SDR-CCC所指定或指示的,在下一个所传送字(HDR-TSx数据1408)中提供其他数据字节。如果SDR-CCC被指示为定向写CCC,则HDR-TSx CCC命令1406中的字的第二字节可以包括可任选的数据,其中提供从设备地址并且适当地配置读/写比特。如SDR-CCC所指定或指示的,在下一个所传送字(HDR-TSx数据1408)中提供其他数据字节。当SDR-CCC被指示为定向读CCC时,如I3C规范所定义地执行总线周转序列。

[0102] 当通过使用无效的从设备地址来指示SDR-CCC命令时,可以忽略HDR-TSx命令字1404的某些比特。例如,当地址字段1414被设置为有效的从设备或者设置为广播地址时,HDR-TSx命令字1404的命令字段1412(比特[15:8])包括正常命令字中的读命令或写命令。当HDR-TSx CCC命令1406被传送时,这些比特通常并不重要。当HDR-TSx命令字1404的比特可被忽略时,可以传送任何值。根据某些方面,命令字段1412的忽略比特可用被计算成在传输期间消耗最小、较少或减少的能量的值来填充。在HDR-TSL示例中,可以选择最小能量字节作为包括“1”或“2”码元的组合的三进制码元组合,以便仅使一条线路改变信令状态。在一示例中,组合可以是{3'b100,3'b100,2'b10,7'h7E,1'b1,1'bP1,1'bP0},其导致三进制码元{2'T11,2'T11,2'T12,2'T21,2'T20,2'T21}。在该示例中,12个码元中的仅一个码元导致两个线路翻转,其中大部分翻转发生在时钟线216上,结果是HDR-TSL编码器添加较少数目的伪码元。

[0103] 一个或多个HDR-TSx事务可以在对应的HDR-TSx操作模式中被传送,其由HDR重启序列1422分开。每个HDR-TSx事务包括HDR-TSx命令码1404、1424和HDR-TSx数据字1408、1426。在HDR退出1428被传送之后并且在SDR模式停止1430被信令通知以指示返回到SDR操作模式之后,终止HDR-TSx传输1400。

[0104] 可以在各种实现中采用HDR-TSx传输1400。在一示例中,耦合到I3C总线的所有设备可以能够以HDR-TSx模式操作,并且使用HDR-TSx传输1400以HDR-TSx数据率承载SDR-CCC可通过减少或消除在SDR和HDR-TSx模式之间切换的需要来改善整体总线吞吐量。在另一示例中,处理电路或IC设备可以包括:通过共用I3C端口或能够进行HDR-TSx操作的多个端口进行通信的多个组件,以及使用HDR-TSx传输1400以HDR-TSx数据率承载SDR-CCC可以通过减少或消除针对内部通信在SDR和HDR-TSx模式之间切换的需要来改善整体总线吞吐量。

[0105] 在另一示例中,I3C总线可用于在具备HDR-TSx能力的设备与耦合的旧式I2C设备和/或使用不同协议进行通信的I3C设备之间进行通信。在该示例中,当在支持HDR-TSx操作模式的多个设备之间执行事务序列时,可以减少进出HDR-TSx模式的转变数目。例如,主设备可以将SDR-CCC传送到多个具备HDR-TSx能力的从设备,而不会退出HDR-TSx模式并进入SDR模式以传送对应于SDR-CCC的代码。

[0106] 根据某些方面,可以将最小能量字节的使用扩展到命令字段1312、1412的填充之外,以包括以HDR模式传送的其他可选字段或字节。例如,当在HDR通信模式中传送CCC码时,广播可以包括一个或多个不重要的可任选或被忽略的字段。

[0107] 例如,以HDR操作模式传送的某些SDR-CCC码1316、1416可以对应于其中第二字节1318、1418被认为是可任选的或以其他方式被忽略的经广播的CCC。此类可任选的或被忽略

的字节或字段可以用最小能量字节或其部分来填充。

[0108] 根据某些方面,在与HDR操作模式中的SDR-CCC码传输相关联的事务中发生的可任选字段或字节可以用补充信息来填充。例如,HDR CCC事务的未使用字段携带用于检错和/或纠错规程的信息。例如,该信息可以包括在关键任务事务中使用的CRC、奇偶校验和/或控制信息。在一示例中,命令字段1312、1412可以携带在地址字段1314、1414中传送的保留值的副本。当在HDR地址命令字1304、1404的字段1312/1314或1412/1414中接收到的值有差异时,接收机可以标识差错状况。在另一示例中,命令字段1312、1412可以携带一个或多个可被提供为字节、两个半字节、3比特+3比特+2比特的组合等的检错或纠错码。可以将检错或纠错应用于地址字段1314、1414中的保留值,CCC码1316,HDR CCC命令字1306、1406的第二字节1318、1418,或地址字段1314、1414,CCC码1316以及HDR CCC命令字1306的第二字节1318、1418的某种组合。在另一示例中,当SDR-CCC码1316对应于经广播的CCC时,HDR CCC命令字1306的第二字节1318、1418可以用于检错/纠错或者用于某些其他目的。

[0109] 根据某些方面的装置和方法的示例

[0110] 图15是解说了采用可被配置成执行本文中所公开的一个或多个功能的处理电路1502的装置的硬件实现的简化示例的概念图1500。根据本公开的各种方面,本文所公开的元素、或元素的任何部分、或者元素的任何组合可使用处理电路1502来实现。处理电路1502可包括由硬件和软件模块的某种组合来控制的一个或多个处理器1504。处理器1504的示例包括微处理器、微控制器、数字信号处理器(DSP)、现场可编程门阵列(FPGA)、可编程逻辑器件(PLD)、专用集成电路(ASIC)、状态机、定序器、门控逻辑、分立的硬件电路、以及其他配置成执行本公开通篇描述的各种功能性的合适硬件。该一个或多个处理器1504可包括执行特定功能并且可由软件模块1516之一来配置、扩增或控制的专用处理器。该一个或多个处理器1504可通过在初始化期间加载的软件模块1516的组合来配置,并且通过在操作期间加载或卸载一个或多个软件模块1516来进一步配置。

[0111] 在所解说了的示例中,处理电路1502可以用由总线1510一般化地表示的总线架构来实现。取决于处理电路1502的具体应用和整体设计约束,总线1510可包括任何数目的互连总线和桥接器。总线1510将各种电路链接在一起,包括一个或多个处理器1504、以及存储1506。存储1506可包括存储器设备和大容量存储设备,并且在本文中可被称为计算机可读介质和/或处理器可读介质。总线1510还可链接各种其他电路,诸如定时源、定时器、外围设备、稳压器、和功率管理电路。总线接口1508可提供总线1510与一个或多个收发机1512之间的接口。可针对处理电路所支持的每种联网技术来提供收发机1512。在一些实例中,多种联网技术可共享收发机1512中出现的电路系统或处理模块中的一些或全部。每个收发机1512提供用于通过传输介质与各种其它装置通信的手段。取决于该装置的本质,用户接口1518(例如,按键板、显示器、触摸接口、扬声器、话筒、操纵杆)也可被提供,并且可直接或通过总线接口1508通信地耦合至总线1510。

[0112] 处理器1504可负责管理总线1510和一般处理,可包括执行存储在计算机可读介质(其可包括存储1506)中的软件。在这一方面,处理电路1502(包括处理器1504)可被用于实现本文所公开的方法、功能和技术中的任何一种。存储1506可被用于存储由处理器1504在执行软件时操纵的数据,并且该软件可被配置成实现本文所公开的方法中的任何一种。

[0113] 处理电路1502中的一个或多个处理器1504可执行软件。软件应当被宽泛地解释成

意为指令、指令集、代码、代码段、程序代码、程序、子程序、软件模块、应用、软件应用、软件包、例程、子例程、对象、可执行件、执行的线程、规程、函数、算法等，无论其是用软件、固件、中间件、微代码、硬件描述语言、还是其他术语来表述及皆是如此。软件可按计算机可读形式驻留在存储1506中或驻留在外部计算机可读介质中。外部计算机可读介质和/或存储1506可包括非瞬态计算机可读介质。作为示例，非瞬态计算机可读介质包括：磁存储设备（例如，硬盘、软盘、磁条）、光盘（例如，压缩碟（CD）或数字多功能碟（DVD））、智能卡、闪存设备（例如，“闪存驱动器”、卡、棒、或钥匙驱动器）、随机存取存储器（RAM）、只读存储器（ROM）、可编程ROM（PROM）、可擦式PROM（EPROM）、电可擦式PROM（EEPROM）、寄存器、可移动盘、以及任何其他用于存储可由计算机访问和读取的软件和/或指令的合适介质。作为示例，计算机可读介质和/或存储1506还可包括载波、传输线、以及用于传送可由计算机访问和读取的软件和/或指令的任何其他合适介质。计算机可读介质和/或存储1506可驻留在处理电路1502中、处理器1504中、在处理电路1502外部、或跨包括该处理电路1502在内的多个实体分布。计算机可读介质和/或存储1506可实施在计算机程序产品中。作为示例，计算机程序产品可包括封装材料中的计算机可读介质。本领域技术人员将认识到如何取决于具体应用和加诸于整体系统上的总体设计约束来最佳地实现本公开中通篇给出的所描述的功能性。

[0114] 存储1506可维持以可加载代码段、模块、应用、程序等来维持和/或组织的软件，其在本文中可被称为软件模块1516。软件模块1516中的每一者可包括在安装或加载到处理电路1502上并由一个或多个处理器1504执行时有助于运行时映像1514的指令和数据，该运行时映像1514控制一个或多个处理器1504的操作。在被执行时，某些指令可使得处理电路1502执行根据本文中所描述的某些方法、算法和过程的功能。

[0115] 软件模块1516中的一些可在处理电路1502初始化期间被加载，并且这些软件模块1516可配置处理电路1502以使得能执行本文所公开的各种功能。例如，一些软件模块1516可配置处理器1504的内部设备和/或逻辑电路1522，并且可管理对外部设备（诸如，收发机1512、总线接口1508、用户接口1518、定时器、数学协处理器等）的访问。软件模块1516可包括控制程序和/或操作系统，其与中断处理程序和设备驱动器交互并且控制对由处理电路1502提供的各种资源的访问。这些资源可包括存储器、处理时间、对收发机1512的访问、用户接口1518等。

[0116] 处理电路1502的一个或多个处理器1504可以是多功能的，由此软件模块1516中的一些被加载和配置成执行不同功能或相同功能的不同实例。该一个或多个处理器1504可附加地被适配成管理响应于来自例如用户接口1518、收发机1512和设备驱动器的输入而发起的后台任务。为了支持多个功能的执行，该一个或多个处理器1504可被配置成提供多任务环境，藉此多个功能中的每个功能按需或按期望实现为由该一个或多个处理器1504服务的任务集。在一个示例中，多任务环境可使用分时程序1520来实现，该分时程序1520在不同任务之间传递对处理器1504的控制权，由此每个任务在完成任何未决操作之际和/或响应于输入（诸如中断）而将对一个或多个处理器1504的控制权返回给分时程序1520。当任务具有对一个或多个处理器1504的控制权时，处理电路有效地专用于由与控制方任务关联的功能所针对的目的。分时程序1520可包括操作系统、在循环基础上转移控制权的主循环、根据各功能的优先级化来分配对一个或多个处理器1504的控制权的功能、和/或通过将对一个或多个处理器1504的控制权提供给处置功能来对外部事件作出响应的中断驱动式主循环。

[0117] 处理电路1502可被部署在各种类型和示例的电子设备中，包括作为移动装置（诸如电话、移动计算设备、电器、汽车电子设备、航空电子系统等）的子组件的设备。移动装置的示例包括蜂窝电话、智能电话、会话发起协议（SIP）电话、膝上型电脑、笔记本、上网本、智能本、个人数字助理（PDA）、卫星无线电、全球定位系统（GPS）设备、多媒体设备、视频设备、数字音频播放器（例如，MP3播放器）、相机、游戏控制台、可穿戴计算设备（例如，智能手表、健康或健身跟踪器等）、电器、传感器、自动售货机、或任何其他类似的功能设备。

[0118] 图16是解说用于数据通信的方法的流程图1600。该方法可以由耦合到串行总线的总线主设备执行。

[0119] 在框1602，总线主控可以配置收发机，用于当在串行总线上以高数据率操作模式操作串行总线时在串行总线上进行通信。高数据率操作模式可以对应于I3C HDR-DDR操作模式、I3C HDR-TSL操作模式或I3C HDR-TSP操作模式。

[0120] 在框1604，当串行总线以高数据率操作模式操作时，总线主控可以在串行总线上传送定址到无效的从设备地址的第一命令。

[0121] 在框1606，当串行总线以高数据率操作模式操作时，总线主控可以在串行总线上传送定址到有效的从设备地址的第二命令。第二命令可被定义成当串行总线以低数据率操作模式操作时进行传输。

[0122] 在一些示例中，高数据率操作模式符合I3C高数据率操作模式，而低数据率操作模式符合I3C SDR操作模式。第二命令可以包括被定义成当串行总线以I3C SDR操作模式操作时进行传输的CCC码。

[0123] 在一些示例中，当串行总线以低数据率操作模式操作时并且在传送第一命令之前，在串行总线上传送开始序列。当串行总线以低数据率操作模式操作时并且在传送第一命令之前，可传送模式命令，其中该模式命令使串行总线转变到高速率操作模式。

[0124] 在一些示例中，当串行总线以高数据率操作模式操作时并且在第一命令被传送之前，在串行总线上传送重启命令。

[0125] 在一些示例中，传送第一命令包括用计算成减少在传输期间收发机的能量消耗的值填充第一命令的第一字段，以及用无效的从设备地址填充第一命令的第二字段。

[0126] 在一些示例中，传送第一命令包括用检错或纠错信息填充第一命令的第一字段，以及用无效的从设备地址填充第一命令的第二字段。

[0127] 在一些示例中，传送第二命令包括用被定义成当串行总线以I3C SDR操作模式操作时进行传输的CCC码填充第二命令的第一字段。当CCC是定向CCC时，第二命令的第二字段可以用有效的从设备地址来填充。当CCC是广播CCC时，第二命令的第二字段可以用计算成减少收发机在传输期间的能量消耗的值来填充。

[0128] 在一些示例中，传送第二命令包括用被定义成当串行总线以I3C SDR操作模式操作时进行传输的CCC码来填充第二命令的第一字段。当CCC是定向CCC时，第二命令的第二字段可以用有效的从设备地址来填充。当CCC是广播CCC时，第二命令的第二字段可以用检错或纠错信息来填充。

[0129] 图17是解说采用处理电路1702的装置1700的硬件实现的示例的示图。该处理电路通常具有处理器1716，其可包括微处理器、微控制器、数字信号处理器、ASIC、定序器或状态机。处理电路1702可以用由总线1720一般化地表示的总线架构来实现。取决于处理电路

1702的具体应用和整体设计约束,总线1720可包括任何数目的互连总线和桥接器。总线1720将包括一个或多个处理器和/或硬件模块(由处理器1716、模块或电路1704、1706、1708和1710、可操作用于将装置1700耦合至串行总线1714的总线接口1712、以及计算机可读存储介质1718表示)的各种电路链接在一起。总线1720还可链接各种其他电路,诸如定时源、外围设备、稳压器、和功率管理电路,这些电路在本领域中是众所周知的。

[0130] 处理器1716负责一般性处理,包括执行存储在计算机可读存储介质1718上的软件。该软件在由处理器1716执行时使处理电路1702执行上文针对任何特定装置描述的各种功能。计算机可读存储介质1718还可被用于存储由处理器1716在执行软件时操纵的数据,包括通过串行总线1714传送的数据。处理电路1702进一步包括模块1704、1706、1708和1710中的至少一个模块。各模块1704、1706、1708、和1710可以是在处理器1716中运行的软件模块、驻留/存储在计算机可读存储介质1718中的软件模块、耦合至处理器1716的一个或多个硬件模块、或其某种组合。模块1704、1706、1708、和/或1710可包括微控制器指令、状态机配置参数、或其某种组合。

[0131] 在一种配置中,装置1700可以适配成用作耦合到串行总线1714的总线主控。该装置1700可以具有总线接口1712,该总线接口1712可以包括接口模块和/或电路,诸如被配置成通过串行总线1714的数据线交换数据的收发机和被配置成控制串行总线1714的时钟线的信令状态的线驱动器。该装置1700可包括总线通信模块和/或电路1704,该电路1704包括耦合到收发机的发射机电路。该装置1700可包括低能量码字插入模块和/或电路1706,该电路1706被配置成提供传输字中未使用或被忽略的字段的值。该装置1700可以包括被配置成提供传输字中未使用或被忽略的字段的值的检错和纠错模块和/或电路1708,以及协议和操作模式管理模块和/或电路1710。

[0132] 应理解,所公开的过程中各步骤的具体次序或层次是示例性办法的解说。应理解,基于设计偏好,可以重新编排这些过程中各步骤的具体次序或层次。所附方法权利要求以示例次序呈现各种步骤的要素,且并不意味着被限定于所给出的具体次序或层次。

[0133] 提供之前的描述是为了使本领域任何技术人员均能够实践本文中所描述的各种方面。如本文中所使用的,术语“或”旨在表示包含性“或”而非排他性“或”。即,除非另外指明或从上下文能清楚地看出,否则短语“X采用A或B”旨在表示任何自然的可兼排列。即,短语“X采用A或B”得到以下任何实例的满足:X采用A;X采用B;或X采用A和B两者。另外,本申请和所附权利要求书中所使用的冠词“一”和“某”一般应当被解释成表示“一个或多个”,除非另外声明或者可从上下文中清楚看出是指单数形式。

[0134] 对这些方面的各种修改将容易为本领域技术人员所明白,并且在本文中所定义的普适原理可被应用于其他方面。因此,权利要求并非旨在被限定于本文中所示的方面,而是应被授予与语言上的权利要求相一致的全部范围,其中对要素的单数形式的引述除非特别声明,否则并非旨在表示“有且仅有一个”,而是“一个或多个”。除非特别另外声明,否则术语“一些”指的是一个或多个。本公开通篇描述的各个方面的要素为本领域普通技术人员当前或今后所知的所有结构上和功能上的等效方案通过引述被明确纳入于此,且旨在被权利要求所涵盖。此外,本文中所公开的任何内容都并非旨在贡献给公众,无论这样的公开是否在权利要求书中被显式地叙述。没有任何权利要求元素应被解释为装置加功能,除非该元素是使用短语“用于……的装置”来明确叙述的。

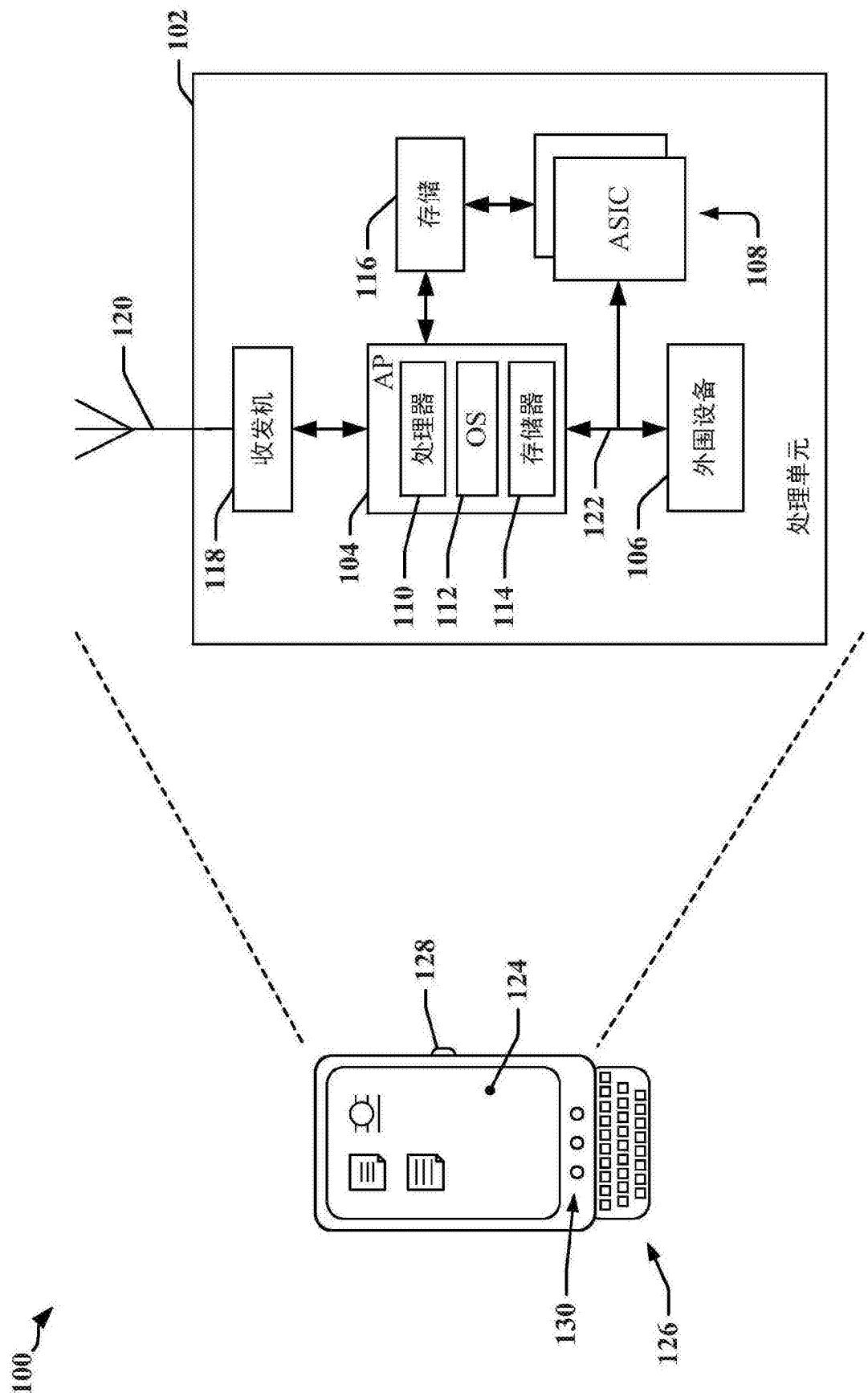


图1

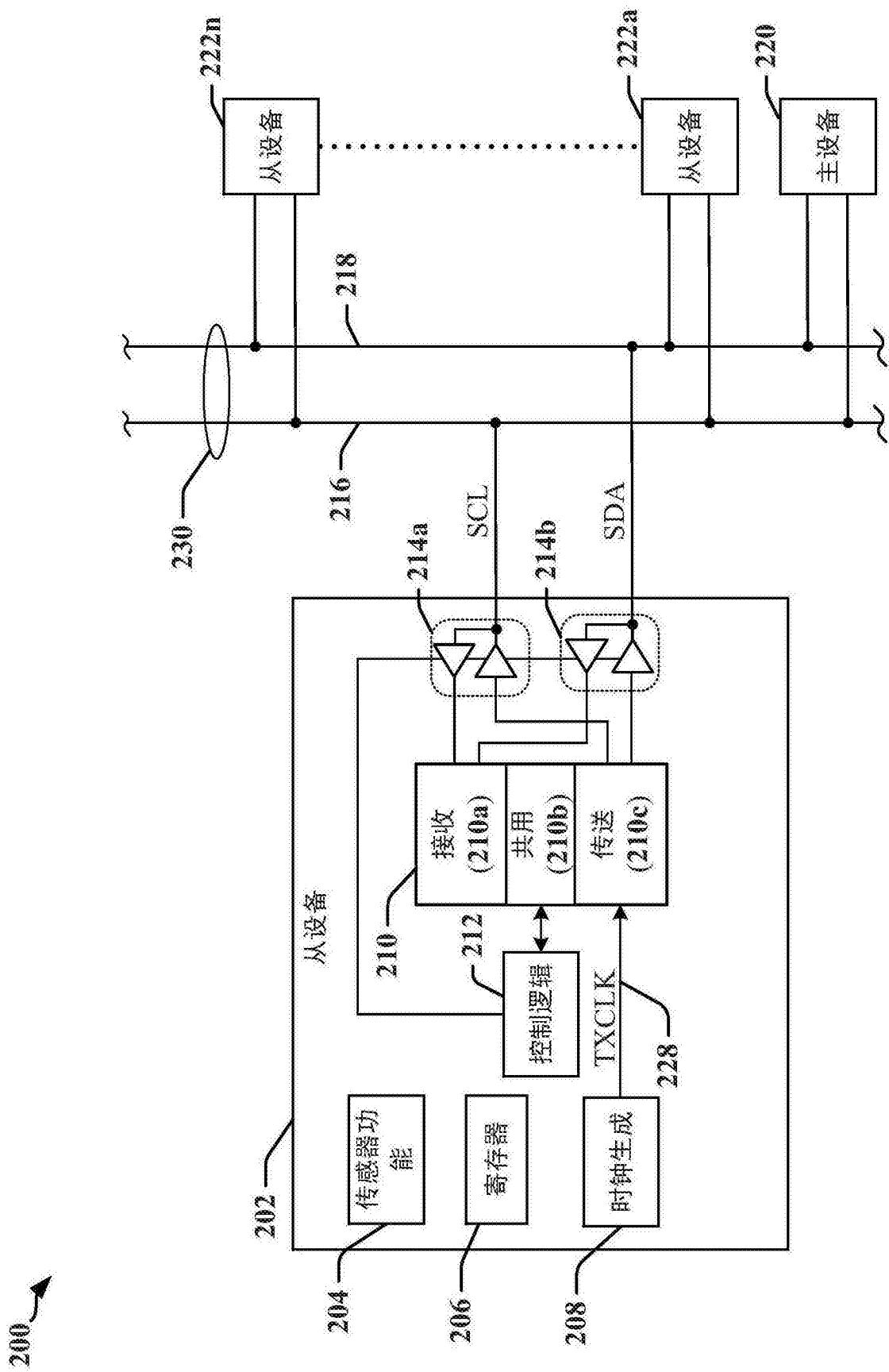


图2

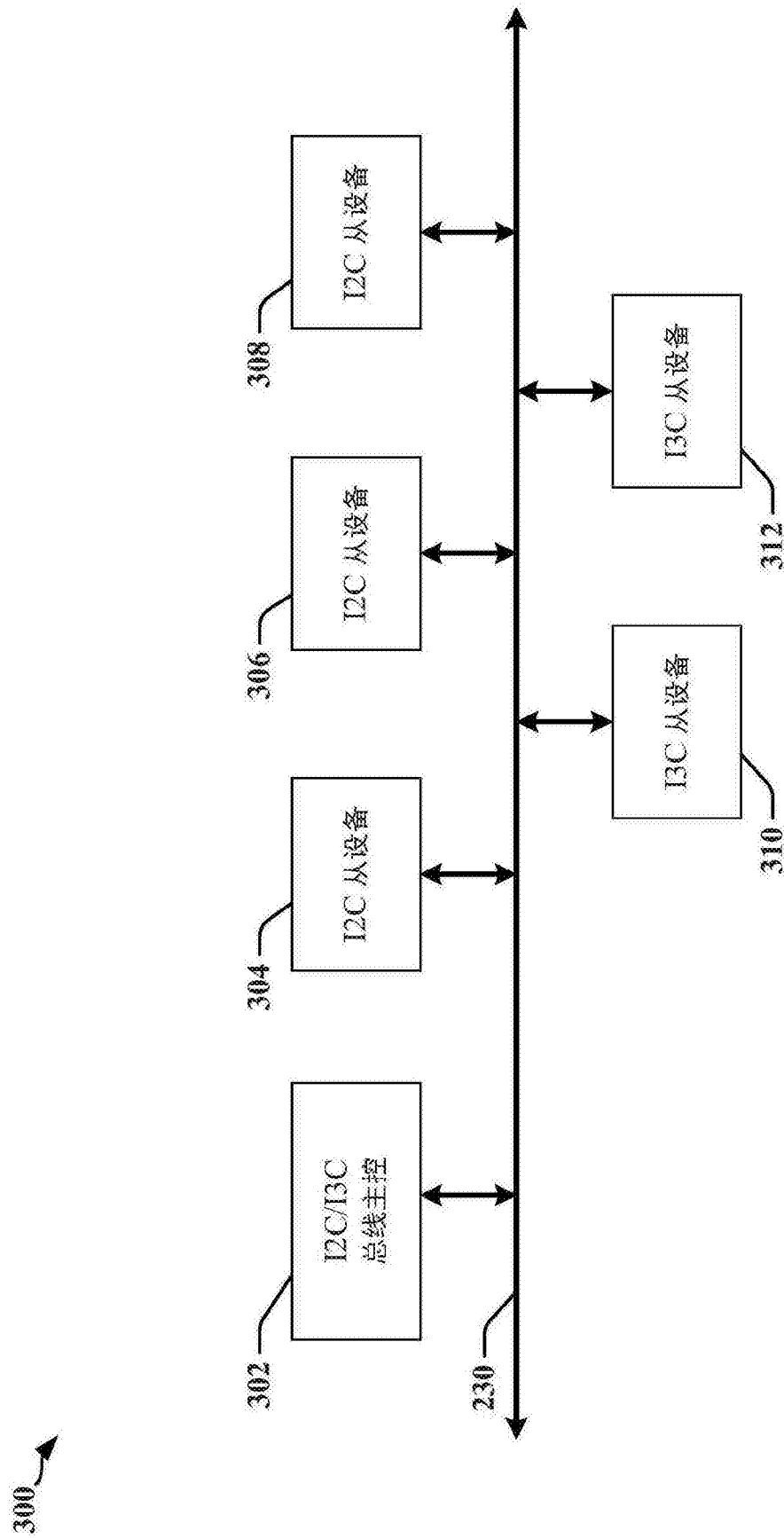
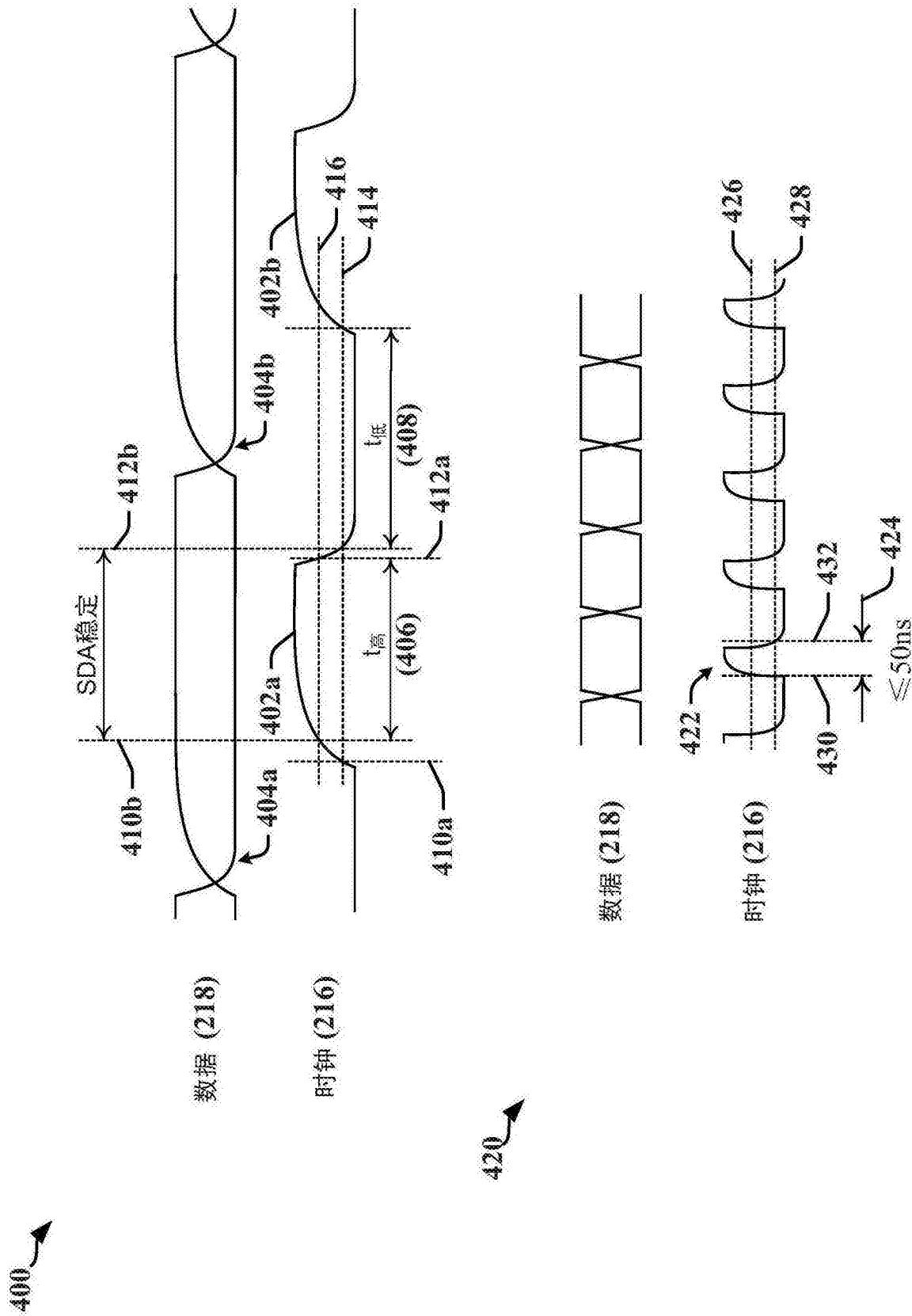


图3



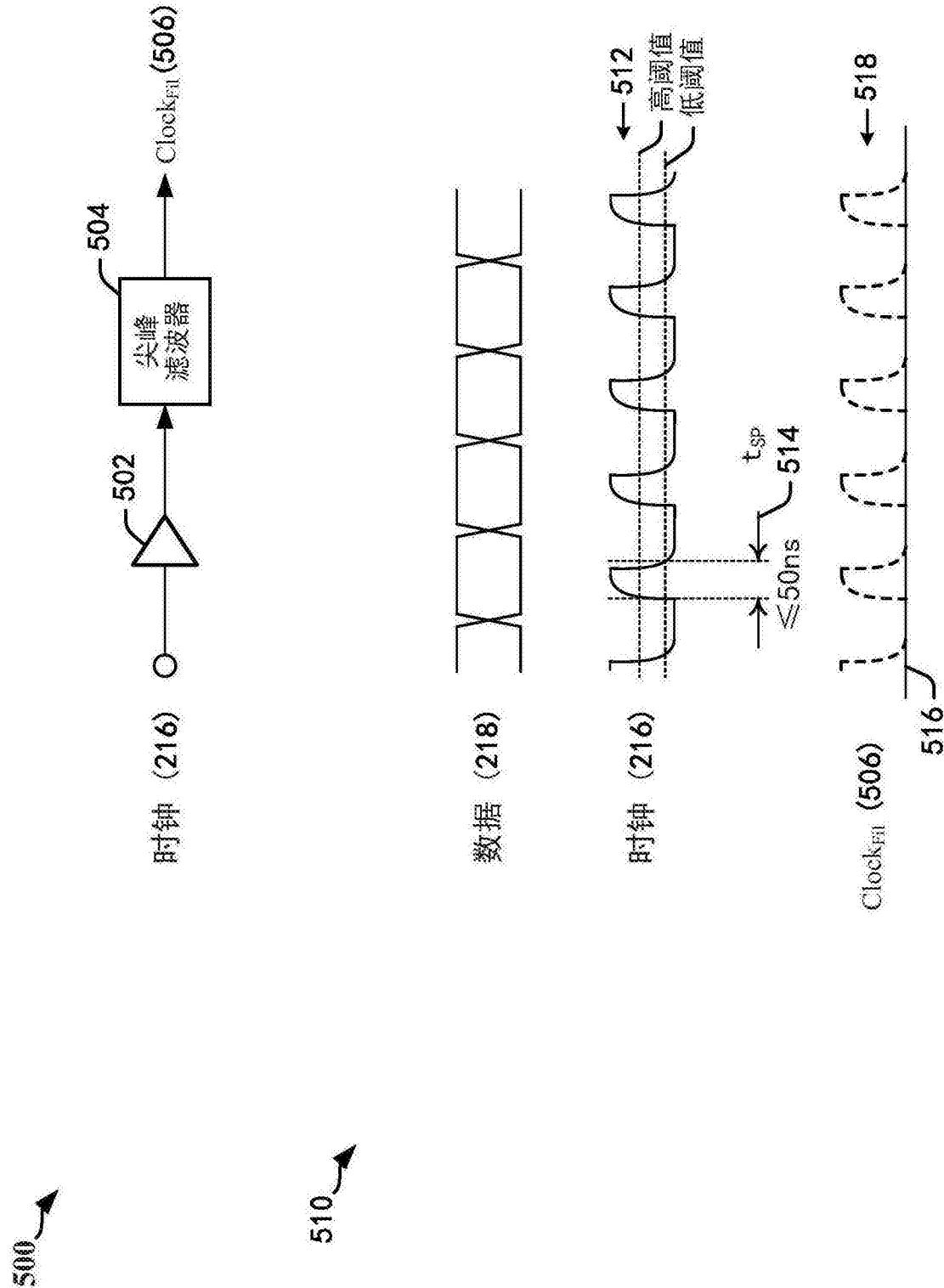


图5

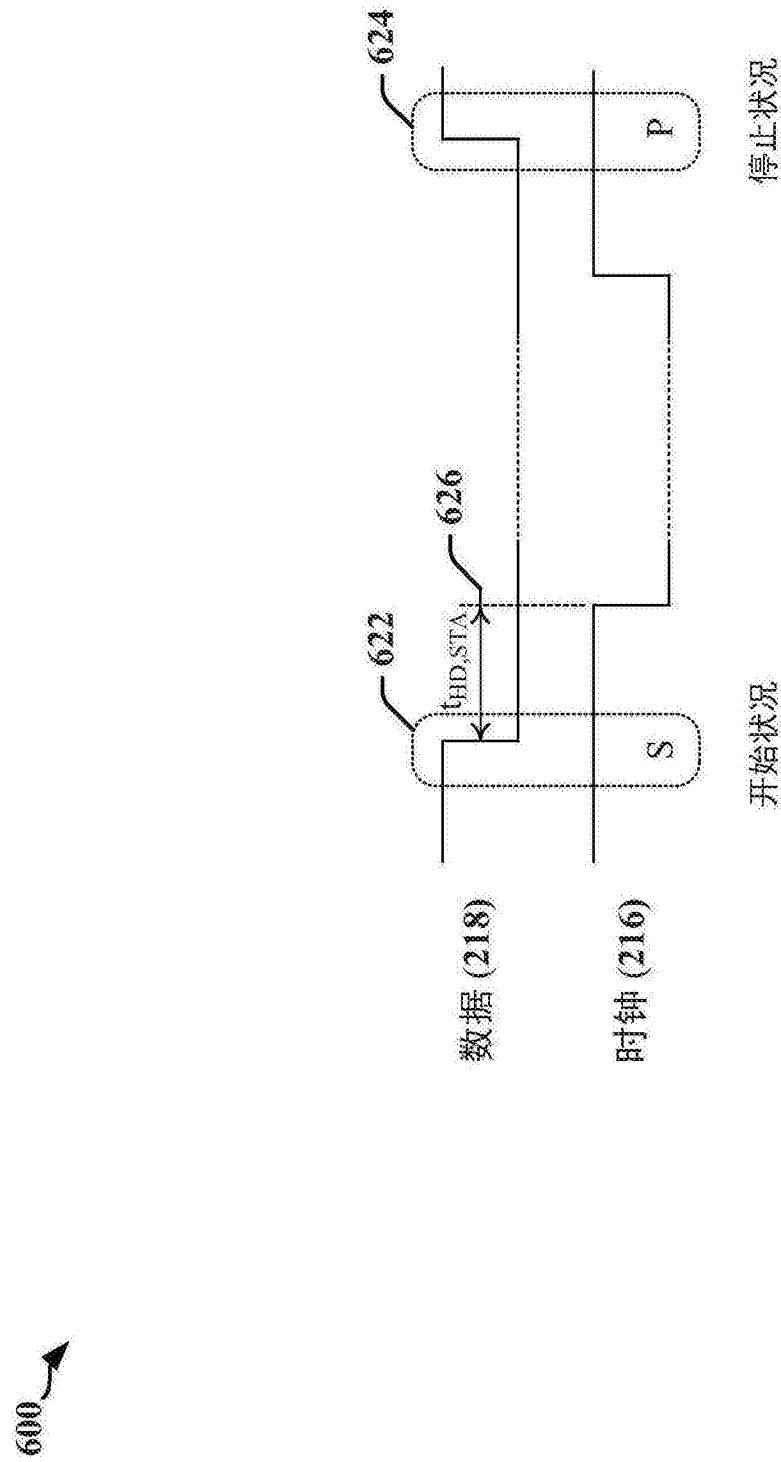


图6

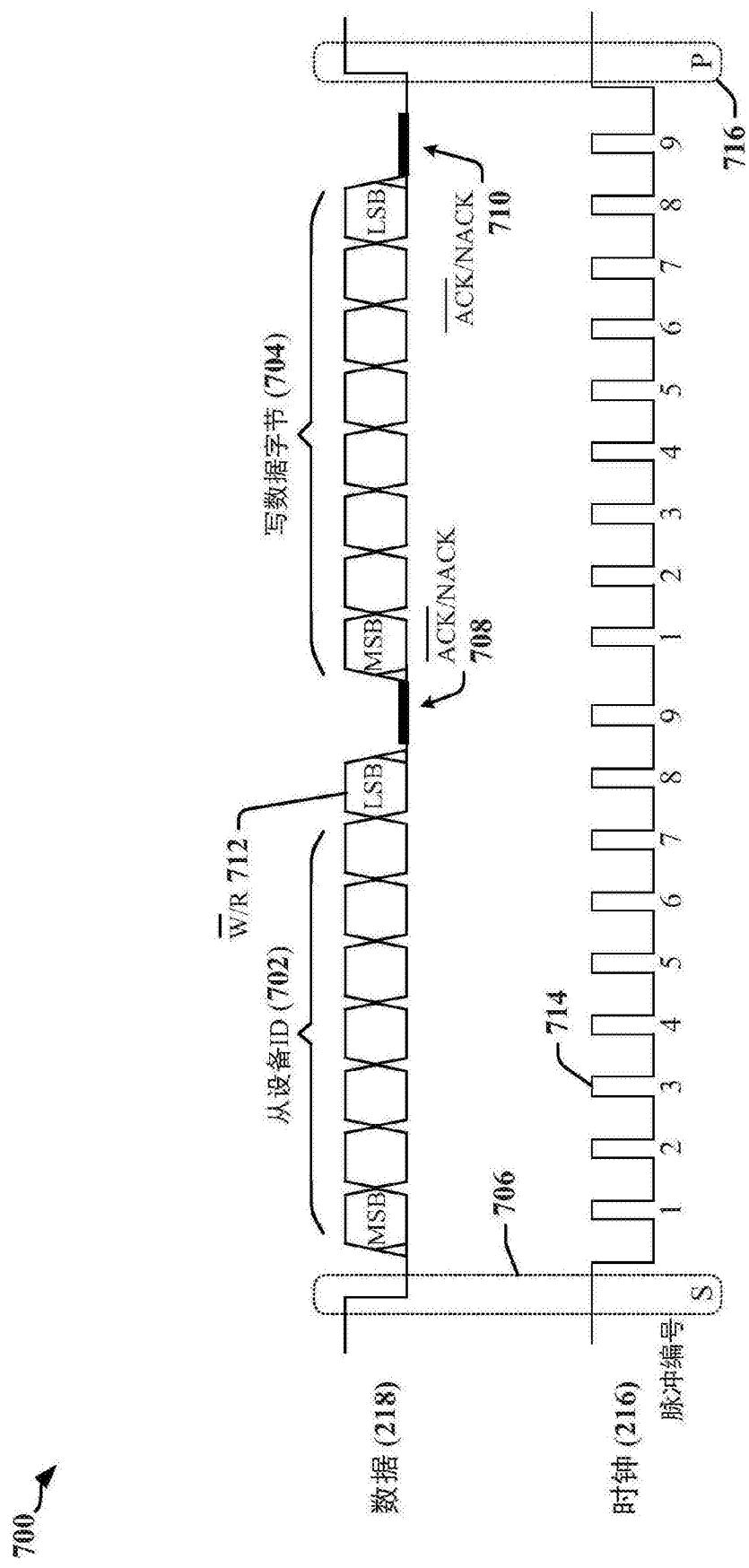


图7

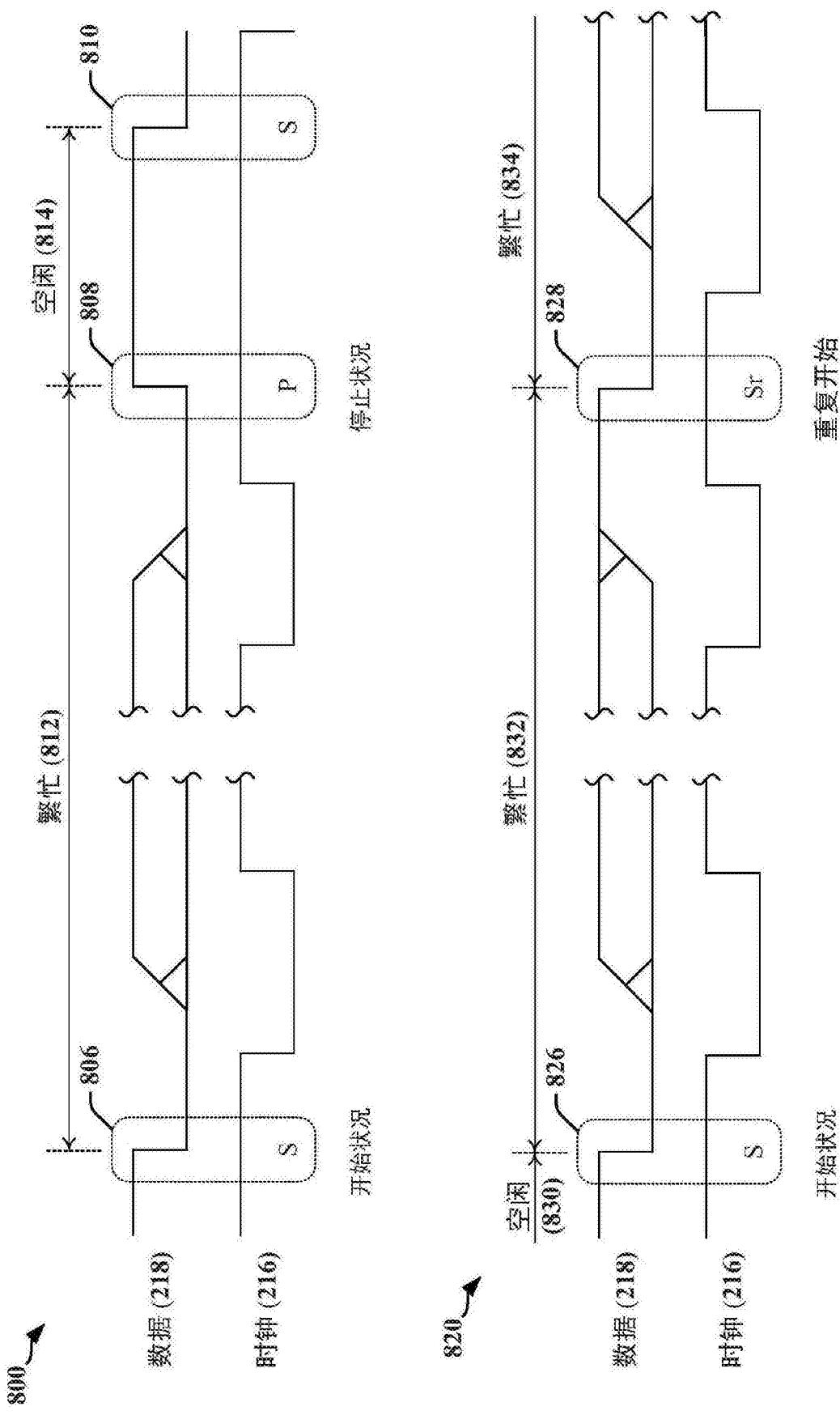


图8

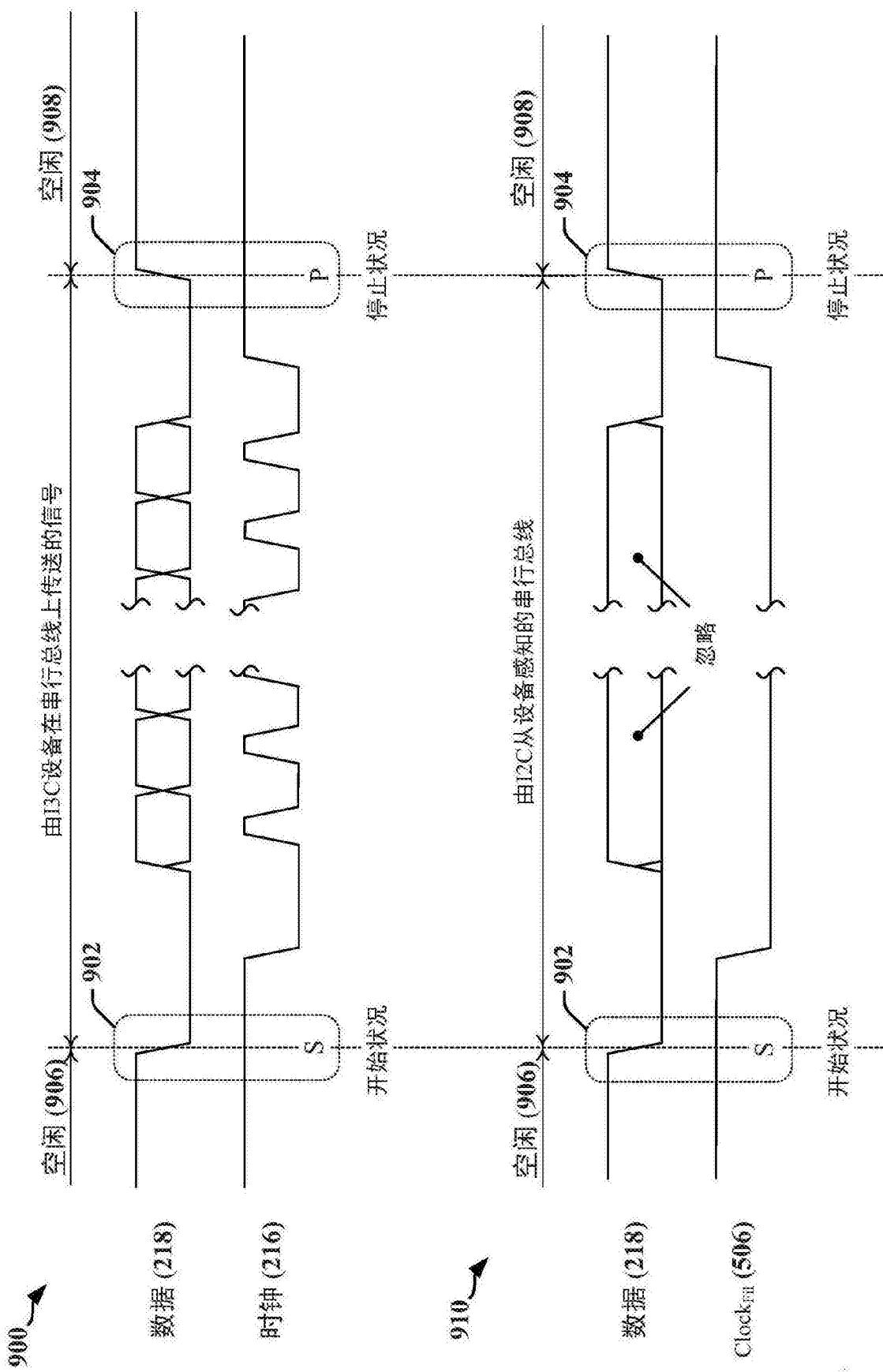


图9

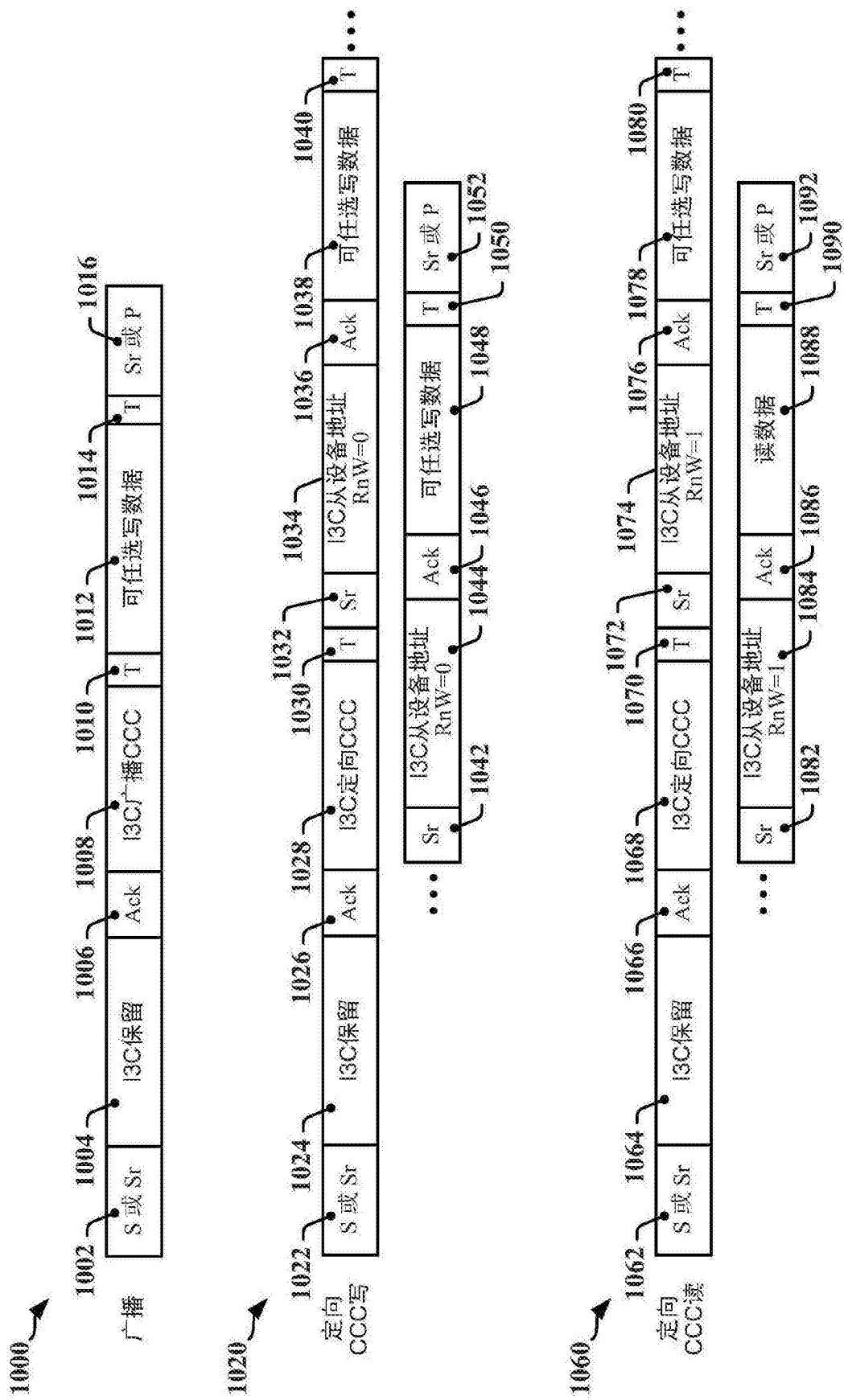


图 10

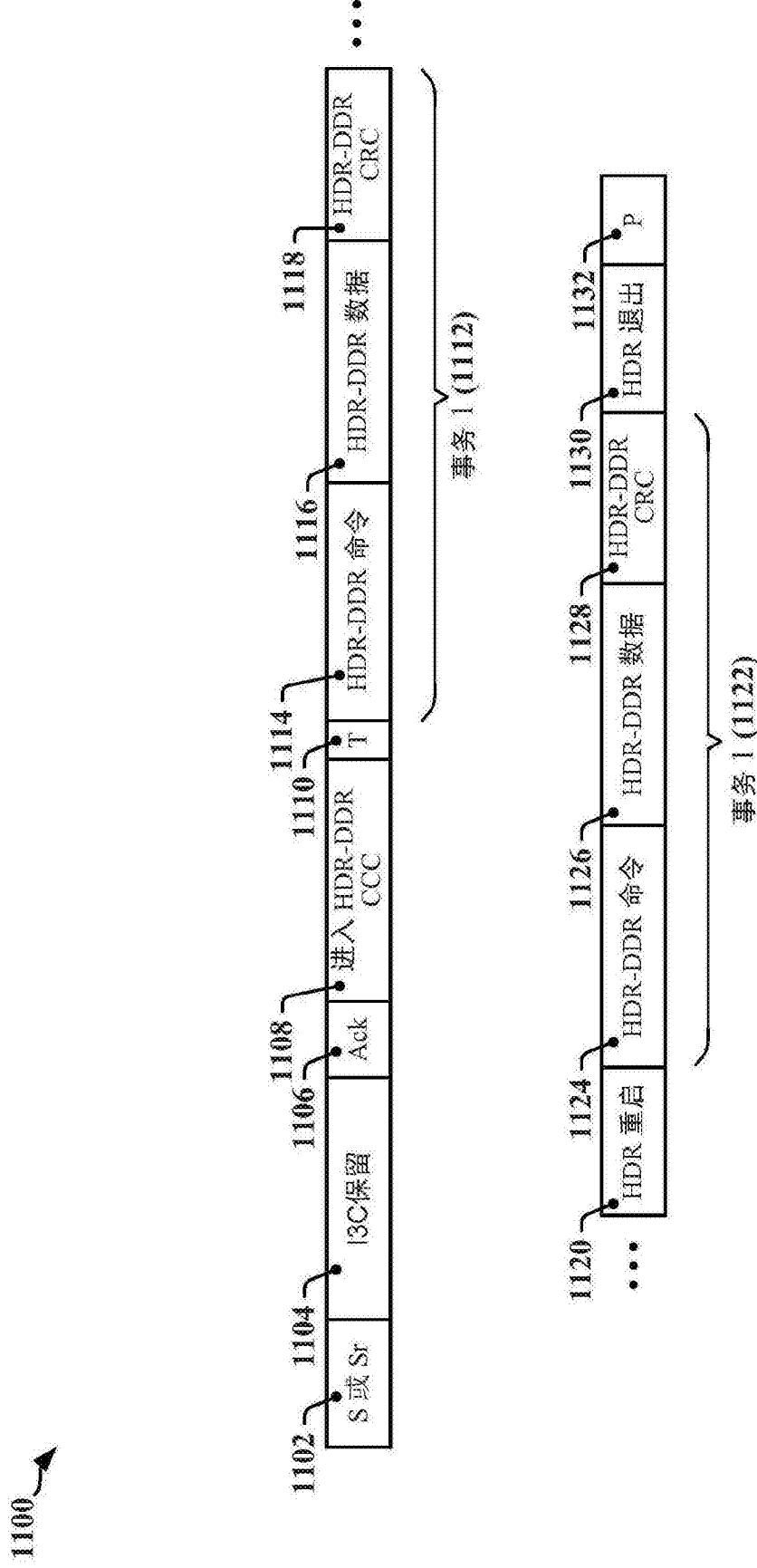


图 11

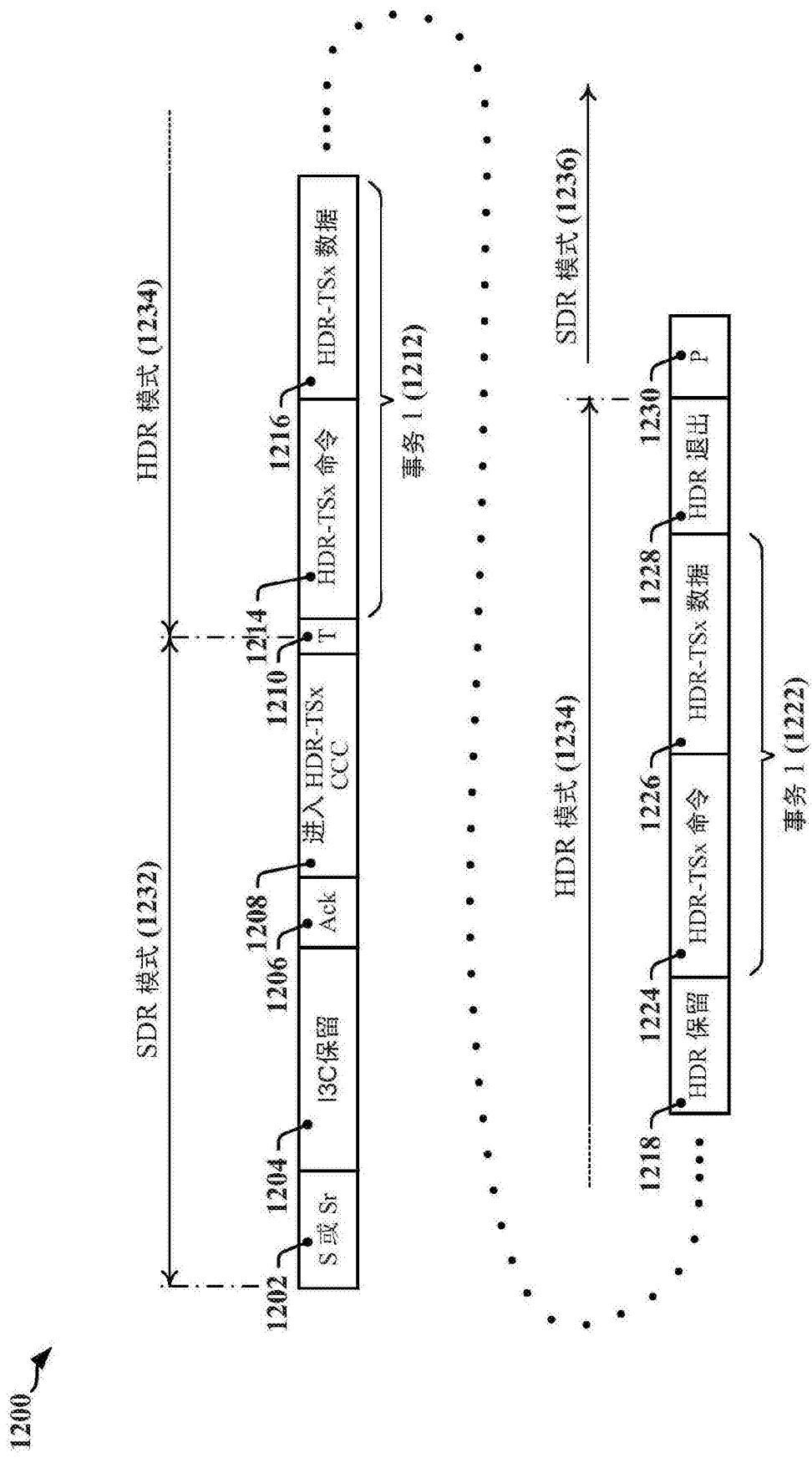


图12

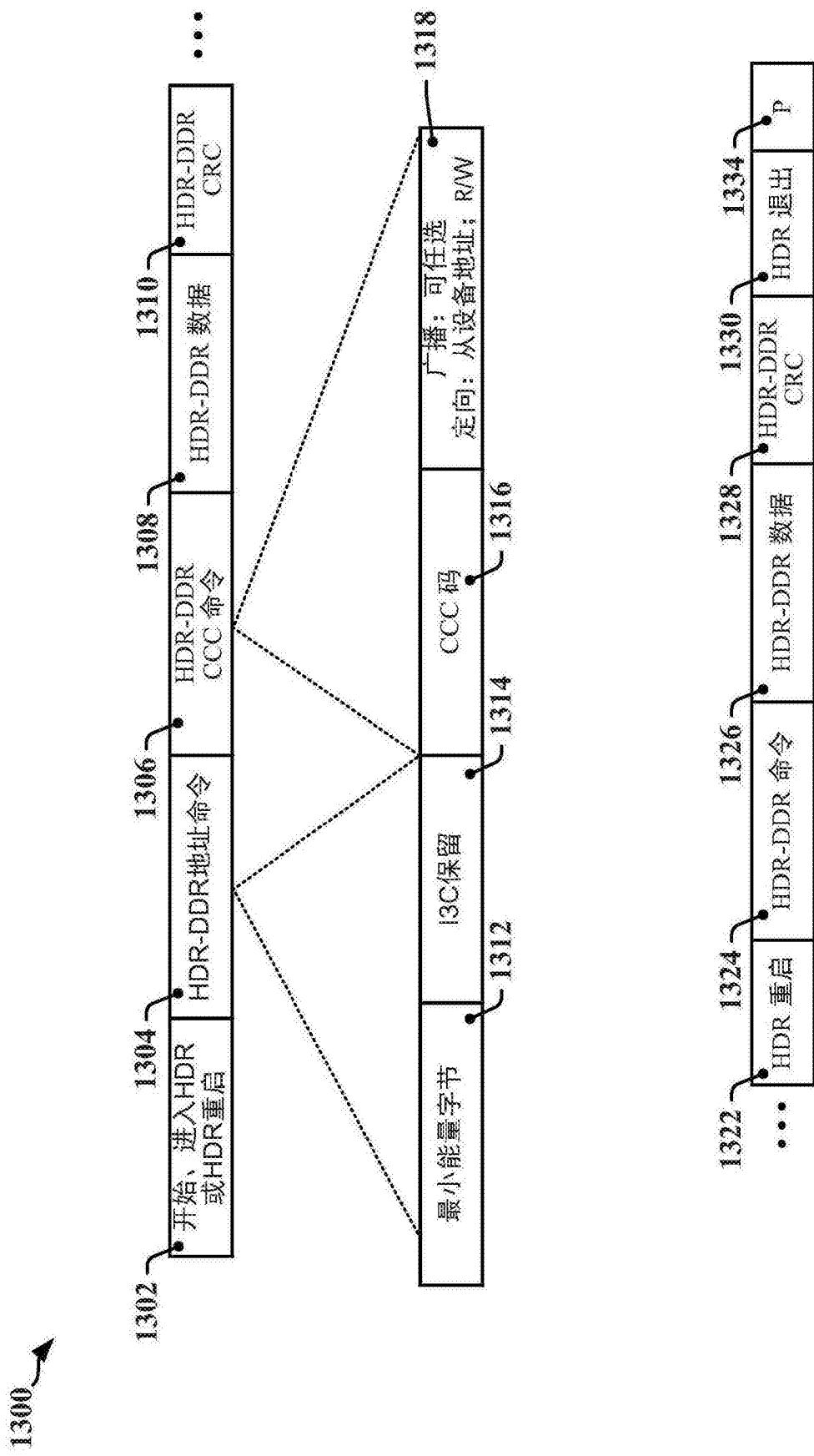


图13

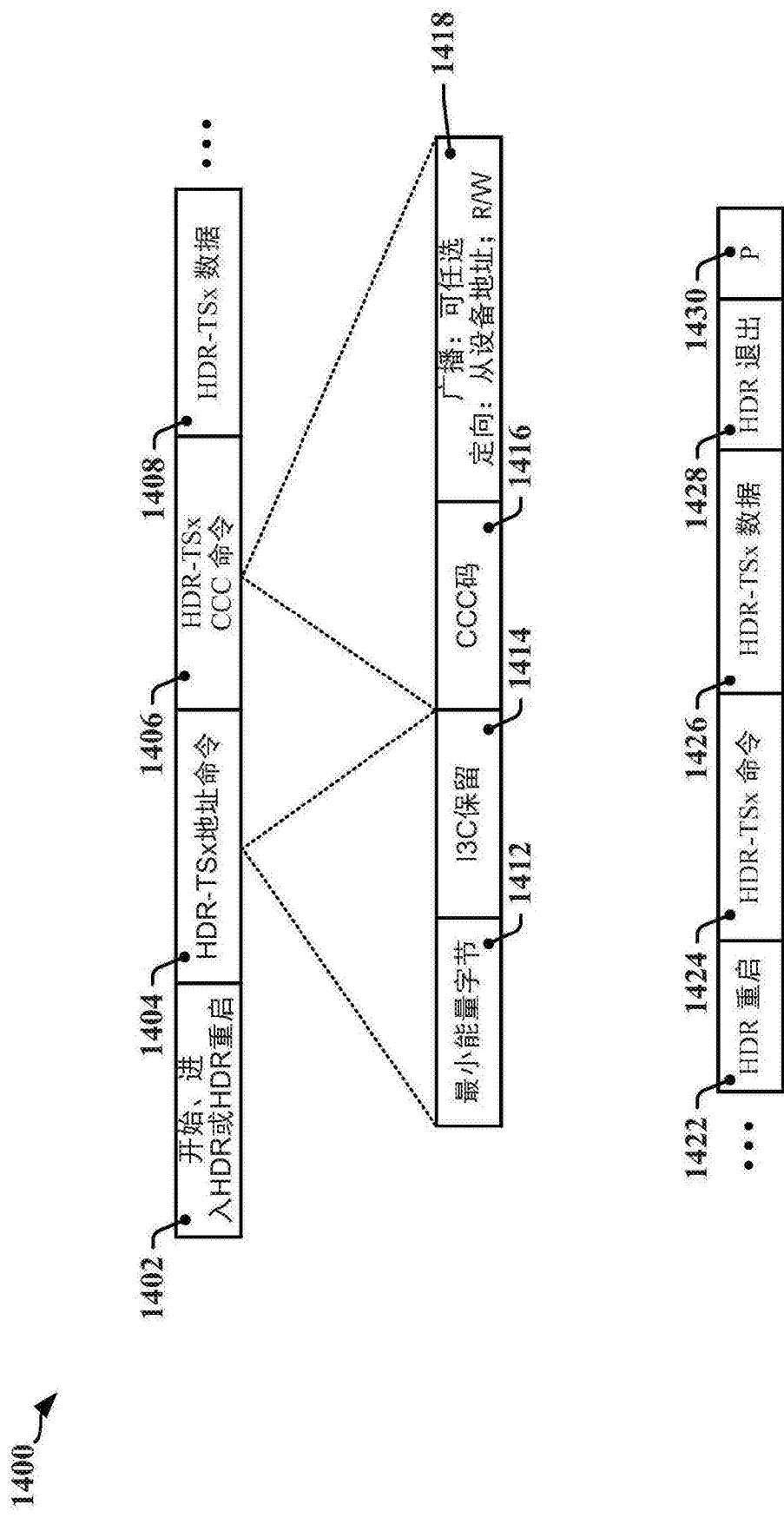


图14

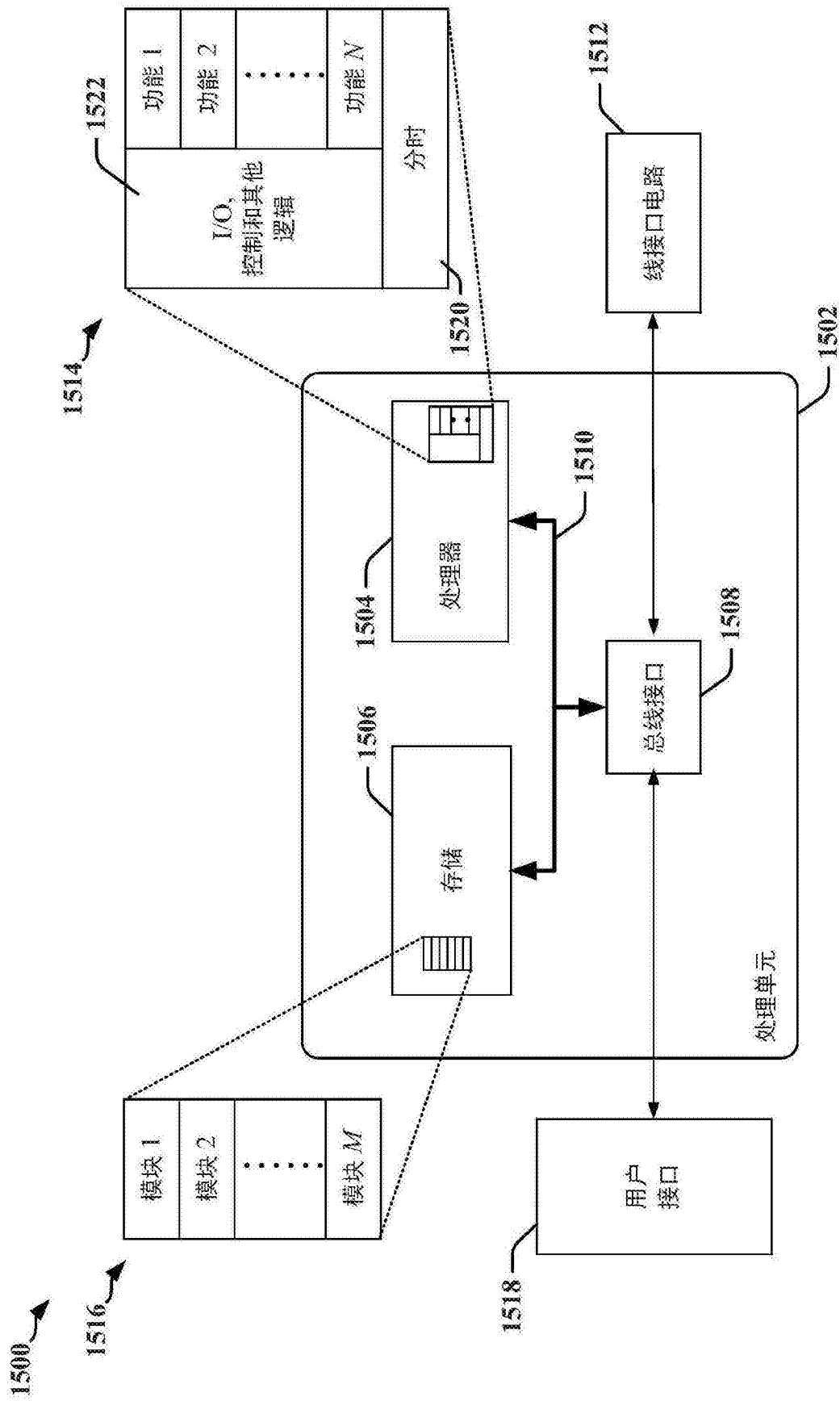


图 15

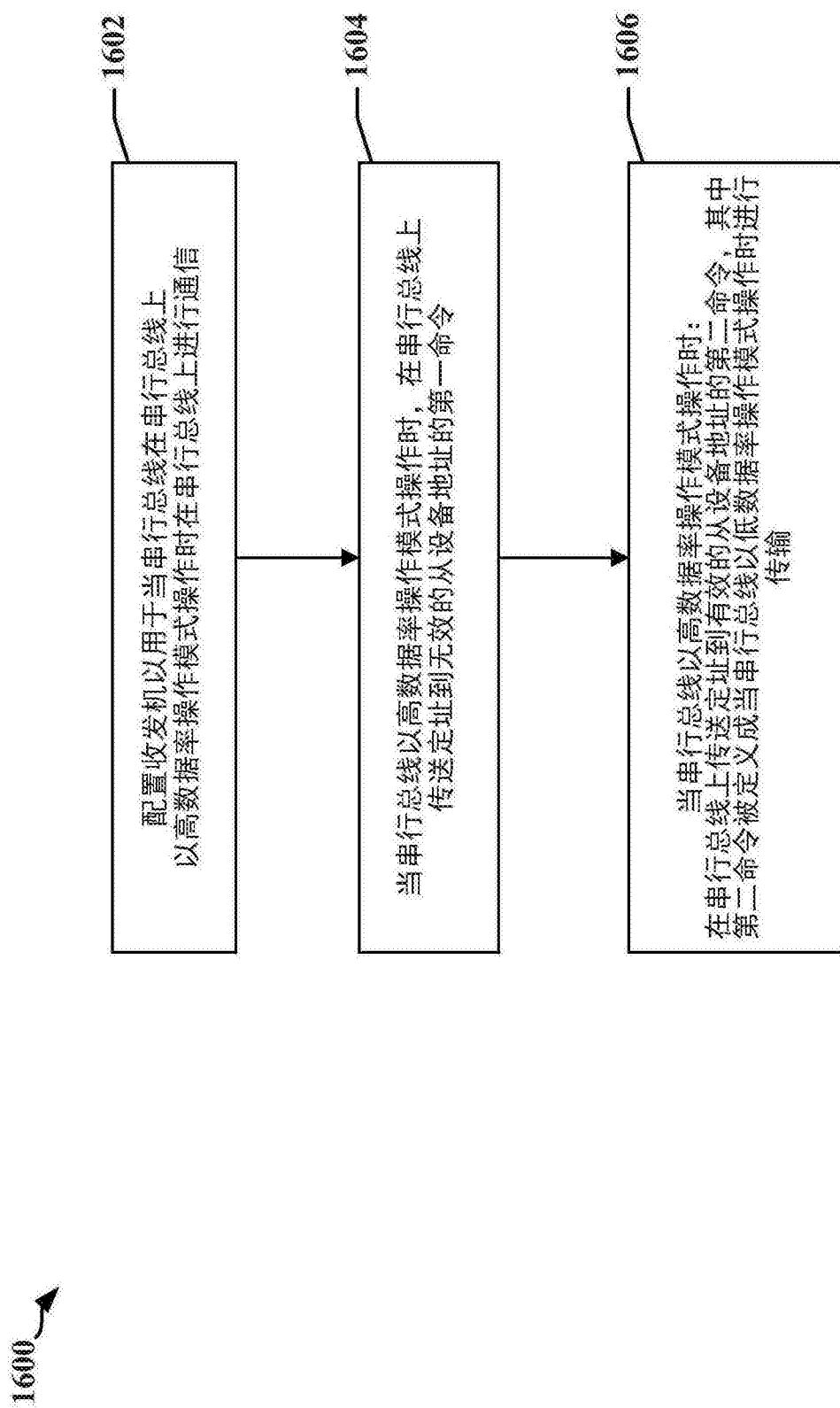


图16

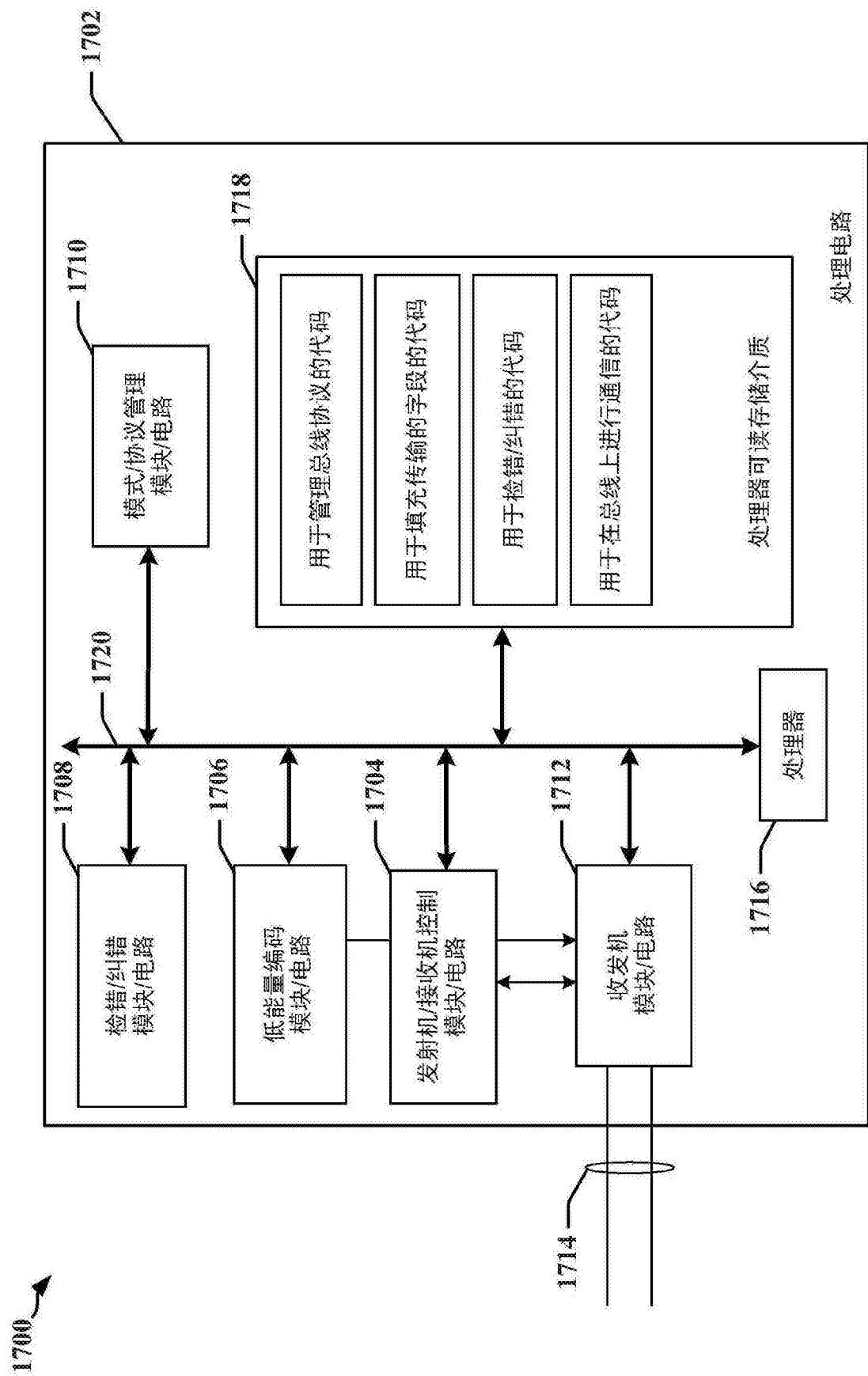


图 17