

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2018-207281

(P2018-207281A)

(43) 公開日 平成30年12月27日(2018.12.27)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 3/354 (2006.01)	H03K 3/354 B	5F038
H03K 3/03 (2006.01)	H03K 3/03	5J043
H01L 21/822 (2006.01)	H01L 27/04 T	
H01L 27/04 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 13 頁)

(21) 出願番号	特願2017-110177 (P2017-110177)	(71) 出願人	315002243
(22) 出願日	平成29年6月2日 (2017.6.2)		三重富士通セミコンダクター株式会社
			三重県桑名市多度町御衣野2000番地
		(74) 代理人	110001519
			特許業務法人太陽国際特許事務所
		(72) 発明者	井桁 光昭
			三重県桑名市多度町御衣野2000番地
			三重富士通セミコンダクター株式会社内
		Fターム(参考)	5F038 BG02 BG09 DT12 EZ20
			5J043 AA09 LL01

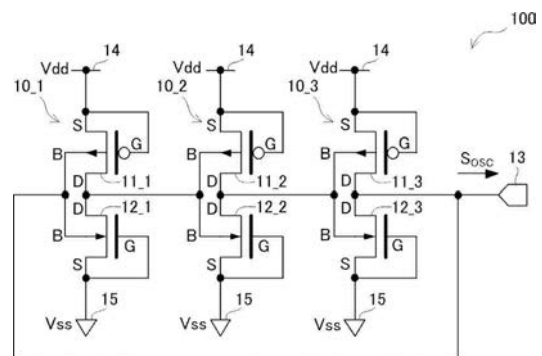
(54) 【発明の名称】 発振回路及び電圧制御装置

(57) 【要約】

【課題】 トランジスタのサブスレッショルドリークを従来よりも高精度にモニタリングする。

【解決手段】 発振回路は、Pチャネル型の第1のトランジスタ及びNチャネル型の第2のトランジスタを各々備えた奇数個のインバータを、リング状に結合して構成されている。インバータの各々は、第1のトランジスタのボディ及び第2のトランジスタのボディが入力端とされ、第1のトランジスタのドレイン及び第2のトランジスタのドレインが出力端とされ、最終段のインバータを除き、出力端が次段のインバータの入力端に接続されている。最終段のインバータの出力端は、初段のインバータの入力端に接続されている。インバータの各々において、第1のトランジスタ及び第2のトランジスタは、それぞれオフ状態とされている。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

Pチャネル型の第1のトランジスタ及びNチャネル型の第2のトランジスタを各々備えた奇数個のインバータを、リング状に結合した発振回路であって、

前記インバータの各々は、前記第1のトランジスタのボディ及び前記第2のトランジスタのボディが入力端とされ、前記第1のトランジスタのドレイン及び前記第2のトランジスタのドレインが出力端とされ、最終段のインバータを除き、前記出力端が次段のインバータの入力端に接続され、前記最終段のインバータの出力端が初段のインバータの入力端に接続され、

前記インバータの各々において、前記第1のトランジスタ及び前記第2のトランジスタは、それぞれオフ状態とされている

10

発振回路。

【請求項 2】

前記インバータの各々において、前記第1のトランジスタのゲートは、前記第1のトランジスタのソースに接続され、前記第2のトランジスタのゲートは、前記第2のトランジスタのソースに接続されている

請求項1に記載の発振回路。

【請求項 3】

前記インバータの各々において、前記第1のトランジスタのゲートは、前記第1のトランジスタのソース及びドレインから絶縁された第1のゲート配線に接続され、前記第2のトランジスタのゲートは、前記第2のトランジスタのソース及びドレインから絶縁された第2のゲート配線に接続されている

20

請求項1に記載の発振回路。

【請求項 4】

前記インバータの各々において、前記第1のトランジスタのソースは、第1の電位を有する第1の電源ラインに接続され、前記第2のトランジスタのソースは、前記第1の電位よりも低い第2の電位を有する第2の電源ラインに接続されている

請求項1から請求項3のいずれか1項に記載の発振回路。

【請求項 5】

Pチャネル型の第1のトランジスタ及びNチャネル型の第2のトランジスタを各々備えた奇数個のインバータをリング状に結合した発振回路と、

30

前記発振回路の発振周波数を計測する周波数カウンタと、

前記周波数カウンタの計測値に基づいて特定の回路を構成するトランジスタのボディに印加するボディバイアス電圧及び前記特定の回路の電源電圧の少なくとも一方を制御する制御回路と、

を含む、電圧制御装置であって、

前記インバータの各々において、前記第1のトランジスタ及び前記第2のトランジスタは、それぞれオフ状態とされ、

前記インバータの各々は、前記第1のトランジスタのボディ及び前記第2のトランジスタのボディが入力端とされ、前記第1のトランジスタのドレイン及び前記第2のトランジスタのドレインが出力端とされ、最終段のインバータを除き、前記出力端が次段のインバータの入力端に接続され、前記最終段のインバータの出力端が初段のインバータの入力端に接続されている

40

電圧制御装置。

【発明の詳細な説明】**【技術分野】****【0001】**

開示の技術は、発振回路及び電圧制御装置に関する。

【背景技術】**【0002】**

50

リングオシレータを含む半導体装置に関する技術として、以下の技術が知られている。例えば、奇数個の単位回路により構成されたリングオシレータの単位回路が、定常的にオフ状態とされたMOSFETからなる温度センサと、インバータと、を含むものが知られている。

【0003】

また、漏洩モードで作動する電流制限トランジスタを含む複数のトライステートインバータを備えたリングオシレータが知られている。

【0004】

また、モニタ用トランジスタによって検出されたリーク電流に比例した電圧を、発振回路及びチャージポンプ回路により発生させて出力トランジスタのバックゲートに供給することで、出力トランジスタの出力電圧の変動を抑制する技術が知られている。

10

【先行技術文献】

【特許文献】

【0005】

【特許文献1】国際公開第2007/141870号

【特許文献2】特開2011-100993号公報

【特許文献3】特開2013-109699号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

20

例えば、IoT (Internet of Things) 用途のLSI (Large Scale Integration) においては、低消費電力化のために電源電圧を0.5V程度にまで下げる要求がある。また、電源電圧の低下に伴って回路の動作周波数が過度に低くなることを防止するために、回路を構成する各トランジスタのボディに0.5V程度のFBB (Forward Body Bias: ボディ順バイアス) が印加される場合がある。なお、FBBが0.5V程度またはこれよりも小さい場合には、トランジスタのボディーソース間のPN接合における順方向電流は微小であるが、サブスレッショルドリークは比較的大きくなる。サブスレッショルドリークとは、トランジスタのソースドレイン間におけるリーク電流である。

【0007】

サブスレッショルドリークは、LSIの製造バラツキ、電圧バラツキ、使用温度などのバラツキ要因 (以下、PVTバラツキという) によって大きく変動する。サブスレッショルドリークが変動するとバッテリーの使用可能時間及び発熱に影響する。このため、PVTバラツキに対してサブスレッショルドリークを一定値以下に制御することが好ましい。

30

【0008】

サブスレッショルドリークの削減手法として、回路の非動作時に電源供給を停止するパワーゲーティングがある。しかしながら、常時動作する回路ブロックに対しては、パワーゲーティングを適用することはできない。

【0009】

サブスレッショルドリークを一定値以下に制御するには、サブスレッショルドリーク自体を高精度にモニタリングすることが必要であると考えられる。奇数個のインバータをリング状に連結したリングオシレータの発振周波数からサブスレッショルドリークを推定する手法が考えられる。しかしながら、従来のリングオシレータの発振周波数は、サブスレッショルドリークよりもむしろトランジスタのオン電流に対して強く依存する。従って、従来のリングオシレータでは、サブスレッショルドリークを高精度にモニタリングすることが困難である。

40

【0010】

開示の技術は、トランジスタのサブスレッショルドリークを従来よりも高精度にモニタリングすることを目的とする。

【課題を解決するための手段】

【0011】

50

開示の技術に係る発振回路は、Pチャネル型の第1のトランジスタ及びNチャネル型の第2のトランジスタを各々備えた奇数個のインバータを、リング状に結合した発振回路である。前記インバータの各々は、前記第1のトランジスタのボディ及び前記第2のトランジスタのボディが入力端とされ、前記第1のトランジスタのドレイン及び前記第2のトランジスタのドレインが出力端とされている。最終段のインバータを除き、前記出力端が次段のインバータの入力端に接続され、前記最終段のインバータの出力端が初段のインバータの入力端に接続されている。前記インバータの各々において、前記第1のトランジスタ及び前記第2のトランジスタは、それぞれオフ状態とされている。

【発明の効果】

【0012】

開示の技術によれば、トランジスタのサブスレッショルドリークを従来よりも高精度にモニタリングすることが可能となる。

【図面の簡単な説明】

【0013】

【図1】開示の技術の実施形態に係るリングオシレータの構成の一を示す等価回路図である。

【図2】開示の技術の実施形態に係るリングオシレータの断面構造の一例を示す図である。

【図3】開示の技術の実施形態に係るリングオシレータについて、回路シミュレーションを実施することにより取得した、発振動作時における各ノードの電圧波形を示す図である。

【図4】開示の技術の実施形態に係るリングオシレータの構成の一を示す等価回路図である。

【図5】開示の技術の実施形態に係る電圧制御装置の構成を示すブロック図である。

【図6】開示の技術の他の実施形態に係るリングオシレータの構成の一例を示す等価回路図である。

【発明を実施するための形態】

【0014】

以下、開示の技術の実施形態の一例を図面を参照しつつ説明する。なお、各図面において同一または等価な構成要素および部分には同一の参照符号を付与している。

【0015】

[第1の実施形態]

図1は、開示の技術の第1の実施形態に係るリングオシレータ100の構成の一を示す等価回路図である。

【0016】

リングオシレータ100は、リング状に連結された奇数個のインバータ10_1、10_2及び10_3を含んで構成されている。なお、図1では、3個のインバータ10_1、10_2及び10_3によってリングオシレータ100を構成する場合を例示しているが、インバータの個数は5個以上であってもよい。リングオシレータ100において、インバータ10_1が初段のインバータであり、インバータ10_3が最終段のインバータである。

【0017】

インバータ10_1は、Pチャネル型のMOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor、以下P-MOSと表記する）11_1と、Nチャネル型のMOSFET（以下、N-MOSと表記する）12_1とを含んで構成されている。同様に、インバータ10_2は、P-MOS 11_2と、N-MOS 12_2とを含んで構成され、インバータ10_3は、P-MOS 11_3と、N-MOS 12_3とを含んで構成されている。

【0018】

P-MOS 11_1は、ソースS及びゲートGが、電位V_{dd}を有する電源ライン14

10

20

30

40

50

に接続され、ドレインDが、N-MOS 12__1のドレインに接続され、ボディBがN-MOS 12__1のボディBに接続されている。P-MOS 11__1は、ゲートGが、ソースSと同電位に固定されることで、常時オフ状態を維持する。N-MOS 12__1のソースS及びゲートGは、電位V_{dd}よりも低い電位V_{ss}を有する電源ライン15に接続されている。電位V_{ss}はグランド電位であってもよい。N-MOS 12__1は、ゲートGが、ソースSと同電位に固定されることで、常時オフ状態を維持する。相互に接続されたP-MOS 11__1のボディB及びN-MOS 12__1のボディBが、インバータ10__1の入力端とされ、相互に接続されたP-MOS 11__1のドレインD及びN-MOS 12__1のドレインDが、インバータ10__1の出力端とされている。なお、本明細書において、トランジスタのオフ状態とは、ゲート直下に形成される反転層（チャネル）によって、ソースSとドレインDとが繋がっていない状態を意味する。反転層がソースSードレインD間において部分的に形成されている状態はオフ状態に含まれる。

10

【0019】

インバータ10__2において、P-MOS 11__2とN-MOS 12__2との接続関係は、インバータ10__1におけるP-MOS 11__1とN-MOS 12__1との接続関係と同様である。相互に接続されたP-MOS 11__2のボディB及びN-MOS 12__2のボディBが、インバータ10__2の入力端とされ、相互に接続されたP-MOS 11__2のドレインD及びN-MOS 12__2のドレインDが、インバータ10__2の出力端とされている。

【0020】

20

インバータ10__3において、P-MOS 11__3とN-MOS 12__3との接続関係は、インバータ10__1におけるP-MOS 11__1とN-MOS 12__1との接続関係と同様である。相互に接続されたP-MOS 11__3のボディB及びN-MOS 12__3のボディBが、インバータ10__3の入力端とされ、相互に接続されたP-MOS 11__3のドレインD及びN-MOS 12__3のドレインDが、インバータ10__3の出力端とされている。

【0021】

初段のインバータ10__1の出力端である、P-MOS 11__1のドレインD及びN-MOS 12__1のドレインDは、次段のインバータ10__2の入力端であるP-MOS 11__2のボディB及びN-MOS 12__2のボディBに接続されている。次段のインバータ10__2の出力端である、P-MOS 11__2のドレインD及びN-MOS 12__2のドレインDは、最終段のインバータ10__3の入力端であるP-MOS 11__3のボディB及びN-MOS 12__3のボディBに接続されている。最終段のインバータ10__3の出力端である、P-MOS 11__3のドレインD及びN-MOS 12__3のドレインDは、初段のインバータ10__1の入力端であるP-MOS 11__1のボディB及びN-MOS 12__1のボディBに接続されている。また、最終段のインバータ10__3の出力端であるP-MOS 11__3のドレインD及びN-MOS 12__3のドレインDは、リングオシレータ100の出力端子13にも接続されている。

30

【0022】

図2は、リングオシレータ100の断面構造の一例を示す図である。リングオシレータ100を構成する各トランジスタは、P型のシリコン基板20に形成されている。P-MOS 11__1、11__2及び11__3は、それぞれ、シリコン基板20の表層部に形成されたN型半導体からなるNウェル23をボディBとして有する。Nウェル23内に形成された比較的高濃度のP型の拡散層が、P-MOS 11__1、11__2及び11__3のソースS及びドレインDとして機能する。また、Nウェル23内に形成された比較的高濃度のN型の拡散層BCが、ボディコンタクトとして機能する。

40

【0023】

N-MOS 12__1、12__2及び12__3は、それぞれ、シリコン基板20の表層部に形成されたP型半導体からなるPウェル22をボディBとして有する。Pウェル22内に形成された比較的高濃度のN型の拡散層が、N-MOS 12__1、12__2及び12__

50

3のソースS及びドレインDとして機能する。また、Pウェル22内に形成された比較的高濃度のP型の拡散層BCが、ボディコンタクトとして機能する。Pウェル22は、N型半導体からなるNウェル21内に形成されている。Pウェル22をNウェル21で囲むことにより、Pウェル22はシリコン基板20から絶縁分離される。Nウェル21内に形成された比較的高濃度のN型の拡散層NWが、コンタクト層として機能する。Nウェル21は、配線を介して電位Vddを有する電源ライン14に接続されている。

【0024】

シリコン基板20の表面には、各トランジスタのソースS及びドレインDの間に、例えばポリシリコンを含んで構成されるゲートGがゲート絶縁膜を介して設けられている。各トランジスタは、SiO₂等の絶縁体で構成される素子分離領域25によって互いに絶縁分離される。

10

【0025】

P-MOS 11__1、11__2及び11__3のゲートG及びソースSは、配線を介して電位Vddを有する電源ライン14に接続されている。N-MOS 12__1、12__2及び12__3のゲートG及びソースSは、配線を介して電位Vssを有する電源ライン15に接続されている。

【0026】

以下に、リングオシレータ100の動作について説明する。初期状態において、初段のインバータ10__1の入力端であるP-MOS 11__1のボディB及びN-MOS 12__1のボディBに、電位Vdd（ハイレベル電位）が印加されるものとする。この場合、N-MOS 12__1に対してFBB（順方向ボディバイアス）が印加されることになり、N-MOS 12__1のサブスレッショルドリーク（以下単にリーク電流ともいう）が大きくなる。一方、P-MOS 11__1に対してはFBBが印加されず、P-MOS 11__1のリーク電流は、N-MOS 12__1のリーク電流よりも小さくなる。このように、N-MOS 12__1のリーク電流が、P-MOS 11__1のリーク電流よりも大きくなることで、初段のインバータ10__1の出力端であるP-MOS 11__1のドレインD及びN-MOS 12__1のドレインDの電位は、Vss（ローレベル電位）となる。

20

【0027】

初段のインバータ10__1の出力端の電位がVss（ローレベル電位）となることで、次段のインバータ10__2の入力端であるP-MOS 11__2のボディB及びN-MOS 12__2のボディBに、電位Vss（ローレベル電位）が印加される。これにより、P-MOS 11__2に対してFBBが印加され、P-MOS 11__2のリーク電流は大きくなる。一方、N-MOS 12__2に対しては、FBBが印加されず、N-MOS 12__2のリーク電流は、P-MOS 11__2のリーク電流よりも小さくなる。このように、P-MOS 11__2のリーク電流が、N-MOS 12__2のリーク電流よりも大きくなることで、次段のインバータ10__2の出力端であるP-MOS 11__2のドレインD及びN-MOS 12__2のドレインDの電位は、Vdd（ハイレベル電位）となる。

30

【0028】

次段のインバータ10__2の出力端の電位がVdd（ハイレベル電位）となることで、最終段のインバータ10__3の入力端であるP-MOS 11__3のボディB及びN-MOS 12__3のボディBに、電位Vdd（ハイレベル電位）が印加される。これにより、N-MOS 12__3に対してFBBが印加され、N-MOS 12__3のリーク電流は大きくなる。一方、P-MOS 11__3に対しては、FBBが印加されず、P-MOS 11__3のリーク電流は、N-MOS 12__3のリーク電流よりも小さくなる。このように、N-MOS 12__3のリーク電流が、P-MOS 11__3のリーク電流よりも大きくなることで、最終段のインバータ10__3の出力端であるP-MOS 11__3のドレインD及びN-MOS 12__3のドレインDの電位は、Vss（ローレベル電位）となる。

40

【0029】

最終段のインバータ10__3の出力端の電位がVss（ローレベル電位）となることで、初段のインバータ10__1の入力端に、電位Vss（ローレベル電位）が印加される。

50

これにより、初段のインバータ10__1の出力端の電位は、 V_{ss} （ローレベル電位）から V_{dd} （ハイレベル電位）に反転する。これに応じて次段のインバータ10__2の出力端の電位は、 V_{dd} （ハイレベル電位）から V_{ss} （ローレベル電位）に反転する。その結果、最終段のインバータ10__3の出力端の電位は、 V_{ss} （ローレベル電位）から V_{dd} （ハイレベル電位）に反転する。上記の動作を繰り返すことで、リングオシレータ100の出力端子13からは、 V_{dd} と V_{ss} との間で振動する発振信号 S_{osc} が出力される。

【0030】

P-MOS11__1、11__2、11__3及びN-MOS12__1、12__2、12__3は、それぞれ常時オフ状態を維持しているので、発振信号 S_{osc} の周波数は、これらのトランジスタのオン電流には依存しない。すなわち、発振信号 S_{osc} の周波数は、P-MOS11__1、11__2、11__3及びN-MOS12__1、12__2、12__3のサブスレッショルドリークに対する相関性が極めて高い。発振信号 S_{osc} の周波数は、P-MOS11__1、11__2、11__3及びN-MOS12__1、12__2、12__3のサブスレッショルドリークの大きさに略比例する。例えば、特定の回路を構成するトランジスタと同じ構造及びサイズのトランジスタを用いてリングオシレータ100を構成して発振信号 S_{osc} を取得する。これにより、上記特定回路を構成するトランジスタのサブスレッショルドリークの大きさを高精度にモニタリングすることができる。

【0031】

ここで、図3は、図4に示す5段構成のインバータ10__1～10__5を含むリングオシレータ100について、回路シミュレーションを実施することにより取得した、発振動作時における各ノードn0～n4の電圧波形を示す図である。なお、ノードn0は、インバータ10__5の出力端（インバータ10__1の入力端）である。ノードn1は、インバータ10__1の出力端（インバータ10__2の入力端）である。ノードn2は、インバータ10__2の出力端（インバータ10__3の入力端）である。ノードn3は、インバータ10__3の出力端（インバータ10__4の入力端）である。ノードn4は、インバータ10__4の出力端（インバータ10__5の入力端）である。図3に示すように、各ノードn0～n4の電位が、ハイレベル電位とローレベル電位との間で振動しており、リングオシレータ100が適切に発振動作を行うことが確認できた。

【0032】

本実施形態に係るリングオシレータ100によれば、発振信号 S_{osc} の周波数は、P-MOS11__1、11__2、11__3及びN-MOS12__1、12__2、12__3のリーク電流の大きさに応じたものとなる。従って、P-MOS及びN-MOSが交互にオン状態となる従来のリングオシレータと比較して、低い周波数の発振信号 S_{osc} を得ることができる。従って、従来のリングオシレータと比較して、発振動作時に消費される充放電電力を小さくすることができる。また、従来のリングオシレータと比較して、インバータの段数を少なくすることができる。

【0033】

図5は、リングオシレータ100を含んで構成される、開示の技術の実施形態に係る電圧制御装置200の構成を示すブロック図である。電圧制御装置200は、リングオシレータ100によってモニタされたリーク電流に基づいて主回路300に対してABB（Adaptive Body Bias：ボディバイアス適応制御）及びASV（Adaptive Supply Voltage：電源電圧適応制御）を行う。主回路300は、特定の機能を持つ回路ブロックであり、半導体チップに搭載されている。なお、電圧制御装置200は、主回路300を構成する半導体チップと同一の半導体チップに搭載されていてもよいし、主回路300とは別の半導体チップに搭載されていてもよい。

【0034】

電圧制御装置200は、リングオシレータ100の他、分周器201、周波数カウンタ202、ボディバイアス制御回路203及び電源電圧制御回路204を含んでいる。分周器201は、リングオシレータ100から出力される発振信号 S_{osc} の周波数をn分の

10

20

30

40

50

1 (n は自然数)にした分周信号 S_D を出力する。周波数カウンタ 202 は、分周信号 S_D の単位時間あたりのパルス数をカウントすることにより、分周信号 S_D の周波数を示す周波数検出信号 f_C を出力する。

【0035】

ボディバイアス制御回路 203 は、周波数検出信号 f_C に応じて、主回路 300 を構成する各トランジスタのボディに印加される順方向のボディバイアス電圧 V_{FB} の大きさを制御する。より具体的には、ボディバイアス制御回路 203 は、周波数検出信号 f_C によって示される周波数が高い程（すなわち、リングオシレータ 100 によってモニタされるリーク電流の大きさが大きい程）、主回路 300 を構成する各トランジスタのボディに印加される順方向のボディバイアス電圧 V_{FB} を小さくする。なお、ボディバイアス制御回路 203 は、周波数検出信号 f_C によって示される周波数が高い程（すなわち、リングオシレータ 100 によってモニタされるリーク電流の大きさが大きい程）、逆方向のボディバイアス電圧を大きくしてもよい。

【0036】

電源電圧制御回路 204 は、周波数検出信号 f_C に応じて、主回路 300 に供給される電源電圧 V_D の大きさを制御する。より具体的には、電源電圧制御回路 204 は、周波数検出信号 f_C によって示される周波数が高い程（すなわち、リングオシレータ 100 によってモニタされるリーク電流の大きさが大きい程）、主回路 300 に供給される電源電圧 V_D の大きさを小さくする。

【0037】

上記のように、電圧制御装置 200 は、リングオシレータ 100 によってモニタされるリーク電流（サブスレッショルドリーク）の大きさが大きい程、主回路 300 を構成する各トランジスタのボディに印加される順方向のボディバイアス電圧 V_{FB} が小さくなるように制御する。また、リングオシレータ 100 によってモニタされるリーク電流（サブスレッショルドリーク）の大きさが大きい程、主回路 300 に供給される電源電圧 V_D の大きさが小さくなるように制御する。これにより、主回路 300 を構成する各トランジスタにおけるサブスレッショルドリークを、PVT バラツキに対して一定値以下に抑えることが可能となる。電圧制御装置 200 によれば、リングオシレータ 100 によってリーク電流の高精度なモニタを実現することができるので、主回路 300 に対する ABB 及び ASV を適切に行うことが可能となる。

【0038】

また、本実施形態に係る電圧制御装置 200 によれば、リングオシレータ 100 の発振周波数を従来のリングオシレータと比較して低くすることができる。従って、従来のリングオシレータを用いて、電圧制御装置を構成する場合と比較して、分周器 201 の分周数を小さくし、周波数カウンタ 202 におけるカウント上限値を小さくすることができ、回路面積を小さくすることができる。なお、リングオシレータ 100 の発振周波数を、周波数カウンタ 202 によって直接計測できる場合には、分周器 201 を省略することが可能である。リングオシレータ 100 の発振周波数を従来のリングオシレータと比較して低くすることができるので、リングオシレータ 100 の発振周波数を、周波数カウンタ 202 によって直接計測することは比較的容易である。

【0039】

本実施形態では、電圧制御装置 200 がボディバイアス制御回路 203 及び電源電圧制御回路 204 の双方を備える構成を例示したが、電圧制御装置 200 がボディバイアス制御回路 203 及び電源電圧制御回路 204 のうちの一方を備える構成としてもよい。

【0040】

〔第 2 の実施形態〕

図 6 は、開示の技術の第 2 の実施形態に係るリングオシレータ 100A の構成の一例を示す等価回路図である。リングオシレータ 100A は、P-MOS 11_1、11_2、11_3 のゲート G がゲート配線 16 に接続され、N-MOS 12_1、12_2、12_3 のゲート G がゲート配線 17 に接続されている点が、第 1 の実施形態に係るリングオ

10

20

30

40

50

シレータ 100 と異なる。ゲート配線 16 及びゲート配線 17 は、P-MOS 11__1、11__2、11__3 及び N-MOS 12__1、12__2、12__3 のソース S 及びドレイン D から絶縁されている。ゲート配線 16 及び 17 は、それぞれ、外部接続端子（図示せず）に接続されており、ゲート配線 16 及び 17 に対して外部から任意の電位を印加することが可能となっている。ゲート配線 16 に印加される電位 V_{gp} は、電位 V_{dd} よりも大きくてもよいし、小さくてもよいが、P-MOS 11__1、11__2、11__3 がオフ状態を維持する電位とされる。同様に、ゲート配線 17 に印加される電位 V_{gn} は、電位 V_{ss} よりも大きくてもよいし、小さくてもよいが、N-MOS 12__1、12__2、12__3 がオフ状態を維持する電位とされる。

【0041】

10

例えば、 $V_{gn} > V_{ss}$ とし、 $V_{gp} < V_{dd}$ とすることで、第 1 の実施形態に係るリングオシレータ 100 と比較して、P-MOS 11__1、11__2、11__3 及び N-MOS 12__1、12__2、12__3 のリーク電流が大きくなる。これにより、リングオシレータ 100 A の発振周波数を、第 1 の実施形態に係るリングオシレータ 100 と比較して、高くすることができる。一方、 $V_{gn} < V_{ss}$ とし、 $V_{gp} > V_{dd}$ とすることで、第 1 の実施形態に係るリングオシレータ 100 と比較して、P-MOS 11__1、11__2、11__3 及び N-MOS 12__1、12__2、12__3 のリーク電流が小さくなる。これにより、リングオシレータ 100 A の発振周波数を、第 1 の実施形態に係るリングオシレータ 100 と比較して、低くすることができる。

【0042】

20

なお、リングオシレータ 100 及び 100 A は、開示の技術における発振回路の一例である。P-MOS 11__1～11__3 は、開示の技術における第 1 のトランジスタの一例である。N-MOS 12__1～12__3 は、開示の技術における第 2 のトランジスタの一例である。インバータ 10__1～10__3 は、開示の技術におけるインバータの一例である。インバータ 10__3 は、開示の技術における最終段のインバータの一例である。インバータ 10__1 は、開示の技術における初段のインバータの一例である。ゲート配線 16 は、開示の技術における第 1 のゲート配線の一例である。ゲート配線 17 は、開示の技術における第 2 のゲート配線の一例である。電源ライン 14 は、開示の技術における第 1 の電源ラインの一例である。電源ライン 15 は、開示の技術における第 2 の電源ラインの一例である。周波数カウンタ 202 は、開示の技術における周波数カウンタの一例である。ボディバイアス制御回路 203 及び電源電圧制御回路 204 は、開示の技術における制御回路の一例である。電圧制御装置 200 は、開示の技術における電圧制御装置の一例である。

30

【0043】

以上の実施形態に関し、更に以下の付記を開示する。

【0044】

(付記 1)

Pチャネル型の第 1 のトランジスタ及び Nチャネル型の第 2 のトランジスタを各々備えた奇数個のインバータを、リング状に結合した発振回路であって、

前記インバータの各々は、前記第 1 のトランジスタのボディ及び前記第 2 のトランジスタのボディが入力端とされ、前記第 1 のトランジスタのドレイン及び前記第 2 のトランジスタのドレインが出力端とされ、最終段のインバータを除き、前記出力端が次段のインバータの入力端に接続され、前記最終段のインバータの出力端が初段のインバータの入力端に接続され、

40

前記インバータの各々において、前記第 1 のトランジスタ及び前記第 2 のトランジスタは、それぞれオフ状態とされている

発振回路。

【0045】

(付記 2)

前記インバータの各々において、前記第 1 のトランジスタのゲートは、前記第 1 のトラ

50

ンジスタのソースに接続され、前記第 2 のトランジスタのゲートは、前記第 2 のトランジスタのソースに接続されている

付記 1 に記載の発振回路。

【0046】

(付記 3)

前記インバータの各々において、前記第 1 のトランジスタのゲートは、前記第 1 のトランジスタのソース及びドレインから絶縁された第 1 のゲート配線に接続され、前記第 2 のトランジスタのゲートは、前記第 2 のトランジスタのソース及びドレインから絶縁された第 2 のゲート配線に接続されている

付記 1 に記載の発振回路。

10

【0047】

(付記 4)

前記インバータの各々において、前記第 1 のトランジスタのソースは、第 1 の電位を有する第 1 の電源ラインに接続され、前記第 2 のトランジスタのソースは、前記第 1 の電位よりも低い第 2 の電位を有する第 2 の電源ラインに接続されている

付記 1 から付記 3 のいずれか 1 つに記載の発振回路。

【0048】

(付記 5)

前記第 1 のトランジスタのボディは、半導体基板に設けられた N 型半導体からなる第 1 のウェルにより構成され、前記第 2 のトランジスタのボディは、前記半導体基板に設けられた P 型半導体からなる第 2 のウェルにより構成される

20

付記 1 から付記 4 のいずれか 1 つに記載の発振回路。

【0049】

(付記 6)

前記第 2 のウェルは、N 型半導体からなる第 3 のウェル内に設けられている

付記 5 に記載の発振回路。

【0050】

(付記 7)

P チャネル型の第 1 のトランジスタ及び N チャネル型の第 2 のトランジスタを各々備えた奇数個のインバータをリング状に結合した発振回路と、

30

前記発振回路の発振周波数を計測する周波数カウンタと、

前記周波数カウンタの計測値に基づいて特定の回路を構成するトランジスタのボディに印加するボディバイアス電圧及び前記特定の回路の電源電圧の少なくとも一方を制御する制御回路と、

を含む、電圧制御装置であって、

前記インバータの各々において、前記第 1 のトランジスタ及び前記第 2 のトランジスタは、それぞれオフ状態とされ、

前記インバータの各々は、前記第 1 のトランジスタのボディ及び前記第 2 のトランジスタのボディが入力端とされ、前記第 1 のトランジスタのドレイン及び前記第 2 のトランジスタのドレインが出力端とされ、最終段のインバータを除き、前記出力端が次段のインバータの入力端に接続され、前記最終段のインバータの出力端が初段のインバータの入力端に接続されている

40

電圧制御装置。

【0051】

(付記 8)

前記インバータの各々において、前記第 1 のトランジスタのゲートは、前記第 1 のトランジスタのソースに接続され、前記第 2 のトランジスタのゲートは、前記第 2 のトランジスタのソースに接続されている

付記 7 に記載の電圧制御装置。

【0052】

50

(付記 9)

前記インバータの各々において、前記第 1 のトランジスタのゲートは、前記第 1 のトランジスタのソース及びドレインから絶縁された第 1 のゲート配線に接続され、前記第 2 のトランジスタのゲートは、前記第 2 のトランジスタのソース及びドレインから絶縁された第 2 のゲート配線に接続されている

付記 7 に記載の電圧制御装置。

【0053】

(付記 10)

前記インバータの各々において、前記第 1 のトランジスタのソースは、第 1 の電位を有する第 1 の電源ラインに接続され、前記第 2 のトランジスタのソースは、前記第 1 の電位よりも低い第 2 の電位を有する第 2 の電源ラインに接続されている

10

付記 7 から付記 9 のいずれか 1 つに記載の電圧制御装置。

【0054】

(付記 11)

前記第 1 のトランジスタのボディは、半導体基板に設けられた N 型半導体からなる第 1 のウェルにより構成され、前記第 2 のトランジスタのボディは、前記半導体基板に設けられた P 型半導体からなる第 2 のウェルにより構成される

付記 7 から付記 10 のいずれか 1 つに記載の電圧制御装置。

【0055】

(付記 12)

20

前記第 2 のウェルは、N 型半導体からなる第 3 のウェル内に設けられている

付記 11 に記載の電圧制御装置。

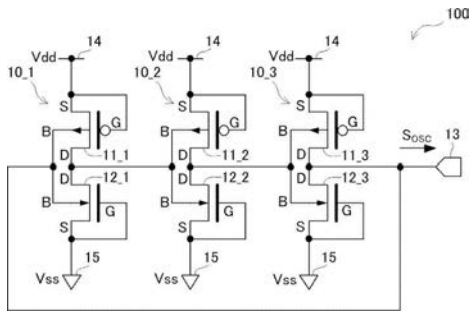
【符号の説明】

【0056】

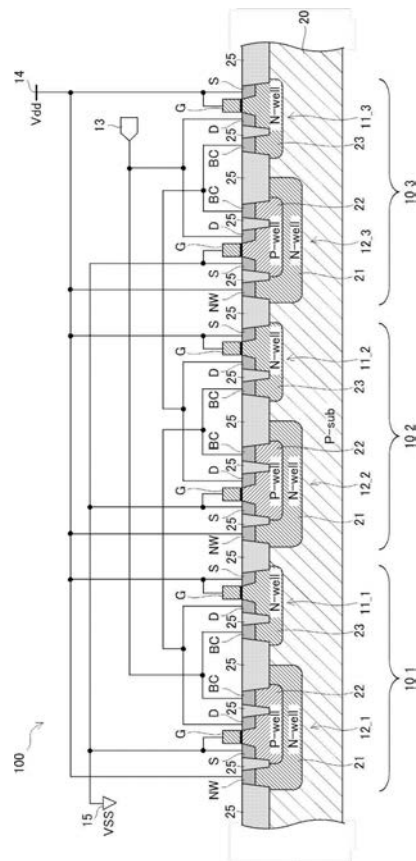
10 __ 1 ~ 10 __ 3 インバータ
 11 __ 1 ~ 11 __ 3 P-MOS
 12 __ 1 ~ 12 __ 3 N-MOS
 14、15 電源ライン
 16、17 ゲート配線
 100、100A リングオシレータ
 200 電圧制御装置
 201 分周器
 202 周波数カウンタ
 203 ボディバイアス制御回路
 204 電源電圧制御回路

30

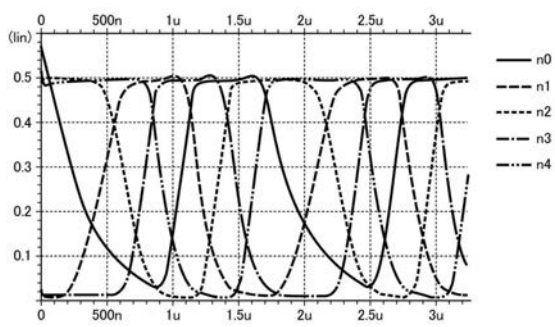
【図 1】



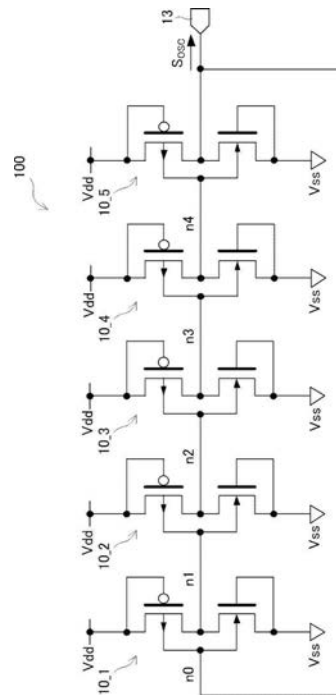
【図 2】



【図 3】



【図 4】



【图 6】

