

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 10 月 15 日 (15.10.2020)



(10) 国际公布号
WO 2020/207443 A1

- (51) 国际专利分类号:
H03L 7/00 (2006.01)
- (21) 国际申请号: PCT/CN2020/084002
- (22) 国际申请日: 2020 年 4 月 9 日 (09.04.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201910289884.X 2019年4月11日 (11.04.2019) CN
- (71) 申请人: 浙江大学(ZHEJIANG UNIVERSITY) [CN/CN]; 中国浙江省杭州市余杭塘路 866 号, Zhejiang 310058 (CN)。
- (72) 发明人: 徐志伟(XU, Zhiwei); 中国浙江省杭州市余杭塘路 866 号, Zhejiang 310058 (CN)。王圣杰(WANG, Shengjie); 中国浙江省杭州市余杭塘路 866 号, Zhejiang 310058 (CN)。刘嘉冰(LIU, Jiabing); 中国浙江省杭州市余杭塘路 866 号, Zhejiang 310058 (CN)。邱良(QIU, Liang); 中国浙江省杭州市余杭塘路 866 号, Zhejiang 310058 (CN)。弓悦(GONG, Yue); 中国浙江省

杭州市余杭塘路 866 号, Zhejiang 310058 (CN)。
赵锴龙(ZHAO, Kailong); 中国浙江省杭州市余杭塘路 866 号, Zhejiang 310058 (CN)。宋春毅(SONG, Chunyi); 中国浙江省杭州市余杭塘路 866 号, Zhejiang 310058 (CN)。

(74) 代理人: 杭州求是专利事务所有限公司(HANGZHOU QIUSHI PATENT OFFICE CO., LTD.); 中国浙江省杭州市玉古路 147 号黄鸿年科技综合大楼 215 室 / 贾玉霞, Zhejiang 310013 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) Title: LOW-FREQUENCY REFERENCE SIGNAL-BASED SYNCHRONOUS SELF-REPAIRING SYSTEM ON CHIP

(54) 发明名称: 一种基于低频参考信号的片上同步自修复系统

(57) Abstract: A low-frequency reference signal-based synchronous self-repairing system on chip. The system adopts a double-input type PLL star-shaped coupling structure or a double-input type PLL butterfly-shaped coupling structure; by means of synchronization of a transmitted reference signal and a received reference signal, the delay of the whole loop is an integral multiple of the reference signal to ensure the synchronization of local oscillation signal of each IC chip. A transmission line based on an adjustable left-handed material is used as a delay line to be connected to the double-input PLL, low loss is achieved, and moreover, a physical distance of the delay line is reduced. The system has the advantages of small area, low loss, high adaptability, and strict synchronization in various environments.

(57) 摘要: 一种基于低频参考信号的片上同步自修复系统, 该系统采用双输入型PLL星状耦合结构或双输入型PLL蝶形耦合结构, 通过发射出去的参考信号和接收到的参考信号同步使整个回路的延时是参考信号的整数倍, 以此保证各IC芯片的本振信号同步, 并应用基于可调左手材料的传输线作为延迟线连接双输入型PLL, 实现低损耗, 同时减小了延迟线的物理距离。该系统具有面积小、损耗低, 自适应强, 在各种环境下严格同步的优点。

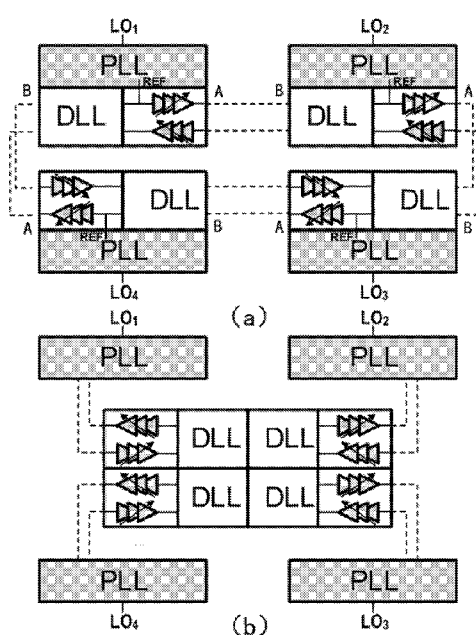


图 1

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种基于低频参考信号的片上同步自修复系统

技术领域

本发明涉及雷达相控阵领域，具体涉及相控阵列中阵元瓦片上数字收发芯片间本振信号相位的同步自修复系统。

背景技术

在大型阵列中，如何同步各个阵元是相控阵的关键技术。阵列使用要求严格同步，对于模拟阵各阵元之间相位差固定，对于数字阵各阵元之间相位相同；大型数字相控阵通常由多个阵元瓦片构成，各阵元瓦片包含几个到几十个数字收发芯片。系统中有两类同步要求：阵元瓦片内同步和阵元瓦片间同步。环境的变化会导致安装时的同步失效，阵元瓦片内多个 IC 芯片的 LO 信号之间存在相位偏移，这种静态偏移对于相控阵来说是不希望出现的，需要最小化实现阵元瓦片内的同步。

另外，同步系统需要将时延补到整数倍周期，由于低频信号的波长太长（如 10MHz 的参考信号在空气中的波长为 30 米），而阵元瓦片的尺寸通常远小于 1 米，采用低频同步系统需要产生长达 30 米的等效延迟线，这是不可以接受的。

发明内容

针对现有技术的不足，本发明提出一种基于可调左手材料传输线的双输入型 PLL 耦合的片上同步自修复系统，该系统基于低频参考信号，整个同步系统连接成星状或蝶形结构，IC 芯片通过锁相环将发射出去的参考信号和接收到的参考信号同步，假设各阵元瓦片可以得到一个相位相同的参考信号，在此基础上保证瓦片内各射频收发芯片的本振信号同步。

本发明实现上述目的所采用的技术方案如下：

一种基于低频参考信号的片上同步自修复系统，其特征在于，所述的系统采用双输入型 PLL 星状耦合结构或双输入型 PLL 蝶形耦合结构，且 PLL 之间单线耦合，双输入型 PLL 星状耦合结构通过链式闭合连接 n 个双输入型 PLL，互传四分之一的本振信号进行互锁实现片上本振信号同步；双输入型 PLL 蝶形耦合结构通过集总连接 m 个双输入型 PLL，通过给定的参考信号使得片内各 IC 芯片上的本振信号同步；其中， $n \geq 3$ ， $m \geq 3$ ，所述的双输入型 PLL 间的互连采用基于左手材料的传输线。

进一步地，所述的双输入型 PLL 星状耦合结构，其特征在于，其双输入型 PLL 模块在 IC 芯片内，各个 IC 芯片依次通过一个公共 IO 端口互连，通过 DLL 模块补偿传输线产生的互连

相移，其结构为：

双输入型 PLL1 的一公共 IO 端与双输入型 PLL2 的一公共 IO 端相连，双输入型 PLL2 的另一公共 IO 端与双输入型 PLL3 的一公共 IO 端相连，双输入型 PLL3 的另一公共 IO 端与双输入型 PLL4 的一公共 IO 端相连，以此类推，双输入型 PLL_{n-1} 的一公共 IO 端与双输入型 PLL_n 的一公共 IO 端相连，双输入型 PLL_n 的另一公共 IO 端与双输入型 PLL1 的另一公共 IO 端相连，形成一个闭合环路。

进一步地，所述的双输入型 PLL 蝶形耦合结构，其特征在于，其 LO 以及 PLL 模块在 IC 芯片内，但其 DLL 模块处于 IC 芯片外，全部连接在一起，集总传输给定的参考信号，每个 IC 芯片与集总 DLL 模块通过一个公共 IO 端口相连，其结构为：

双输入型 PLL1、PLL2 直到 PLL_m 的 m 个 DLL 彼此相连，经过 DLL 模块补偿传输相移，集总传输给定的参考信号，并通过公共 IO 端口分别与 PLL1、PLL2 直到 PLL_m 相连，使片上各个 IC 芯片的 LO 信号同步。

进一步地，所述的双输入型 PLL 星状耦合结构和蝶形耦合结构中用到的双输入型 PLL，其包括 LC VCO 振荡器、注入锁定二分频器、四分频器、单线连接块一、单线连接块二；鉴相器 PD1、PD2；驱动器 GM1、GM2、GM3、GM4、GM5、GM6、GM7、GM8；缓冲器 BUF1、BUF2、BUF3、BUF4、BUF5、BUF6 和低通滤波器 LPF1、LPF2、LPF3，其中鉴相器 PD1 包括混频器 Mixer1 和 Mixer2，鉴相器 PD2 包括混频器 Mixer3 和 Mixer4，

双输入型 PLL 的连接如下：PLL 一端连接的传输线与单线连接块一的一输入端相连；单线连接块一的输出端与缓冲器 BUF3 的输入端、缓冲器 BUF4 的输入端相连；单线连接块一的另一输入端与缓冲器 BUF1 的输出端相连；缓冲器 BUF3 的输出端与混频器 Mixer1 的一输入端相连；缓冲器 BUF4 的输出端与混频器 Mixer2 的一输入端相连；混频器 Mixer1 的输出端与驱动器 GM1、GM7 的输入端相连；混频器 Mixer2 的输出端与驱动器 GM2、GM8 的输入端相连；驱动器 GM7、GM8 的输出端均与单线连接块一的控制端和低通滤波器 LPF3 的输入端相连；混频器 Mixer1 的另一输入端、Mixer2 的另一输入端与四分频器的输出端、缓冲器 BUF1 的输入端、缓冲器 BUF2 的输入端以及混频器 Mixer3 的一输入端、Mixer4 的一输入端相连；四分频器的输入端与注入锁定二分频器的输出端相连；注入锁定二分频器的输入端与 LC VCO 振荡器的输出端相连；LC VCO 振荡器的输入端与驱动器 GM1、GM2、GM3、GM4 的输出端以及低通滤波器 LPF1 的输入端相连；混频器 Mixer3 的另一输入端与缓冲器 BUF5 的输出端相连；混频器 Mixer4 的另一输入端与缓冲器 BUF6 的输出端相连；混频器 Mixer3

的输出端与驱动器 GM3、GM5 的输入端相连；混频器 Mixer4 的输出端与驱动器 GM4、GM6 的输入端相连；缓冲器 BUF5、BUF6 的输入端均与单线连接块二的输出端相连；驱动器 GM5、GM6 的输出端均与低通滤波器 LPF2 的输入端、单线连接块二的控制端相连；单线连接块二的一输入端与缓冲器 BUF2 的输出端相连；单线连接块二的另一输入端与 PLL 另一端的传输线相连。

进一步地，所述的双输入型 PLL 间的互连采用基于左手材料的集总单元梯形网络的传输线，其特征在于，该集总单元梯形网络通过级联与无穷小电路模型相同的 LC 单元，在无损耗情况下其传输系数如下式所示

$$\beta(\omega) = -\frac{1}{\omega\sqrt{LC}}$$

其中，C 为传输线单位长度的电容值，L 为传输线单位长度的电感值， ω 为传输线的信号角速度。

本发明的有益效果：

本发明的片上同步自修复系统，能够在任意环境的影响下，实现阵元瓦片内的各个射频收发芯片严格同步，并且该系统面积小、损耗低、自适应强。

本发明采用基于可调左手材料的传输线作为延迟线，由于左手传输线可以产生超前的相位，在单音传输中能够补偿正的时延。并且在低频采用电容电感集总单元梯形网络，只需要较短的传输线就可以完成同步补偿，损耗低并且物理距离短。

附图说明

图 1 是基于低频参考信号的阵元瓦片内的片上同步自修复系统结构示意图，图 1 a 为双输入型 PLL 星状耦合结构，图 1b 为双输入型 PLL 蝶形耦合结构；

图 2 是双输入型 PLL 结构示意图；

图 3 是基于左手材料的人造传输线的等效电路示意图；

图 4 是左手传输线相位的仿真结果示意图。

具体实施方式

下面根据附图和优选实施例详细描述本发明，本发明的目的和效果将变得更加明白，以下结合附图和实施例，对本发明进行进一步详细说明。应当理解，此处所描述的具体实施例仅仅用以解释本发明，并不用于限定本发明。

一种基于低频参考信号的片上同步自修复系统，所述的系统采用双输入型 PLL 星状耦合结构或双输入型 PLL 蝶形耦合结构，且 PLL 之间单线耦合，双输入型 PLL 星状耦合结构通

过链式闭合连接 n 个双输入 PLL, 互传四分之一的本振信号进行互锁实现片内本振信号同步; 双输入型 PLL 蝶形耦合结构通过集总连接 m 个各双输入型 PLL, 通过给定的参考信号使得片内各 IC 芯片上的本振信号同步; 其中, $n \geq 3$, $m \geq 3$, 所述的 PLL 间的互连采用基于左手材料的传输线。

本实施例中双输入型 PLL 星状耦合结构或双输入型 PLL 蝶形耦合结构中双输入型 PLL 均为 4 个, 如图 1 所示, 图 1 中(a)为双输入型 PLL 星状耦合结构, 由双输入型 PLL1、PLL2、PLL3、PLL4 组成, 双输入型 PLL 都在各自的 IC 芯片内, 双输入型 PLL1 的 A 端与双输入型 PLL2 的 B 端相连, 双输入型 PLL2 的 A 端与双输入型 PLL3 的 B 端相连, 双输入型 PLL3 的 A 端与双输入型 PLL4 的 B 端相连, 双输入型 PLL4 的 A 端与双输入型 PLL1 的 B 端相连, 形成一个闭合环路, PLL 间相连的线可以实现双向传输。各芯片互传四分之一的本振信号进行互锁, 通过锁相环将本振信号和参考信号同步来保证片上各 IC 芯片相位同步。

图 1 中 (b) 为双输入型 PLL 蝶形耦合结构, 由双输入型 PLL1、PLL2、PLL3、PLL4 组成, 其中 PLL 和 LO 模块都在各自的 IC 芯片内, DLL 模块都在 IC 芯片外, 双输入型 PLL1 与双输入型 PLL2、双输入型 PLL3、双输入型 PLL4 的 DLL 模块连接在一起, 给定一个参考信号, 通过 DLL 与对应的 PLL 模块相连, 传输线可以实现双向传输。

图 2 所示为耦合结构中用到的双输入型 PLL 结构示意图。双输入型 PLL 由 LC VCO 振荡器; 注入锁定二分频器 Injection-Locked 2-Divider; 四分频器 Div4; 单线连接块 Single-wire coupling block1、Single-wire coupling block2; 鉴相器 PD1、PD2; 驱动器 GM1、GM2、GM3、GM4、GM5、GM6、GM7、GM8; 缓冲器 BUF1、BUF2、BUF3、BUF4、BUF5、BUF6 和低通滤波器 LPF1、LPF2、LPF3 组成。其中鉴相器 PD1 由混频器 Mixer1 和 Mixer2 组成, 鉴相器 PD2 由混频器 Mixer3 和 Mixer4 组成。

双输入型 PLL 的连接方式如图 2 所示: A 端的传输线与单线连接块 single-wire coupling block1 的 a 端相连; 单线连接块 single-wire coupling block1 的 c 端与缓冲器 BUF3 的 a 端、缓冲器 BUF4 的 a 端相连; 单线连接块 single-wire coupling block1 的 b 端与缓冲器 BUF1 的 a 端相连; 单线连接块 single-wire coupling block1 的 d 端与驱动器 GM7 的 b 端、驱动器 GM8 的 b 端、低通滤波器 LPF3 的 a 端相连; 缓冲器 BUF3 的 b 端与混频器 Mixer1 的 a 端相连; 缓冲器 BUF4 的 b 端与混频器 Mixer2 的 a 端相连; 混频器 Mixer1 的 c 端与驱动器 GM1 的 a 端、驱动器 GM7 的 a 端相连; 混频器 Mixer2 的 c 端与驱动器 GM2 的 a 端、驱动器 GM8 的 a 端相连; 混频器 Mixer1 的 b 端、混频器 Mixer2 的 b 端与四分频器 Div4 的 a 端、缓冲器 BUF1

的 b 端、缓冲器 BUF2 的 b 端以及混频器 Mixer3 的 b 端、混频器 Mixer4 的 b 端相连；四分频器 Div4 的 b 端与注入锁定二分频器 Injection-Locked 2-Divider 的 a 端相连；注入锁定二分频器 Injection-Locked 2-Divider 的 b 端与 LC VCO 振荡器的 a 端相连；LC VCO 振荡器的 b 端与驱动器 GM1 的 b 端、驱动器 GM2 的 b 端、驱动器 GM3 的 b 端、驱动器 GM4 的 b 端以及低通滤波器 LPF1 的 a 端相连；混频器 Mixer3 的 c 端与驱动器 GM3 的 a 端、驱动器 GM5 的 a 端相连；混频器 Mixer4 的 c 端与驱动器 GM4 的 a 端、驱动器 GM6 的 a 端相连；混频器 Mixer3 的 a 端与缓冲器 BUF5 的 b 端相连；混频器 Mixer4 的 a 端与缓冲器 BUF6 的 b 端相连；缓冲器 BUF5 的 a 端、缓冲器 BUF6 的 a 端与单线连接块 single-wire coupling block2 的 c 端相连；单线连接块 single-wire coupling block2 的 b 端与缓冲器 BUF2 的 a 端相连；单线连接块 single-wire coupling block2 的 a 端与 B 端的传输线相连；单线连接块 single-wire coupling block2 的 d 端与驱动器 GM5 的 b 端、驱动器 GM6 的 b 端以及低通滤波器 LPF2 的 a 端相连。

如上所述的双输入型 PLL，其工作原理为：LO 链由 LC-VCO 组成，可驱动低功率频率可调的注入锁定二分频器，然后通过四分频器 Div4 产生信号并驱动鉴相器 PD1、PD2 以及匹配到 50Ω 的输出缓冲器 BUF1、BUF2。通过双输入型 PLL 中的输出缓冲器实现双向耦合，同时区分每个公共 IO 端口处的 VCO 信号和参考信号。并通过在 PLL_K 中的输出驱动器 (BUF1_K 或 BUF2_K) 与相邻的 PLL 中的鉴相器 (PD2_{K-1} 或 PD1_{K+1}) 输入端之间引入大于 2π 的可调相移来调节互连相移以实现鉴相器输入间的低静态相位偏移。通过输出缓冲器 BUF1 和 BUF2 从 CML 分频器中选择任意一个正交相位来实现约 90 度相移的粗调，并通过 DLL 模块控制 IO 耦合模块中的可变电容，实现可变相移来补偿 PLL 间连接的传输线上产生的相移，实现细调，以确保鉴相器 PD1、PD2 输入信号间的正交相位差。

图 3 所示为用于 PLL 间连接的基于可调左手材料的传输线的等效电路示意图，双输入型 PLL 间的互连采用基于左手材料的集总单元梯形网络的传输线，该梯形网络通过级联如图 3 所示的 LC 单元，其单位长度导抗值非常小，在无损情况下其传输系数如下式所示

$$\beta(\omega) = -\frac{1}{\omega\sqrt{LC}}$$

其中，C 为传输线单位长度的电容值，L 为传输线单位长度的电感值，ω 为传输线的信号角速度。

图 4 所示为左手材料传输线的仿真结果示意图。由于左手传输线可以产生超前的相位，在单音传输中能够补偿正的时延。在低频采用电容电感集总单元梯形网络，只需要较短的传输线就可以完成同步补偿，使得传输线损耗低并且物理距离短，然后通过延迟锁相环保证参

考信号在各个射频收发芯片相位相同从而自动修复环境变化引起的不同步现象。

本领域普通技术人员可以理解,以上所述仅为发明的优选实例而已,并不用于限制发明,尽管参照前述实例对发明进行了详细的说明,对于本领域的技术人员来说,其依然可以对前述各实例记载的技术方案进行修改,或者对其中部分技术特征进行等同替换。凡在发明的精神和原则之内,所做的修改、等同替换等均应包含在发明的保护范围之内。

权利要求书

1. 一种基于低频参考信号的片上同步自修复系统，其特征在于，所述的系统采用双输入型 PLL 星状耦合结构或双输入型 PLL 蝶形耦合结构，且 PLL 之间单线耦合，双输入型 PLL 星状耦合结构通过链式闭合连接 n 个双输入型 PLL，互传四分之一的本振信号进行互锁实现片上本振信号同步；双输入型 PLL 蝶形耦合结构通过集总连接 m 个双输入型 PLL，通过给定的参考信号使得片内各 IC 芯片上的本振信号同步；其中， $n \geq 3$ ， $m \geq 3$ ，所述的双输入型 PLL 间的互连采用基于左手材料的传输线。

2. 根据权利要求 1 所述的基于低频参考信号的片上同步自修复系统，其特征在于，所述的双输入型 PLL 星状耦合结构，其双输入型 PLL 模块在 IC 芯片内，各个 IC 芯片依次通过一个公共 IO 端口互连，通过 DLL 模块补偿传输线产生的互连相移，所述的双输入型 PLL 星状耦合结构为：

双输入型 PLL1 的一公共 IO 端与双输入型 PLL2 的一公共 IO 端相连，双输入型 PLL2 的另一公共 IO 端与双输入型 PLL3 的一公共 IO 端相连，双输入型 PLL3 的另一公共 IO 端与双输入型 PLL4 的一公共 IO 端相连，以此类推，双输入型 PLL $n-1$ 的一公共 IO 端与双输入型 PLL n 的一公共 IO 端相连，双输入型 PLL n 的另一公共 IO 端与双输入型 PLL1 的另一公共 IO 端相连，形成一个闭合环路。

3. 根据权利要求 1 所述的基于低频参考信号的片上同步自修复系统，其特征在于，所述的双输入型 PLL 蝶形耦合结构，其 LO 以及 PLL 模块在 IC 芯片内，但其 DLL 模块处于 IC 芯片外，全部连接在一起，集总传输给定的参考信号，每个 IC 芯片与集总 DLL 模块通过一个公共 IO 端口相连，所述的双输入型 PLL 蝶形耦合结构为：

双输入型 PLL1、PLL2 直到 PLL m 的 m 个 DLL 彼此相连，经过 DLL 模块补偿传输相移，集总传输给定的参考信号，并通过公共 IO 端口分别与 PLL1、PLL2 直到 PLL m 相连，使片上各个 IC 芯片的 LO 信号同步。

4. 根据权利要求 2 或 3 所述的基于低频参考信号的片上同步自修复系统，其特征在于，所述的双输入型 PLL 包括 LC VCO 振荡器、注入锁定二分频器、四分频器、单线连接块一、单线连接块二；鉴相器 PD1、PD2；驱动器 GM1、GM2、GM3、GM4、GM5、GM6、GM7、GM8；缓冲器 BUF1、BUF2、BUF3、BUF4、BUF5、BUF6 和低通滤波器 LPF1、LPF2、LPF3，其中鉴相器 PD1 包括混频器 Mixer1 和 Mixer2，鉴相器 PD2 包括混频器 Mixer3 和 Mixer4。

双输入型 PLL 的连接如下：PLL 一端连接的传输线与单线连接块一的一输入端相连；单

线连接块一的输出端与缓冲器 BUF3 的输入端、缓冲器 BUF4 的输入端相连；单线连接块一的另一输入端与缓冲器 BUF1 的输出端相连；缓冲器 BUF3 的输出端与混频器 Mixer1 的一输入端相连；缓冲器 BUF4 的输出端与混频器 Mixer2 的一输入端相连；混频器 Mixer1 的输出端与驱动器 GM1、GM7 的输入端相连；混频器 Mixer2 的输出端与驱动器 GM2、GM8 的输入端相连；驱动器 GM7、GM8 的输出端均与单线连接块一的控制端和低通滤波器 LPF3 的输入端相连；混频器 Mixer1 的另一输入端、Mixer2 的另一输入端与四分频器的输出端、缓冲器 BUF1 的输入端、缓冲器 BUF2 的输入端以及混频器 Mixer3 的一输入端、Mixer4 的一输入端相连；四分频器的输入端与注入锁定二分频器的输出端相连；注入锁定二分频器的输入端与 LC VCO 振荡器的输出端相连；LC VCO 振荡器的输入端与驱动器 GM1、GM2、GM3、GM4 的输出端以及低通滤波器 LPF1 的输入端相连；混频器 Mixer3 的另一输入端与缓冲器 BUF5 的输出端相连；混频器 Mixer4 的另一输入端与缓冲器 BUF6 的输出端相连；混频器 Mixer3 的输出端与驱动器 GM3、GM5 的输入端相连；混频器 Mixer4 的输出端与驱动器 GM4、GM6 的输入端相连；缓冲器 BUF5、BUF6 的输入端均与单线连接块二的输出端相连；驱动器 GM5、GM6 的输出端均与低通滤波器 LPF2 的输入端、单线连接块二的控制端相连；单线连接块二的一输入端与缓冲器 BUF2 的输出端相连；单线连接块二的另一输入端与 PLL 另一端的传输线相连。

5. 根据权利要求 2 或 3 所述的基于低频参考信号的片上同步自修复系统，其特征在于，所述的双输入型 PLL 间的互连采用基于左手材料的集总单元梯形网络的传输线，该网络通过级联与无穷小电路模型相同的 LC 单元，在无损耗情况下其传输系数如下式所示

$$\beta(\omega) = -\frac{1}{\omega\sqrt{LC}}$$

其中，C 为传输线单位长度的电容值，L 为传输线单位长度的电感值， ω 为传输线的信号角速度。

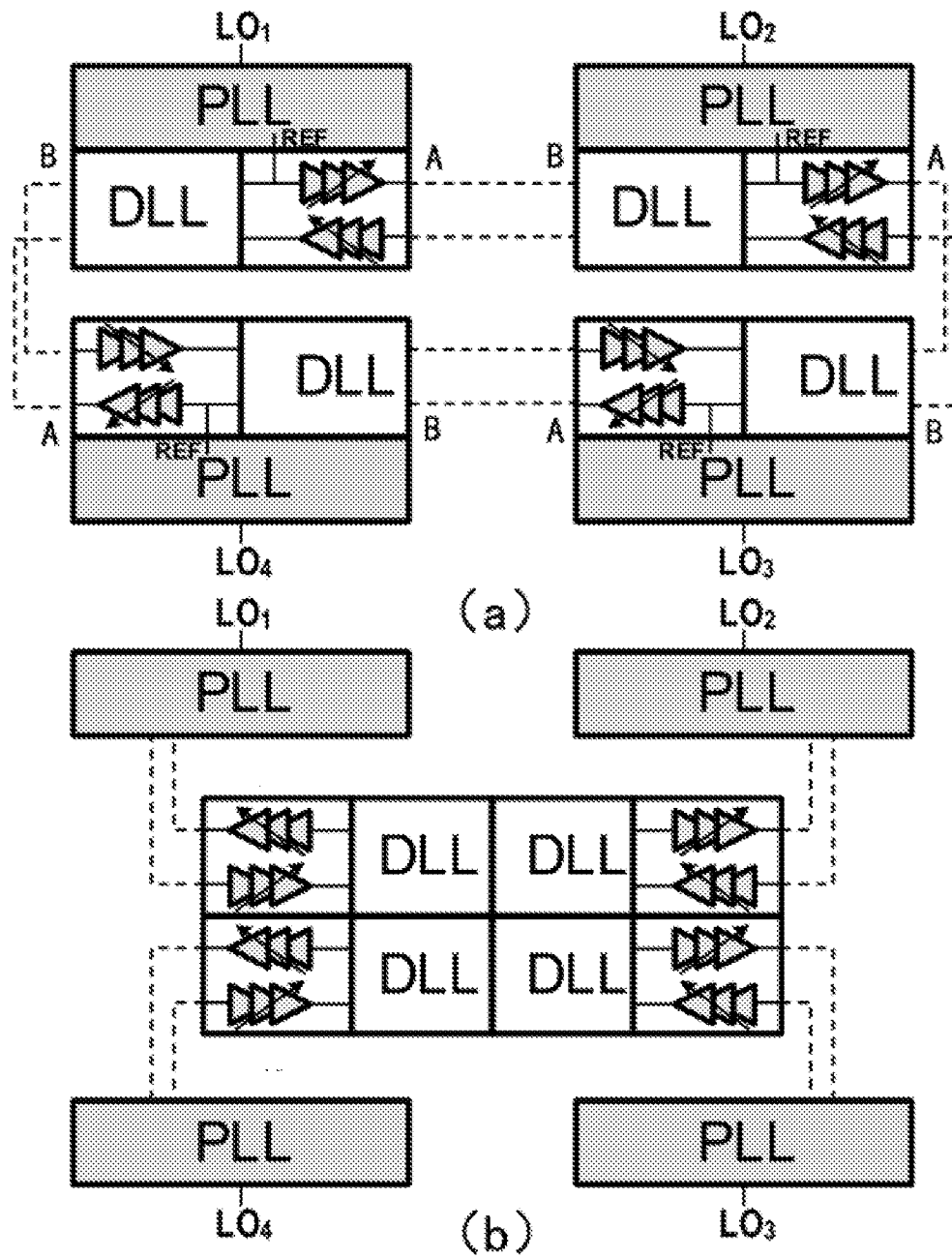


图 1

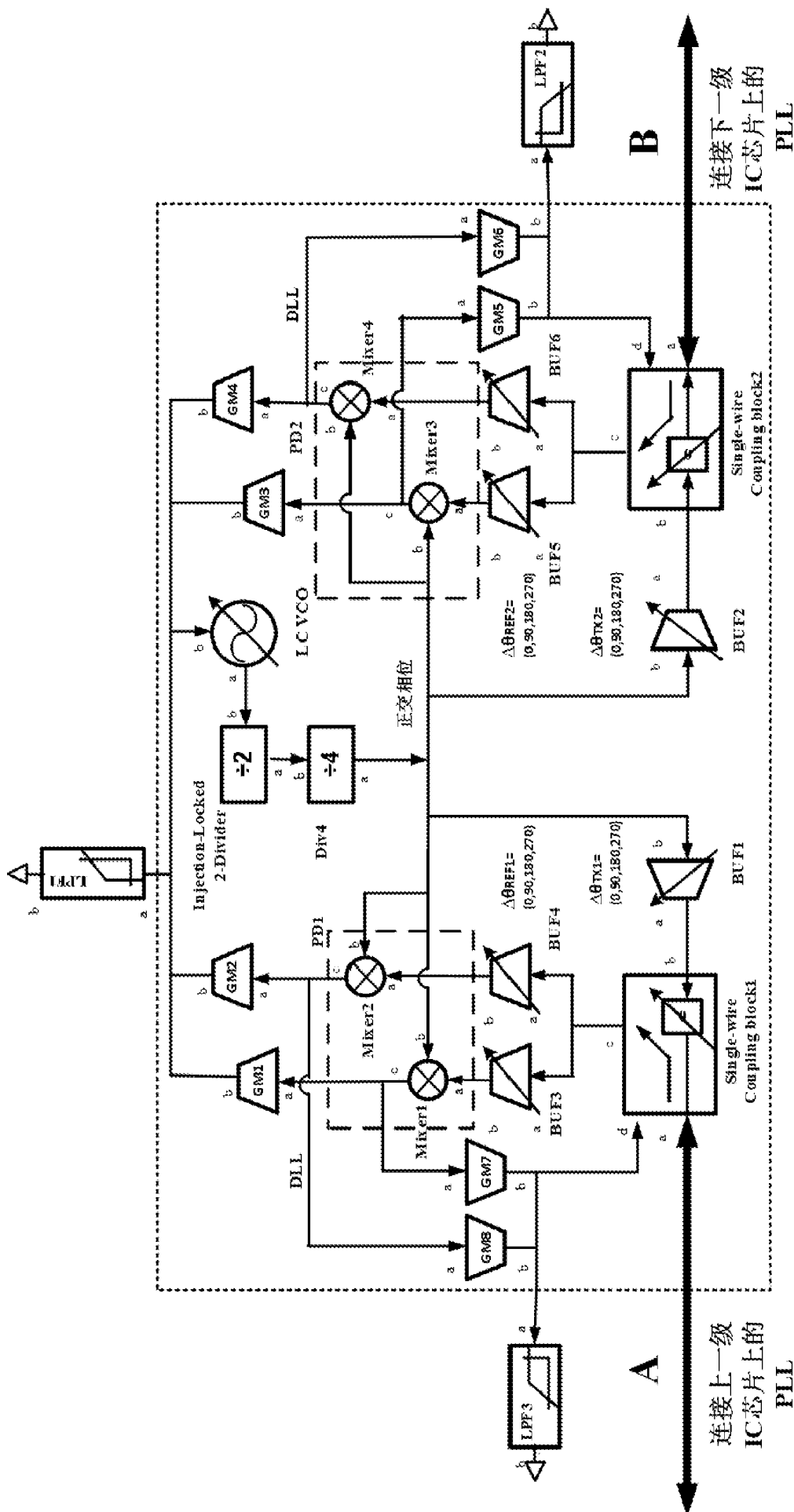


图 2

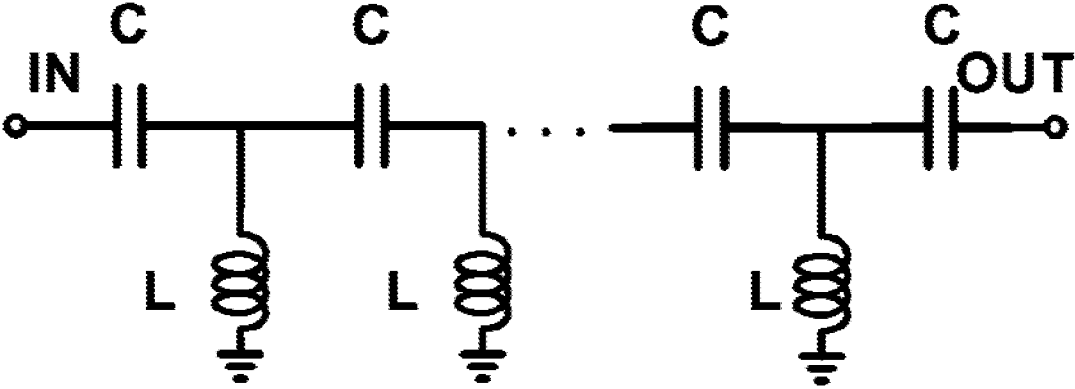


图 3

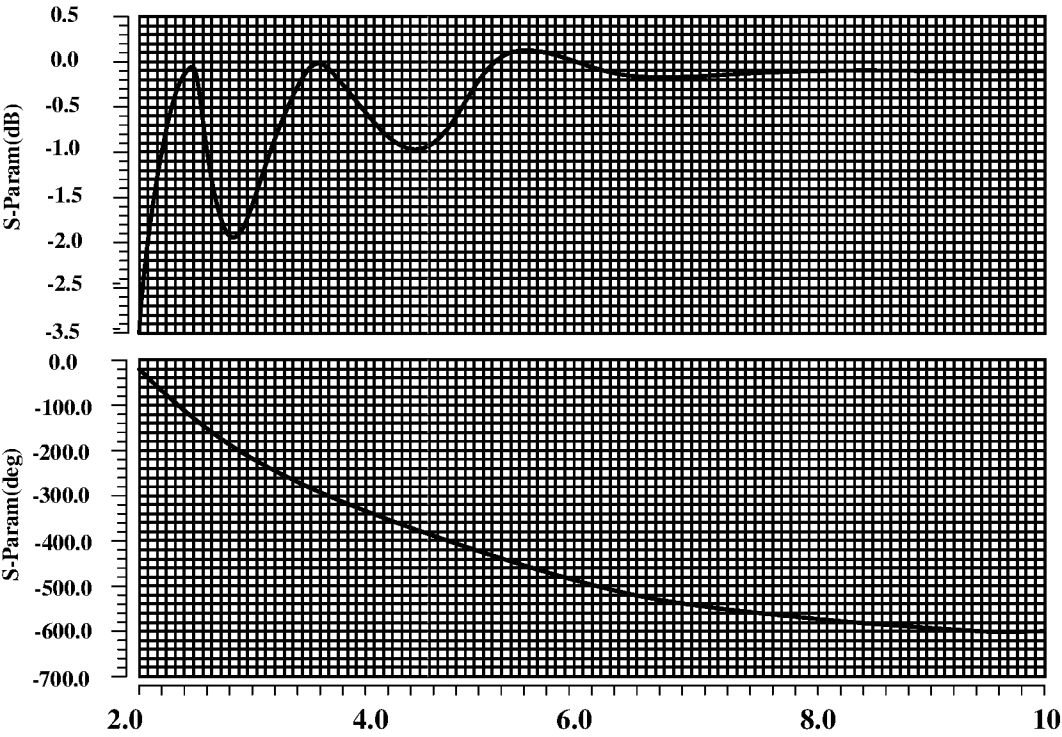


图 4

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/084002

A. CLASSIFICATION OF SUBJECT MATTER

H03L 7/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 锁相环, 相控阵, 同步, Phase locked loop, PLL, phased array, sync+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 110209625 A (ZHEJIANG UNIVERSITY) 06 September 2019 (2019-09-06) claims 1-5	1-5
A	CN 107251319 A (UNIV RAMOT) 13 October 2017 (2017-10-13) description, paragraphs 125-183	1-5
A	CN 109379102 A (THE 10TH RESEARCH INSTITUTE OF CHINA ELECTRONICS TECHNOLOGY GROUP CORPORATION) 22 February 2019 (2019-02-22) entire document	1-5
A	CN 109375182 A (ZHEJIANG UNIVERSITY et al.) 22 February 2019 (2019-02-22) entire document	1-5
A	CN 105790760 A (INFINEON TECHNOLOGIES AG) 20 July 2016 (2016-07-20) entire document	1-5
A	CN 104020453 A (FUJITSU LIMITED) 03 September 2014 (2014-09-03) entire document	1-5
A	CN 103608694 A (TEXAS INSTRUMENTS INCORPORATED) 26 February 2014 (2014-02-26) entire document	1-5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

27 June 2020

Date of mailing of the international search report

08 July 2020

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/
CN)**
**No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088**
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/084002

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 10243573 B1 (TEXAS INSTRUMENTS INCORPORATED) 26 March 2019 (2019-03-26) entire document	1-5
A	杨李杰 等 (YANG, Lijie et al.). "用于海洋监测的宽带数字相控阵关键技术 (Key technologies of wideband digital phased array for ocean surveillance)" 科技导报 (<i>Science & Technology Review</i>), Vol. 35, No. 20, 28 October 2017 (2017-10-28), pp. 119-125	1-5

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/084002

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110209625	A	06 September 2019	None			
CN	107251319	A	13 October 2017	US	2018048048	A1	15 February 2018
				WO	2016135730	A1	01 September 2016
CN	109379102	A	22 February 2019	None			
CN	109375182	A	22 February 2019	None			
CN	105790760	A	20 July 2016	DE	102016100497	A1	14 July 2016
				US	2016204784	A1	14 July 2016
				KR	20160087764	A	22 July 2016
CN	104020453	A	03 September 2014	JP	2014169866	A	18 September 2014
				US	2014266345	A1	18 September 2014
				EP	2773044	A1	03 September 2014
CN	103608694	A	26 February 2014	WO	2012142295	A2	18 October 2012
				JP	2014515828	A	03 July 2014
				EP	2729827	A2	14 May 2014
				US	2012261579	A1	18 October 2012
US	10243573	B1	26 March 2019	None			

国际检索报告

国际申请号

PCT/CN2020/084002

A. 主题的分类 H03L 7/00 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) H03L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNPAT, CNKI, WPI, EP0D0C: 锁相环, 相控阵, 同步, Phase locked loop, PLL, phased array, sync+		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 110209625 A (浙江大学) 2019年 9月 6日 (2019 - 09 - 06) 权利要求1-5	1-5
A	CN 107251319 A (特拉维夫大学拉莫特有限公司) 2017年 10月13日 (2017 - 10 - 13) 说明书第125-183段	1-5
A	CN 109379102 A (西南电子技术研究所中国电子科技集团公司第十研究所) 2019年 2月22日 (2019 - 02 - 22) 全文	1-5
A	CN 109375182 A (浙江大学 等) 2019年 2月 22日 (2019 - 02 - 22) 全文	1-5
A	CN 105790760 A (英飞凌科技股份有限公司) 2016年 7月 20日 (2016 - 07 - 20) 全文	1-5
A	CN 104020453 A (富士通株式会社) 2014年 9月 3日 (2014 - 09 - 03) 全文	1-5
A	CN 103608694 A (德克萨斯仪器股份有限公司) 2014年 2月 26日 (2014 - 02 - 26) 全文	1-5
☒ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2020年 6月 27日		国际检索报告邮寄日期 2020年 7月 8日
ISA/CN的名称和邮寄地址 中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 吴黄飞 电话号码 86-(10)-53961430

C. 相关文件		
类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	US 10243573 B1 (TEXAS INSTRUMENTS INCORPORATED) 2019年 3月 26日 (2019 - 03 - 26) 全文	1-5
A	杨李杰 等，. “用于海洋监测的宽带数字相控阵关键技术，” 科技导报，， 第35卷，第20期，2017年 10月 28日 (2017 - 10 - 28)， 第119-125页	1-5

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/084002

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110209625	A	2019年 9月 6日	无			
CN	107251319	A	2017年 10月 13日	US	2018048048	A1	2018年 2月 15日
				WO	2016135730	A1	2016年 9月 1日
CN	109379102	A	2019年 2月 22日	无			
CN	109375182	A	2019年 2月 22日	无			
CN	105790760	A	2016年 7月 20日	DE	102016100497	A1	2016年 7月 14日
				US	2016204784	A1	2016年 7月 14日
				KR	20160087764	A	2016年 7月 22日
CN	104020453	A	2014年 9月 3日	JP	2014169866	A	2014年 9月 18日
				US	2014266345	A1	2014年 9月 18日
				EP	2773044	A1	2014年 9月 3日
CN	103608694	A	2014年 2月 26日	WO	2012142295	A2	2012年 10月 18日
				JP	2014515828	A	2014年 7月 3日
				EP	2729827	A2	2014年 5月 14日
				US	2012261579	A1	2012年 10月 18日
US	10243573	B1	2019年 3月 26日	无			