

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成23年7月21日(2011.7.21)

【公開番号】特開2010-56301(P2010-56301A)
 【公開日】平成22年3月11日(2010.3.11)
 【年通号数】公開・登録公報2010-010
 【出願番号】特願2008-219799(P2008-219799)
 【国際特許分類】

H 0 1 L 27/092 (2006.01)
 H 0 1 L 21/8238 (2006.01)
 H 0 1 L 27/06 (2006.01)
 H 0 1 L 21/8234 (2006.01)
 H 0 1 L 21/822 (2006.01)
 H 0 1 L 27/04 (2006.01)

【F I】

H 0 1 L 27/08 3 2 1 C
 H 0 1 L 27/06 1 0 2 A
 H 0 1 L 27/08 3 2 1 E
 H 0 1 L 27/04 U

【手続補正書】

【提出日】平成23年6月8日(2011.6.8)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1の埋め込みチャンネル型トランジスタで構成される低ノイズ回路のアナログ回路と、
 第2の埋め込みチャンネル型トランジスタまたは第1の表面チャンネル型トランジスタで構成される低ノイズ回路以外のアナログ回路と、

第2の表面チャンネル型トランジスタで構成されるデジタル回路と、
 を半導体基板上に備え、

前記第1の埋め込みチャンネル型トランジスタでは、N型MOSFETにおいてP型のゲートにN型の不純物が注入されないように、前記P型のゲートの一端部とソース・ドレインを形成するN型の高濃度不純物領域の一端部との間にオフセットが設けられている半導体集積回路。

【請求項2】

前記低ノイズ回路のアナログ回路のトランジスタのゲート酸化膜厚は、前記低ノイズ回路以外のアナログ回路及び前記デジタル回路のトランジスタのゲート酸化膜厚よりも薄い請求項1記載の半導体集積回路。

【請求項3】

前記低ノイズ回路は、増幅回路である請求項1または2記載の半導体集積回路。

【請求項4】

前記低ノイズ回路は、A/Dコンバータである請求項1または2記載の半導体集積回路

。

【請求項5】

前記低ノイズ回路は、D/Aコンバータである請求項1または2記載の半導体集積回路

。

【請求項6】

ゲート電極とソース電極を接続した第1のPチャンネル型MOSトランジスタと、
ゲート電極を前記第1のPチャンネル型のMOSトランジスタのゲート電極と接続し、ソース電極を前記第1のPチャンネル型のMOSトランジスタのソース電極と接続した第2のPチャンネル型のMOSトランジスタと、

ドレイン電極を前記第1のPチャンネル型のMOSトランジスタのドレイン電極に接続し、ゲート電極を第1の入力端子とする第1のNチャンネル型のMOSトランジスタと、

ドレイン電極を前記第2のPチャンネル型のMOSトランジスタのドレイン電極に接続し、ソース電極を前記第1のNチャンネル型のMOSトランジスタのソース電極と接続し、ゲート電極を第2の入力端子とする第2のNチャンネル型のMOSトランジスタと、

からなる増幅回路において、

前記増幅回路を構成する各々のMOSトランジスタが埋め込みチャンネル型であり、前記第1および第2のNチャンネル型のMOSトランジスタのゲート電極にN型の不純物が入らないように前記ゲート電極の端部とソース・ドレインを形成する高濃度不純物領域の前記ゲート電極に近いそれぞれの端部とがオフセットしていることを特徴とする半導体集積回路装置。