

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成 18 年 11 月 16 日 (2006.11.16)

【公開番号】特開 2005-235159 (P2005-235159A)

【公開日】平成 17 年 9 月 2 日 (2005.9.2)

【年通号数】公開・登録公報 2005-034

【出願番号】特願 2004-117437 (P2004-117437)

【国際特許分類】

G 0 6 F 21/20 (2006.01)

G 0 6 F 1/00 (2006.01)

G 0 6 F 21/24 (2006.01)

H 0 4 L 9/32 (2006.01)

【F I】

G 0 6 F 15/00 3 3 0 G

G 0 6 F 1/00 3 7 0 E

G 0 6 F 12/14 5 3 0 C

G 0 6 F 12/14 5 6 0 A

H 0 4 L 9/00 6 7 3 E

【手続補正書】

【提出日】平成 18 年 9 月 29 日 (2006.9.29)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

情報処理装置と、

前記情報処理装置に接続される、前記情報処理装置がアクセス可能なストレージデバイスと、からなり、

前記情報処理装置による前記ストレージデバイスへのアクセスを制御するストレージデバイスアクセスシステムであって、

前記ストレージデバイスは、

第一メモリ領域と、

第二メモリ領域と、

前記情報処理装置が前記第一メモリ領域または前記第二メモリ領域にアクセスするために用いられる、インターフェース手段と、を備え、

前記情報処理装置は、

前記ストレージデバイスの前記第一メモリ領域へのアクセスを要求する第一メモリ領域アクセス手段と、

前記ストレージデバイスの前記第二メモリ領域へのアクセスを要求する第二メモリ領域アクセス手段と、

前記第一メモリ領域への前記アクセス要求に応じた、前記第一メモリ領域へのアクセスと、前記第二メモリ領域への前記アクセス要求に応じた、前記第二メモリ領域へのアクセスと、を前記ストレージデバイスの前記インターフェース手段に対して行うアクセス制御手段と、を備え、

前記情報処理装置の前記アクセス制御手段は、

前記第一メモリ領域アクセス手段による、前記第一メモリ領域への一つのアクセス要求

に応じて、前記ストレージデバイスの前記インターフェース手段に対して、前記第一メモリ領域へのアクセスを行い、

前記ストレージデバイスの前記インターフェース手段は、前記アクセス制御手段による、前記第一メモリ領域へのアクセスにおいて、複数のレスポンスを応答し、

前記情報処理装置の前記アクセス制御手段は、競合解決処理として、

前記インターフェース手段から前記複数のレスポンスの最後を受信する前に、前記第二メモリ領域アクセス手段から前記第二メモリ領域へのアクセスを要求された場合に、当該第二メモリ領域へのアクセスの待機処理を行い、

前記インターフェース手段から、前記複数のレスポンスの最後を受信した後に、前記待機処理を行った前記第二メモリ領域へのアクセスを行う

ことを特徴とするストレージデバイスアクセスシステム。

【請求項 2】

情報処理装置と、

前記情報処理装置に接続される、前記情報処理装置がアクセス可能なストレージデバイスと、からなり、

前記情報処理装置による前記ストレージデバイスへのアクセスを制御するストレージデバイスアクセスシステムであって、

前記ストレージデバイスは、

第一メモリ領域と、

第二メモリ領域と、

前記情報処理装置が前記第一メモリ領域または前記第二メモリ領域にアクセスするために用いられる、インターフェース手段と、を備え、

前記情報処理装置は、

前記ストレージデバイスの前記第一メモリ領域へのアクセスを要求する第一メモリ領域アクセス手段と、

前記ストレージデバイスの前記第二メモリ領域へのアクセスを要求する第二メモリ領域アクセス手段と、

前記第一メモリ領域への前記アクセス要求に応じた、前記第一メモリ領域へのアクセスと、前記第二メモリ領域への前記アクセス要求に応じた、前記第二メモリ領域へのアクセスと、を前記ストレージデバイスの前記インターフェース手段に対して行うアクセス制御手段と、を備え、

前記情報処理装置の前記アクセス制御手段は、

前記第一メモリ領域アクセス手段による、前記第一メモリ領域への一つのアクセス要求に応じて、前記ストレージデバイスの前記インターフェース手段に対して、複数のレスポンスを受信する前記第一メモリ領域へのアクセスを行い、

前記ストレージデバイスの前記インターフェース手段は、前記アクセス制御手段による、前記第一メモリ領域へのアクセスにおいて、前記複数のレスポンスを応答し、

前記情報処理装置の前記アクセス制御手段は、競合解決処理として、

前記複数のレスポンスを受信し、前記第一メモリ領域への前記アクセスが終了するまでに、前記第二メモリ領域へのアクセス要求の有無を繰り返して調べ、

前記第二メモリ領域への前記アクセス要求が有る場合は、当該第二メモリ領域へのアクセスの待機処理を行い、

前記複数のレスポンスを受信する前記第一メモリ領域への前記アクセスが終了した後に、前記待機処理を行った前記第二メモリ領域へのアクセスを行う

ことを特徴とするストレージデバイスアクセスシステム。

【請求項 3】

情報処理装置と、

前記情報処理装置に接続される、前記情報処理装置がアクセス可能なストレージデバイスと、からなり、

前記情報処理装置による前記ストレージデバイスへのアクセスを制御するストレージデ

バイスアクセスシステムであって、

前記ストレージデバイスは、

第一メモリ領域と、

第二メモリ領域と、

前記情報処理装置が前記第一メモリ領域または前記第二メモリ領域にアクセスするために用いられる、インターフェース手段と、を備え、

前記情報処理装置は、

前記ストレージデバイスの前記第一メモリ領域へのアクセスを要求する第一メモリ領域アクセス手段と、

前記ストレージデバイスの前記第二メモリ領域へのアクセスを要求する第二メモリ領域アクセス手段と、

前記第一メモリ領域への前記アクセス要求に応じた、前記第一メモリ領域へのアクセスと、前記第二メモリ領域への前記アクセス要求に応じた、前記第二メモリ領域へのアクセスと、を前記ストレージデバイスの前記インターフェース手段に対して行うアクセス制御手段と、を備え、

前記情報処理装置の前記アクセス制御手段は、

前記第一メモリ領域アクセス手段による、前記第一メモリ領域への一つのアクセス要求に応じて、前記ストレージデバイスの前記インターフェース手段に対して、前記第一メモリ領域へのアクセスコマンドの発行を伴う前記第一メモリ領域への前記アクセスを、行い、

前記第二メモリ領域アクセス手段による、前記第二メモリ領域への一つのアクセス要求に応じて、前記ストレージデバイスの前記インターフェース手段に対して、前記第二メモリ領域へのアクセスコマンドの発行を行う前記第二メモリ領域への前記アクセスを行い、

前記ストレージデバイスの前記インターフェース手段は、前記アクセス制御手段による、前記第一メモリ領域への前記アクセスにおける一つの前記アクセスコマンドの発行をきっかけとして、複数のレスポンスを応答し、

前記情報処理装置の前記アクセス制御手段は、競合解決処理として、

前記インターフェース手段に対する、前記きっかけとなる、前記第一メモリ領域への前記一つのアクセスコマンドの発行から、前記インターフェース手段から前記複数のレスポンスの最後を受信するまでの間は、前記第二メモリ領域へのアクセスにおける前記第二メモリ領域への前記アクセスコマンドの発行の待機処理を行い、

前記インターフェース手段から、前記複数のレスポンスの最後を受信した後に、前記待機処理を行った前記第二メモリ領域への前記アクセスコマンドの発行を行う

ことを特徴とするストレージデバイスアクセスシステム。

【請求項 4】

請求項 1 または 2 に記載のストレージデバイスアクセスシステムであって、

前記アクセス制御手段は、

一つの前記第一メモリ領域へのアクセス要求に応じて行う前記第一メモリ領域への前記アクセスにおいて、前記ストレージデバイスの前記インターフェース手段に対して、複数の、前記第一メモリ領域へのアクセスコマンドを発行し、

前記ストレージデバイスの前記インターフェース手段は、前記複数の第一メモリ領域アクセスコマンドの各々に対して、前記複数のレスポンスの各々を応答する

ことを特徴とするストレージデバイスアクセスシステム。

【請求項 5】

請求項 3 に記載のストレージデバイスアクセスシステムであって、

前記アクセス制御手段は、

前記第一メモリ領域への一つのアクセス要求に応じて行う前記第一メモリ領域への前記アクセスにおいて、前記ストレージデバイスの前記インターフェース手段に対して、前記きっかけとなる一つのアクセスコマンドを含む、複数の前記第一メモリ領域へのアクセスコマンドを発行し、

前記ストレージデバイスの前記インターフェース手段は、前記複数の第一メモリ領域アクセスコマンドの各々に対して、前記複数のレスポンスの各々を応答することを特徴とするストレージデバイスアクセスシステム。

【請求項 6】

請求項 1 または 2 に記載のストレージデバイスアクセスシステムであって、
前記アクセス制御手段は、
前記第二メモリ領域へのアクセスの前記待機処理において、
前記第二メモリ領域への前記アクセス要求に基づく第二メモリ領域アクセスコマンドを、待機用メモリ領域に格納し、
前記前記第二メモリ領域へのアクセスにおいて、前記待機用メモリ領域に格納されている前記第二メモリ領域アクセスコマンドを発行することを特徴とするストレージデバイスアクセスシステム。

【請求項 7】

請求項 3 または 5 に記載のストレージデバイスアクセスシステムであって、
前記アクセス制御手段は、
前記第二メモリ領域へのアクセスコマンドの前記待機処理において、
待機処理を行う前記第二メモリ領域アクセスコマンドを、待機用メモリ領域に格納し、
前記待機処理を行った前記第二メモリ領域への前記アクセスコマンドの発行において、
前記待機用メモリ領域に格納されている前記第二メモリ領域アクセスコマンドを発行することを特徴とするストレージデバイスアクセスシステム。

【請求項 8】

請求項 1 ないし 5 いずれか一に記載のストレージデバイスアクセスシステムであって、
前記アクセス制御手段は、
一つの前記第二メモリ領域へのアクセス要求に応じて行う前記第二メモリ領域への前記アクセスにおいて、前記第二メモリ領域への、複数のアクセスコマンドを発行し、
前記ストレージデバイスの前記インターフェース手段は、前記複数の第二メモリ領域へのアクセスコマンド各々に対して、レスポンスを応答することを特徴とするストレージデバイスアクセスシステム。

【請求項 9】

請求項 1 ないし 8 いずれか一に記載のストレージデバイスアクセスシステムであって、
前記情報処理装置は、
CPU とメモリとを備えるクライアント装置と、前記インターフェース手段に接続するストレージデバイス用リーダライタとを備え、
前記メモリには、前記第一メモリ領域アクセス用のソフトウェアと、前記第二メモリ領域アクセス用のソフトウェアとを備え、
前記アクセス制御手段は、
前記 CPU が前記第一メモリ領域アクセス用ソフトウェアと前記第二メモリ領域アクセス用ソフトウェアとを実行することにより、
前記ストレージデバイス用リーダライタを介する、前記ストレージデバイスの前記インターフェース手段に対して行う、前記第一メモリ領域へのアクセスと、前記第二メモリ領域へのアクセスと、
前記競合解決処理と、を実行する。
ことを特徴とするストレージデバイスアクセスシステム。

【請求項 10】

請求項 6 または 7 に記載のストレージデバイスアクセスシステムであって、
前記アクセス制御手段は、
前記待機用メモリ領域に予め定めた時間を越えて格納されている前記第二メモリ領域アクセスコマンドを破棄する
ことを特徴とするストレージデバイスアクセスシステム。

【請求項 11】

請求項 6 , 7 , 1 0 いずれかーに記載のストレージデバイスアクセスシステムであって

、
前記待機用メモリ領域は、前記クライアント装置の前記メモリまたは前記ストレージデバイス用リーダライタが備える

ことを特徴とするストレージデバイスアクセスシステム。

【請求項 1 2】

請求項 1 ないし 1 1 いずれかーに記載のストレージデバイスアクセスシステムであって

、
前記第一メモリ領域は、耐タンパメモリ領域であり、

前記第二メモリ領域は、不揮発メモリ領域である

ことを特徴とするストレージデバイスアクセスシステム。