

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4443190号
(P4443190)

(45) 発行日 平成22年3月31日(2010.3.31)

(24) 登録日 平成22年1月22日(2010.1.22)

(51) Int.Cl.

H01L 23/50 (2006.01)
H01L 23/12 (2006.01)

F 1

H01L 23/50
H01L 23/12 501 T

請求項の数 1 (全 20 頁)

(21) 出願番号 特願2003-371771 (P2003-371771)
 (22) 出願日 平成15年10月31日 (2003.10.31)
 (62) 分割の表示 特願2000-88831 (P2000-88831)
 の分割
 原出願日 平成12年3月28日 (2000.3.28)
 (65) 公開番号 特開2004-48077 (P2004-48077A)
 (43) 公開日 平成16年2月12日 (2004.2.12)
 審査請求日 平成19年2月2日 (2007.2.2)

(73) 特許権者 000001889
 三洋電機株式会社
 大阪府守口市京阪本通2丁目5番5号
 (74) 代理人 100091605
 弁理士 岡田 敏
 (74) 代理人 100107906
 弁理士 須藤 克彦
 (72) 発明者 坂本 則明
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内
 (72) 発明者 小林 義幸
 大阪府守口市京阪本通2丁目5番5号 三
 洋電機株式会社内
 (72) 発明者 阪本 純次
 群馬県邑楽郡大泉町吉田267-2
 最終頁に続く

(54) 【発明の名称】半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

導電箔を用意する工程と、
 形成予定の導電路の間および半導体素子が配置される領域に対応する前記導電箔に、前記導電箔の厚みよりも浅い溝を形成する工程と、
 前記溝に設けられた絶縁性接着剤を介して前記半導体素子を固着し、前記半導体素子の電極と所望の前記導電路とを金属細線により電気的に接続する工程と、
 前記半導体素子および前記金属細線を被覆し、前記溝に充填されるように絶縁性樹脂でモールドする工程と、

前記導電箔の裏面から前記導電箔を除去することにより、前記導電路同士を電気的に分離する工程とを有する半導体装置の製造方法であり、

前記半導体装置に対応する前記導電路および前記半導体素子は、マトリックス状に配置され、前記導電路同士を電気的に分離する工程の後に、前記半導体装置毎に分離される事を特徴とした半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置の製造方法に関し、特に薄型の半導体装置の製造方法に関するものである。

【背景技術】

10

20

【0002】

従来、電子機器にセットされる半導体装置は、携帯電話、携帯用のコンピューター等に採用されるため、小型化、薄型化、軽量化が求められている。

【0003】

例えは、一般的な半導体装置として、従来通常のトランスファー モールドで封止されたパッケージ型半導体装置がある。この半導体装置1は、図24のように、プリント基板PSに実装される。

【0004】

またこのパッケージ型半導体装置1は、半導体チップ2の周囲を樹脂層3で被覆し、この樹脂層3の側部から外部接続用のリード端子4が導出されたものである。

10

【0005】

しかしこのパッケージ型半導体装置1は、リード端子4が樹脂層3から外に出ており、全体のサイズが大きく、小型化、薄型化および軽量化を満足するものではなかった。

【0006】

そのため、各社が競って小型化、薄型化および軽量化を実現すべく、色々な構造を開発し、最近ではCSP（チップサイズパッケージ）と呼ばれる、チップのサイズと同等のウェハスケールCSP、またはチップサイズよりも若干大きいサイズのCSPが開発されている。

【0007】

図25は、支持基板としてガラスエポキシ基板5を採用した、チップサイズよりも若干大きいCSP6を示すものである。ここではガラスエポキシ基板5にトランジスタチップTが実装されたものとして説明していく。

20

【0008】

このガラスエポキシ基板5の表面には、第1の電極7、第2の電極8およびダイパッド9が形成され、裏面には第1の裏面電極10と第2の裏面電極11が形成されている。そしてスルーホールTHを介して、前記第1の電極7と第1の裏面電極10が、第2の電極8と第2の裏面電極11が電気的に接続されている。またダイパッド9には前記ペアのトランジスタチップTが固着され、トランジスタのエミッタ電極と第1の電極7が金属細線12を介して接続され、トランジスタのベース電極と第2の電極8が金属細線12を介して接続されている。更にトランジスタチップTを覆うようにガラスエポキシ基板5に樹脂層13が設けられている。

30

【0009】

前記CSP6は、ガラスエポキシ基板5を採用するが、ウェハスケールCSPと違い、チップTから外部接続用の裏面電極10、11までの延在構造が簡単であり、安価に製造できるメリットを有する。

【0010】

また前記CSP6は、図24のように、プリント基板PSに実装される。プリント基板PSには、電気回路を構成する電極、配線が設けられ、前記CSP6、パッケージ型半導体装置1、チップ抵抗CRまたはチップコンデンサCC等が電気的に接続されて固着される。

40

【0011】

そしてこのプリント基板で構成された回路は、色々なセットの中に取り付けられる。

【0012】

つぎに、このCSPの製造方法を図26および図27を参照しながら説明する。尚、図27では、中央のガラエポ／フレキ基板と題するフロー図を参照する。

【0013】

まず基材（支持基板）としてガラスエポキシ基板5を用意し、この両面に絶縁性接着剤を介してCu箔20、21を圧着する。（以上図26Aを参照）

続いて、第1の電極7、第2の電極8、ダイパッド9、第1の裏面電極10および第2の裏面電極11に対応するCu箔20、21に耐エッチング性のレジスト22を被覆し、C

50

u 箇 20、21 をパターニングする。尚、パターニングは、表と裏で別々にしても良い（以上図 26 B を参照）

続いて、ドリルやレーザを利用してスルーホール TH のための孔を前記ガラスエポキシ基板に形成し、この孔にメッキを施し、スルーホール TH を形成する。このスルーホール TH により第 1 の電極 7 と第 1 の裏面電極 10、第 2 の電極 8 と第 2 の裏面電極 10 が電気的に接続される。（以上図 26 C を参照）

更に、図面では省略をしたが、ボンディングポストと成る第 1 の電極 7、第 2 の電極 8 に Ni メッキを施すと共に、ダイボンディングポストとなるダイパッド 9 に Au メッキを施し、トランジスタチップ T をダイボンディングする。

【0014】

10

最後に、トランジスタチップ T のエミッタ電極と第 1 の電極 7、トランジスタチップ T のベース電極と第 2 の電極 8 を金属細線 12 を介して接続し、樹脂層 13 で被覆している。（以上図 26 D を参照）

そして必要により、ダイシングして個々の電気素子として分離している。図 26 では、ガラスエポキシ基板 5 に、トランジスタチップ T が一つしか設けられていないが、実際は、トランジスタチップ T がマトリックス状に多数個設けられている。そのため、最後にダイシング装置により個別に分離されている。

【0015】

以上の製造方法により、支持基板 5 を採用した CSP 型の電気素子が完成する。この製造方法は、支持基板としてフレキシブルシートを採用しても同様である。

20

【0016】

一方、セラミック基板を採用した製造方法を図 27 左側のフローに示す。支持基板であるセラミック基板（グリーンシート）を用意した後、スルーホールを形成し、その後、導電ペーストを使い、表と裏の電極を印刷し、焼結している。その後、前製造方法の樹脂層を被覆するまでは図 26 の製造方法と同じであるが、セラミック基板は、非常にもろく、フレキシブルシートやガラスエポキシ基板と異なり、直ぐに欠けてしまうため金型を用いたモールドができるない問題がある。そのため、封止樹脂をポッティングし、硬化した後、封止樹脂を平らにする研磨を施し、最後にダイシング装置を使って個別分離している。

【特許文献 1】特開 2001-339151 号公報（第 1 頁、第 1 図）

30

【発明の開示】

【発明が解決しようとする課題】

【0017】

図 25 に於いて、トランジスタチップ T、接続手段 7～12 および樹脂層 13 は、外部との電気的接続、トランジスタの保護をする上で、必要な構成要素であるが、これだけの構成要素で小型化、薄型化、軽量化を実現する電気回路素子を提供するのは難しかった。

【0018】

また、支持基板となるガラスエポキシ基板 5 は、前述したように本来不要なものである。しかし製造方法上、電極を貼り合わせるため、支持基板として採用しており、このガラスエポキシ基板 5 を無くすことができなかった。

【0019】

40

そのため、このガラスエポキシ基板 5 を採用することによって、コストが上昇し、更にはガラスエポキシ基板 5 が厚いために、半導体装置として厚くなり、小型化、薄型化、軽量化に限界があった。

【0020】

更に、接続手段である金属細線 12 の頂部は、トランジスタチップ T よりも高くなり、その分半導体装置 6 として厚くなってしまう問題もあった。

【0021】

またガラスエポキシ基板やセラミック基板では必ず両面の電極を接続するスルーホール形成工程が不可欠であり、製造工程も長くなる問題もあった。

【0022】

50

図28は、ガラスエポキシ基板、セラミック基板または金属基板等に形成されたパターン図を示すものである。このパターンは、一般にIC回路が形成されており、トランジスタチップ21、ICチップ22、チップコンデンサ23および/またはチップ抵抗24が実装されている。このトランジスタチップ21やICチップ22の周囲には、配線25と一緒にとなったボンディングパッド26が形成され、金属細線28を介してチップ21、22とボンディングパッド26が電気的に接続されている。また配線29は、外部リードパッド30と一緒に形成されている。これらの配線25、29は、基板の中を曲折しながら延在され、必要によってはICチップの中で一番細く形成されている。従って、これらの細い配線は、基板との接着面積が非常に狭く、配線が剥がれたり、反ったりする問題があった。またボンディングパッド26は、パワー用のボンディングパッドと小信号用のボンディングパッドがあり、特に小信号用のボンディングパッドは、接着面積が小さく、膜剥がれの原因となっていた。 10

【0023】

更には、外部リードパッド30には、外部リードが固着されるが、外部リードに加えられる外力により、外部リードパッド30が剥がれる問題もあった。

【課題を解決するための手段】

【0024】

本発明は、前述した多くの課題に鑑みて成され、分離溝で電気的に分離された複数の導電路と、前記導電路と半導体素子の電極とを接続する金属細線と、前記半導体素子を被覆し且つ前記導電路間の前記分離溝に充填され前記導電路の裏面と前記半導体素子の裏面を露出して一体に支持する絶縁性樹脂とを備えることで解決するものである。 20

【0025】

また分離溝で電気的に分離された複数の導電路と、前記導電路と半導体素子の電極とを接続する金属細線と、前記半導体素子を被覆し且つ前記導電路間の前記分離溝に充填され、前記導電路の裏面と前記半導体素子の裏面に形成された導電被膜を露出して一体に支持する絶縁性樹脂とを備えることで解決するものである。

【0026】

更には、分離溝で電気的に分離された複数の導電路と、第1の導電路上に固着された半導体素子と、前記半導体素子の電極と第2の導電路とを接続する金属細線と、前記半導体素子を被覆し且つ前記導電路間の前記分離溝に充填され前記導電路の裏面を露出して一体に支持する絶縁性樹脂とを備え、 30

前記第2の導電路よりも前記第1の導電路の高さを低く形成することで解決するものである。

【0027】

本構造により、構成要素を最小限にし、更には金属細線の頂部を低く設定できるので、従来の課題を解決することができる。

【0028】

また導電箔を用意し、形成予定の導電路の間および半導体素子が配置される領域に対応する前記導電箔に、前記導電箔の厚みよりも浅い溝を形成し、

半導体素子が配置される前記溝に前記半導体素子を固着し、前記半導体素子の電極と所望の前記導電路とを金属細線により電気的に接続し、 40

前記半導体素子および前記金属細線を被覆し、前記溝に充填されるように絶縁性樹脂でモールドし、

前記形成予定の導電路を分離することで解決するものである。

【0029】

また導電箔を用意し、形成予定の導電路の間および半導体素子が配置される領域に対応する前記導電箔に、前記導電箔の厚みよりも浅い溝をエッティングにより形成し、前記エッティングにより前記形成予定の導電路に前記導電箔と異なる材料によりひさしを形成し、

半導体素子が配置される溝に前記半導体素子を固着し、前記半導体素子の電極と所望の前記導電路とを金属細線により電気的に接続し、 50

前記半導体素子および前記金属細線を被覆し、前記溝に充填されるように絶縁性樹脂でモールドし、

前記形成予定の導電路を分離することで解決するものである。

【0030】

本製造方法により、スルーホールを不要にできると同時に、導電箔を支持基板且つ導電路となるように活用し、構成要素を最小限にし、且つ導電路が前記絶縁性樹脂から抜けない構造としている。しかも溝を形成することにより金属細線の頂部を低く設定できるため、半導体装置としての厚みを薄くすることができる。

【0031】

更には、導電路の表面にひさしを形成し、このひさしを被覆し且つ分離溝に充填される絶縁性樹脂により、導電路の抜けを防止している。 10

【発明の効果】

【0032】

以上の説明から明らかなように、本発明では、半導体素子、導電路および絶縁性樹脂の必要最小限で構成され、資源に無駄のない半導体装置となる。よって完成するまで余分な構成要素が無く、コストを大幅に低減できる半導体装置を実現できる。また絶縁性樹脂の被覆膜厚、導電箔の厚みを最適値にすることにより、更には半導体素子の裏面が他の導電路の表面よりも低くなるように設定することで、半導体装置の薄型化が可能になり、小型化および軽量化された半導体装置を実現できる。更には、反りや剥がれの現象が顕著である配線は、絶縁性樹脂に埋め込まれて支持されるため、これらの問題を解決することができる。 20

【0033】

また導電路の裏面のみを絶縁性樹脂から露出しているため、導電路の裏面が直ちに外部との接続に供することができ、図26の如き従来構造の裏面電極およびスルーホールを不要にできる利点を有する。

【0034】

しかも半導体素子がロウ材、Au、Ag等の導電被膜を介して直接導電路に固着されていたり、半導体素子の裏面が露出されているため、半導体素子から発生する熱を導電路を介して直接実装基板に熱を伝えることができる。特にこの放熱により、パワー素子の実装も可能となる。 30

【0035】

また導電路の表面にひさしが形成できるため、アンカー効果を発生させることができ、導電路、特に配線の反り、抜けを防止することができる。

【0036】

また本発明の半導体装置の製造方法では、導電箔自体を支持基板として機能させ、分離溝の形成時あるいは半導体素子の実装、絶縁性樹脂の被着時までは導電箔で全体を支持し、また導電箔を各導電路として分離する時は、絶縁性樹脂を支持基板にして機能させている。従って、半導体素子、導電箔、絶縁性樹脂の必要最小限で製造できる。従来例で説明した如く、本来半導体装置を構成する上で支持基板が要らなくなり、コスト的にも安価にできる。また支持基板が不要であること、導電路が絶縁性樹脂に埋め込まれていること、更には絶縁性樹脂と導電箔の厚みの調整が可能であることにより、非常に薄い半導体装置が形成できるメリットもある。 40

【0037】

またスルーホールの形成工程、導体の印刷工程（セラミック基板の場合）等を省略できるので、従来より製造工程を大幅に短縮でき、全行程を内作できる利点を有する。またフレーム金型も一切不要であり、極めて短納期となる製造方法である。

【0038】

次に導電路を個々に分離せずに取り扱えるため、後の絶縁性樹脂の被覆工程に於いて、作業性が向上する特徴も有する。

【0039】

50

20

30

40

50

最後に本半導体装置を支持基板として活用し、露出している導電路に半導体素子を実装できるため、高機能な基板モジュールが実現できる。特に本半導体装置を支持基板とし、この上に素子として本半導体装置を実装すれば、基板モジュールとして更に軽量で薄いものが実現できる。

【発明を実施するための最良の形態】

【0040】

半導体装置を説明する第1の実施の形態

まず本発明の半導体装置について図1を参照しながらその構造について説明する。

【0041】

図1には、絶縁性樹脂50に支持された第1の導電路51Aと、絶縁性樹脂50に埋め込まれた第2の導電路51B、第3の導電路51Cを有し、前記第1の導電路51A上には半導体素子52が固着されて成る半導体装置53が示されている。 10

【0042】

本構造は、半導体素子52A、回路素子52B、複数の導電路51A、51B、51Cと、この導電路51A、51B、51Cを支持したり、埋め込んだりする絶縁性樹脂50の3つの材料で構成され、導電路51間には、この絶縁性樹脂50で充填された分離溝54が設けられる。

【0043】

絶縁性樹脂としては、エポキシ樹脂等の熱硬化性樹脂、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂を用いることができる。また絶縁性樹脂は、金型を用いて固める樹脂、ディップ、塗布をして被覆できる樹脂であれば、全ての樹脂が採用できる。また導電路51としては、Cuを主材料とした導電箔、Alを主材料とした導電箔、またはFe-Ni等の合金から成る導電箔等を用いることができる。もちろん、他の導電材料でも可能であり、特にエッティングできる導電材、レーザで蒸発する導電材が好ましい。 20

【0044】

また半導体素子52Aの接続手段は、金属細線55A、半田等のロウ材またはAgペーストや導電材料等の導電被膜55Cである。またチップ抵抗、チップコンデンサ等の回路素子52Bは、半田55Bが選択される。

【0045】

また半導体素子52Aと第1の導電路51Aとの固着は、電気的接続が不要であれば、絶縁性接着剤が選択され、また電気的接続が必要な場合は、導電材料55Cが採用される。ここでこの導電材料は、少なくとも一層あればよい。 30

【0046】

この導電材料55Cとして考えられる材料は、Ag、Au、PtまたはPd等であり、蒸着、スパッタリング、CVD等の低真空、または高真空下の被着、メッキまたは導電ペーストの焼結等により被覆される。

【0047】

例えばAgは、Auと接着するし、ロウ材とも接着する。よってチップ裏面にAu被膜が被覆されていれば、そのままAg被膜、Au被膜、半田被膜を導電路51Aに被覆することによってチップを熱圧着でき、また半田等のロウ材を介してチップを固着できる。ここで、前記導電被膜は複数層に積層された導電被膜の最上層に形成されても良い。例えば、Cuの導電路51Aの上には、Ni被膜、Au被膜の二層が順に被着されたもの、Ni被膜、Cu被膜、半田被膜の三層が順に被着されたもの、Ag被膜、Ni被膜の二層が順に被覆されたものが形成できる。尚、これら導電被膜の種類、積層構造は、これ以外にも多数あるが、ここでは省略をする。 40

【0048】

本半導体装置は、導電路51を封止樹脂である絶縁性樹脂50で支持しているため、支持基板が不要となり、導電路51、半導体素子52、回路素子52Bおよび絶縁性樹脂50で構成される。この構成は、本発明の特徴である。従来の技術の欄でも説明したように、従来の半導体装置の導電路は、支持基板で支持されており、リードフレームで支持さ 50

れているため、本来不要にしても良い構成が付加されている。しかし、本半導体装置は、必要最小限の構成要素で構成され、支持基板を不要としているため、薄型で安価となる特徴を有する。

【0049】

また前記構成の他に、半導体素子52A、回路素子52Bを被覆し且つ前記導電路52間の前記分離溝54に充填されて一体に支持する絶縁性樹脂50を有している。

【0050】

この導電路51間は、分離溝54となり、ここに絶縁性樹脂50が充填されることで、お互いの絶縁がはかれるメリットを有する。

【0051】

また、半導体素子52A、回路素子52Bを被覆し且つ導電路51間の分離溝54に充填され導電路51の裏面を露出して一体に支持する絶縁性樹脂50を有している。

10

【0052】

この導電路の裏面を露出する点は、本発明の特徴の一つである。導電路の裏面が外部との接続に供することができ、図25の如き従来構造のスルーホールTHを不要にできる特徴を有する。

【0053】

しかも半導体素子がロウ材、Au、Ag等の導電被膜を介して直接第1の導電路51Aに固着されている場合、第1の導電路51Aの裏面が露出されてため、半導体素子52Aから発生する熱を第1の導電路51Aを介して実装基板に伝えることができる。特に放熱により、駆動電流の上昇等の特性改善が可能となる半導体チップに有効である。

20

【0054】

また半導体素子52Aの裏面は、これを固着する導電路51A以外の導電路51B、51Cの表面よりも低く設定されている。こうすることにより半導体素子52Aの表面を低くでき、半導体素子52Aと導電路51Bとを接続する金属細線55Aの頂部を低く設定できる。図面では、回路素子52Bの方が金属細線55Aの頂部よりも高いため、絶縁性樹脂50の厚みは、回路素子52Bで決定されるが、回路素子52Bの厚みが薄く、金属細線55Aの頂部が回路素子52Bよりも高い場合、絶縁性樹脂50の厚みは金属細線55Aで決定される。従ってこの場合、金属細線55Aの頂部が低くなる分、半導体装置53の厚みを薄くすることもできる。

30

【0055】

一方、図1Cは、半導体素子52Aの裏面に形成された導電被膜55Cが露出されるまで、裏面を研磨したものである。この場合、本半導体装置は、分離溝54の裏面と導電路51の裏面は、実質一致している構造となっている。本構造は、図25に示す裏面電極10、11の段差が設けられないため、半導体装置53をそのまま水平に移動できる特徴を有する。

半導体装置を説明する第2の実施の形態

次に図2に示された半導体装置53を説明する。

【0056】

40

本構造は、導電路51として配線L1～L3が形成されており、それ以外は、図1の構造と実質同一である。よってこの配線L1～L3について説明する。

【0057】

前述したように、IC回路には、小規模の回路から大規模な回路まである。しかしこでは、図面の都合もあり、小規模な回路を図2Aに示す。この回路は、オーディオの増幅回路に多用され、差動増幅回路とカレントミラー回路が接続されたものである。前記差動増幅回路は、図2Aの如く、TR1とTR2で構成され、前記カレントミラー回路は、TR3とTR4で主に構成されている。

【0058】

図2Bは、図2Aの回路を本半導体装置として実現した時の平面図であり、図2Cは、

50

図2BのA-A線に於ける断面図、図2Dは、B-B線に於ける断面図である。図2Bの左側には、TR1とTR3が実装されるダイパッド51Aが設けられ、右側にはTR2とTR4が実装されるダイパッド51Dが設けられている。このダイパッド51A、51Dの上側には、外部接続用の電極51B、51E～51Gが設けられ、下側には、51C、51H～51Jが設けられている。尚、B、Eは、ベース電極、エミッタ電極を示すものである。そしてTR1のエミッタとTR2のエミッタが共通接続されているため、配線L2が電極51E、51Gと一体となって形成されている。またTR3のベースとTR4のベース、TR3のエミッタとTR4のエミッタが共通接続されているため、配線L1が電極51C、55Jと一体となって設けられ、配線L3が電極55H、55Iと一体となって設けられている。

10

【0059】

この配線L1～L3は、特徴を有し、図28で説明すれば、配線25、配線29がこれに該当するものである。この配線は、本回路装置の集積度により異なるが、幅は、 $25\mu m$ ～と非常に狭いものである。尚、この $25\mu m$ の幅は、ウェットエッティングを採用した場合の数値であり、ドライエッティングを採用すれば、この幅は更に狭くできる。

【0060】

図2Dからも明らかなように、配線L1を構成する導電路51Kは、絶縁性樹脂50に配線が埋め込まれているため、図24～図26の様に、たんに支持基板に配線が貼り合わされているのとは異なり、配線51Kの抜け、反りを防止することが可能となる。特に、後述する製造方法から明らかな様に、配線51Kの側面が粗面で成る事、表面にひさしが形成されている事等により、アンカー効果が発生し、絶縁性樹脂から前記導電路が抜けない構造となる。尚ひさしを有する構造は、図8に於いて説明する。

20

【0061】

また外部接続用の電極51B、51C、551E～51Jは、前述したとおり絶縁性樹脂で埋め込まれているため、ここに固着された外部リードから外力が加わっても、剥がれずらしい構造となる。ここで抵抗R1とコンデンサC1は、省略されているが、導電路に実装しても良い。また後の実装構造の実施の形態に於いて説明するが、本回路装置の裏面に実装しても良いし、実装基板側に実装しても良い。

30

半導体装置を説明する第3の実施の形態

次に図8に示された半導体装置56を説明する。

【0062】

本構造は、導電路51B、51Cの表面に導電被膜57が形成されており、それ以外は、図1の構造と実質同一である。よってこの導電被膜57について説明する。

【0063】

第1の特徴は、導電路や半導体装置の反りを防止するするために導電被膜57を設ける点である。

【0064】

一般に、絶縁性樹脂と導電路材料（以下第1の材料と呼ぶ。）の熱膨張係数の差により、半導体装置自身が反ったり、また導電路が湾曲したり剥がれたりする。また導電路51の熱伝導率が絶縁性樹脂の熱伝導率よりも優れているため、導電路51の方が先に温度上昇して膨張する。そのため、第1の材料よりも熱膨張係数の小さい第2の材料を被覆することにより、導電路の反り、剥がれ、半導体装置の反りを防止することができる。特に第1の材料としてCuを採用した場合、第2の材料としてはAu、NiまたはPt等が良い。Cuの膨張率は、 16.7×10^{-6} （10のマイナス6乗）で、Auは、 14×10^{-6} 、Niは、 12.8×10^{-6} 、Ptは、 8.9×10^{-6} である。

40

【0065】

第2の特徴は、第2の材料によりアンカー効果を持たせている点である。第2の材料によりひさし58が形成され、しかも導電路51と被着したひさし58が絶縁性樹脂50に埋め込まれているため、アンカー効果を発生し、導電路51B、51Cの抜けを防止でき

50

る構造となる。

【0066】

以上、半導体装置としてトランジスタチップ52Aと回路素子である受動素子52Bが実装された半導体装置で説明してきたが、本発明は、一つの半導体チップが封止されて構成された半導体装置、図21の如く、CSP等のフェイスダウン型の素子が実装された半導体装置、または図22の如くチップ抵抗、チップコンデンサ等の受動素子が封止された半導体装置でも実施できる。更には、2つの導電路間に金属細線を接続し、これが封止されたものでも良い。これはフューズとして活用できる。

半導体装置の製造方法を説明する第1の実施の形態

10

次に図3～図7および図1を使って半導体装置53の製造方法について説明する。

【0067】

まず図3の如く、シート状の導電箔60を用意する。この導電箔60は、口ウ材の付着性、ポンディング性、メッキ性が考慮されてその材料が選択され、材料としては、Cuを主材料とした導電箔、Alを主材料とした導電箔またはFe-Ni等の合金から成る導電箔等が採用される。

【0068】

導電箔の厚さは、後のエッティングを考慮すると10μm～300μm程度が好ましく、ここでは70μm(2オンス)の銅箔を採用した。しかし300μm以上でも10μm以下でも基本的には良い。後述するように、導電箔60の厚みよりも浅い分離溝61が形成できればよい。

20

【0069】

尚、シート状の導電箔60は、所定の幅でロール状に巻かれて用意され、これが後述する各工程に搬送されても良いし、所定の大きさにカットされた導電箔が用意され、後述する各工程に搬送されても良い。

続いて、半導体装置が実装される領域RG、この領域RG以外で導電路51B、51Cとなる領域を除いた導電箔60を、導電箔60の厚みよりも薄く除去する工程がある。そして前記領域RGに半導体素子52Aを実装し、この半導体素子52A、分離溝61および導電箔60に絶縁性樹脂50を被覆する工程がある。

30

【0070】

まず、Cu箔60の上に、ホトレジスト(耐エッティングマスク)PRを形成し、領域RGに対応する導電箔60が露出すると共に、導電路51B、51Cとなる領域を除いた導電箔60が露出するようにホトレジストPRをパターニングする(以上図4を参照)。そして、前記ホトレジストPRを介してエッティングすればよい(以上図5を参照)。

【0071】

エッティングにより形成された溝61の深さは、例えば50μmであり、その側面は、粗面となるため絶縁性樹脂50との接着性が向上される。

【0072】

またこの溝61の側壁は、模式的にストレートで図示しているが、除去方法により異なる構造となる。この除去工程は、ウェットエッティング、ドライエッティング、レーザによる蒸発、ダイシングが採用できる。ウェットエッティングの場合、エッチャントは、塩化第二鉄または塩化第二銅が主に採用され、前記導電箔は、このエッチャントの中にディッピングされるか、このエッチャントでシャワーリングされる。ここでウェットエッティングは、一般に非異方性にエッティングされるため、側面は湾曲構造になる。

40

【0073】

またドライエッティングの場合は、異方性、非異方性でエッティングが可能である。現在では、Cuを反応性イオンエッティングで取り除くことは不可能といわれているが、スパッタリングで除去できる。またスパッタリングの条件によって異方性、非異方性でエッティングできる。

50

【0074】

またレーザでは、直接レーザ光を当てて分離溝を形成でき、この場合は、どちらかといえば分離溝61の側面はストレートに形成される。

【0075】

またダイシングでは、曲折した複雑なパターンを形成することは不可能であるが、格子状の分離溝を形成することは可能である。

【0076】

尚、図4に於いて、ホトレジストの代わりにエッチング液に対して耐食性のある導電被膜を選択的に被覆しても良い。導電路と成る部分に選択的に被着すれば、この導電被膜がエッチング保護膜となり、レジストを採用することなく分離溝をエッチングできる。この導電被膜として考えられる材料は、Ni、Ag、Au、PtまたはPd等である。しかもこれら耐食性の導電被膜は、ダイパッド、ボンディングパッドとしてそのまま活用できる特徴を有する。

10

【0077】

例えはAg被膜は、Auと接着するし、ロウ材とも接着する。よってチップ裏面にAu被膜が被覆されれば、そのまま導電路51上のAg被膜にチップを熱圧着でき、また半田等のロウ材を介してチップを固着できる。またAgの導電被膜にはAu細線が接着できるため、ワイヤーボンディングも可能となる。従ってこれらの導電被膜をそのままダイパッド、ボンディングパッドとして活用できるメリットを有する。

【0078】

20

続いて、図6の如く、分離溝61が形成された導電箔60に半導体素子52A、回路素子52Bを電気的に接続して実装する工程がある。

【0079】

半導体素子52Aとしては、トランジスタ、ダイオード、ICチップ等の半導体素子であり、回路素子52Bとしては、チップコンデンサ、チップ抵抗等の受動素子である。また厚みが厚くはなるが、CSP、BGA等のフェイスダウンの半導体素子も実装できる。

【0080】

ここでは、ペアのトランジスタチップ52Aが導電路51Aにダイボンディングされ、エミッタ電極と導電路51B、ベース電極と導電路51Bが、熱圧着によるボールボンディングあるいは超音波によるウェッヂボンディング等で固着された金属細線55Aを介して接続される。また52Bは、チップコンデンサまたはチップ抵抗等の受動素子であり、半田等のロウ材または導電ペースト55Bで固着される。

30

【0081】

更に、図7に示すように、前記導電箔60および分離溝61に絶縁性樹脂50を付着する工程がある。これは、トランスマルチモールド、インジェクションモールド、またはディッピングにより実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスマルチモールドで実現でき、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

【0082】

40

本実施の形態では、導電箔60表面に被覆された絶縁性樹脂の厚さは、例えば最頂部から約約100μm程度が被覆されるように調整されている。この厚みは、強度を考慮して厚くすることも、薄くすることも可能である。

【0083】

本工程の特徴は、絶縁性樹脂50を被覆するまでは、導電路51となる導電箔60が支持基板となることである。従来では、図26の様に、本来必要としない支持基板5を採用して導電路7~11を形成しているが、本発明では、支持基板となる導電箔60は、電極材料として必要な材料である。そのため、構成材料を極力省いて作業できるメリットを有し、コストの低下も実現できる。

【0084】

また分離溝61は、導電箔の厚みよりも浅く形成されているため、導電箔60が導電路

50

51として個々に分離されていない。従ってシート状の導電箔60として一体で取り扱え、絶縁性樹脂をモールドする際、金型への搬送、金型への実装の作業が非常に楽になる特徴を有する。

【0085】

続いて、導電箔60の裏面を化学的および/または物理的に除き、導電路51として分離する工程がある。ここでこの除く工程は、研磨、研削、エッティング、レーザの金属蒸発等により施される。

【0086】

図7に於いて、導電路51A～51Cに対応する導電箔60に耐エッティングマスクPRを形成し、耐エッティングマスクPRから露出した導電箔をエッティングすると、図1Aの如き形状となる。

【0087】

また図7に於いて、研磨装置または研削装置により全面を30μm程度削り、分離溝61から絶縁性樹脂50を露出させている。この方法により実現されたものが、図1Cである。その結果、約40μmの厚さの導電路51となって分離される。また絶縁性樹脂50が露出する手前まで、導電箔60を全面ウェトエッティングし、その後、研磨または研削装置により全面を削り、絶縁性樹脂50を露出させても良い。

【0088】

この結果、絶縁性樹脂50に導電路51の表面が露出する構造となる。そして分離溝61が削られ、図1の分離溝54となる。(以上図7参照)

最後に、必要によって露出した導電路51裏面に半田等の導電材を被着し、半導体装置として完成する。

【0089】

尚、導電路51の裏面に導電被膜を被着する場合、導電箔の裏面に、前もって導電被膜を形成しても良い。この場合、導電路に対応する部分を選択的に被着すれば良い。被着方法は、例えばメッキである。またこの導電被膜は、エッティングに対して耐性がある材料(Ag、Au)がよい。またこの導電被膜を採用した場合、研磨をせずにエッティングだけで導電路51として分離できる。

【0090】

尚、本製造方法では、導電箔60に半導体素子と受動素子が実装されているだけであるが、これを1単位としてマトリックス状に配置しても良いし、どちらか一方の半導体素子を1単位としてマトリックス状に配置しても良い。この場合は、後述するようにダイシング装置で個々に分離される。

【0091】

以上の製造方法によって、絶縁性樹脂50に導電路51B、51Cが埋め込まれ、金属細線55Aの頂部を低くした半導体装置53が実現できる。

【0092】

本製造方法の特徴は、絶縁性樹脂50を支持基板として活用し導電路51の分離作業ができることがある。絶縁性樹脂50は、導電路51を埋め込む材料として必要な材料であり、図26の従来の製造方法のように、不要な支持基板5を必要としない。従って、最小限の材料で製造でき、コストの低減が実現できる特徴を有する。

【0093】

尚、導電路51表面からの絶縁性樹脂の厚さは、前工程の絶縁性樹脂の付着の時に調整できる。従って実装される半導体素子により違ってくるが、半導体装置56としての厚さは、厚くも薄くもできる特徴を有する。ここでは、400μm厚の絶縁性樹脂50に40μmの導電路51とその高さを低くした半導体素子が埋め込まれた半導体装置になる。(以上図1を参照)

半導体装置の製造方法を説明する第2の実施の形態

次に図9～図13、図8を使ってひさし58を有する半導体装置56の製造方法について

10

20

30

40

50

て説明する。尚、ひさしとなる第2の材料70が被着される以外は、第1の実施の形態と実質同一であるため、詳細な説明は省略する。

【0094】

まず図9の如く、第1の材料から成る導電箔60の上にエッチングレートの小さい第2の材料70が被覆された導電箔60を用意する。

【0095】

例えばCu箔の上にNiを被着すると、塩化第二鉄または塩化第二銅でCuとNiが一度にエッティングでき、エッチングレートの差によりNiがひさし58と成って形成されるため好適である。太い実線がNiから成る導電被膜70であり、その膜厚は1~10μm程度が好ましい。またNiの膜厚が厚い程、ひさし58が形成されやすい。

10

【0096】

また第2の材料は、第1の材料と選択エッティングできる材料を被覆しても良い。この場合、まず第2の材料から成る被膜を導電路51の形成領域に被覆するようにパターニングし、この被膜をマスクにして第1の材料から成る導電箔60をエッティングすればひさし58が形成できるからである。第2の材料としては、Niの他に、Al、Ag、Au等が考えられる。尚、第2の材料としてAg、Auを採用する場合、部分メッキを形成しても良い。(以上図9を参照)

続いて、半導体素子52Aが形成される領域RG、少なくとも導電路51B、51Cとなる領域を除いた導電箔60を、導電箔60の厚みよりも薄く取り除く工程がある。

【0097】

Ni70の上に、ホトレジストPRを形成し、半導体素子52Aが形成される領域RG、導電路51B、51Cとなる領域を除いたNi70が露出するようにホトレジストPRをパターニングし、前記ホトレジストを介してエッティングすればよい。

20

【0098】

前述したように塩化第二鉄、塩化第二銅のエッチャント等を採用しエッティングすると、Ni70のエッチングレートがCu60のエッチングレートよりも小さいため、エッティングが進むにつれてひさし58がでてくる。

【0099】

尚、前記分離溝61が形成された導電箔60に半導体素子52A、回路素子52Bを実装する工程(図12)、前記導電箔60および分離溝61に絶縁性樹脂50を被覆し、導電箔60の裏面を化学的および/または物理的に除き、導電路51として分離する工程(図13)、および導電路裏面に導電被膜を形成して完成までの工程(図8)は、前製造方法と同一であるためその説明は省略する。

30

半導体素子の製造方法を説明する第3の実施の形態

続いて、図2の半導体装置53をマトリックス状に配置し、封止後に個別分離する製造方法を図14~図20を参照しながら説明する。尚、本製造方法は、第1の実施の形態と殆どが同じであるため、同一の部分は簡単に述べる。

【0100】

まず図14の如く、シート状の導電箔60を用意する。

40

【0101】

尚、シート状の導電箔60は、所定の幅でロール状に巻かれて用意され、これが後述する各工程に搬送されても良いし、所定の大きさにカットされた導電箔が用意され、後述する各工程に搬送されても良い。

【0102】

続いて、半導体素子52Aが形成される領域(ここでは2つの半導体素子が導電路51A(51D)上に実装されるため、導電路51A(51D)が形成される領域となる)、少なくとも導電路51B、51C、51E~55Jとなる領域を除いた導電箔60を、導電箔60の厚みよりも薄く除去する工程がある。

【0103】

50

図15の如く、C u箔60の上に、耐エッチングマスクPRを形成し、前述したように半導体素子52Aが形成される領域、少なくとも導電路51B、51C、51E～55Jとなる領域を除いた導電箔60が露出するようにホトレジストPRをパターニングする。そして、図16の如く、前記ホトレジストPRを介してエッチングすればよい。

【0104】

エッチングにより形成された分離溝61の深さは、例えば50μmであり、その側面は粗面となるため絶縁性樹脂50との接着性が向上される。

【0105】

またこの分離溝61の側壁は、模式的にストレートで図示しているが、除去方法により異なる構造となる。この除去工程は、ウェットエッチング、ドライエッチング、レーザによる蒸発、ダイシングが採用できる。(詳細は、第1の実施の形態を参照)

尚、図15に於いて、ホトレジストPRの代わりにエッチング液に対して耐食性のある導電被膜を選択的に被覆しても良い。導電路と成る部分に選択的に被着すれば、この導電被膜がエッチング保護膜となり、レジストを採用することなく分離溝をエッチングできる。

【0106】

続いて、図17の如く、前記RGに対応する導電箔60に半導体素子52Aを固着して電気的に接続し、半導体素子52A表面の電極と接続された金属細線55Aを導電路55Bに接続する工程がある。

【0107】

半導体素子52Aとしては、トランジスタ、ダイオード、ICチップ等の半導体素子であり、他にチップコンデンサ、チップ抵抗等の受動素子を図1のように実装しても良い。

【0108】

ここでは、ペアのトランジスタチップ52Aが溝にダイボンディングされ、エミッタ電極と導電路51B、ベース電極と導電路51Cが金属細線55Aを介して接続される。

【0109】

更に、図18に示すように、前記導電箔60および分離溝61に絶縁性樹脂50を付着する工程がある。これは、トランスファーモールド、インジェクションモールド、またはディッピングにより実現できる。

【0110】

本実施の形態では、導電箔60表面に被覆された絶縁性樹脂の厚さは、半導体素子の最頂部から約100μm程度が被覆されるように調整されている。この厚みは、強度を考慮して厚くすることも、薄くすることも可能である。

【0111】

本工程の特徴は、絶縁性樹脂50を被覆する際、導電路51となる導電箔60が支持基板となることである。従来では、図26の様に、本来必要としない支持基板5を採用して導電路7～11を形成しているが、本発明では、支持基板となる導電箔60は、電極材料として必要な材料である。そのため、構成材料を極力省いて作業できるメリットを有し、コストの低下も実現できる。

【0112】

また分離溝61は、導電箔の厚みよりも浅く形成されているため、導電箔60が導電路51として個々に分離されていない。従ってシート状の導電箔60として一体で取り扱え、絶縁性樹脂をモールドする際、金型への搬送、金型への実装の作業が非常に楽になる特徴を有する。

【0113】

続いて、導電箔60の裏面を化学的および/または物理的に除き、導電路51として分離する工程がある。ここで前記除く工程は、研磨、研削、エッチング、レーザの金属蒸発等により施される。

【0114】

実験では研磨装置または研削装置により全面を30μm程度削り、絶縁性樹脂50を露

10

20

30

40

50

出させている。その結果、約 $40 \mu\text{m}$ の厚さの導電路 51 となって分離される。また絶縁性樹脂 50 が露出する手前まで、導電箔 60 を全面ウェトエッティングし、その後、研磨または研削装置により全面を削り、絶縁性樹脂 50 を露出させても良い。

【0115】

この結果、絶縁性樹脂 50 に導電路 51 の表面が露出する構造となる。

【0116】

更に、図 19 の如く、露出した導電路 51 に半田等の導電材 CM を被着する。

【0117】

最後に、図 20 の如く、半導体装置毎に分離しする工程がある。

【0118】

分離ラインは、矢印の所であり、ダイシング、カット、プレス、チョコレートブレーク等で実現できる。尚、チョコレートブレークを採用する場合は、絶縁性樹脂を被覆する際に分離ラインに溝が入るように金型に突出部を形成しておけば良い。

10

【0119】

特にダイシングは、通常の半導体装置の製造方法に於いて多用されるものであり、非常にサイズの小さい物も分離可能であるため、好適である。

【0120】

図 27 の右側には、本発明を簡単にまとめたフローが示されている。Cu 箔の用意、Ag または Ni 等のメッキ、ハーフエッティング、ダイボンド、ワイヤーボンディング、トランスマーモールド、裏面 Cu 箔除去、導電路の裏面処理およびダイシングの 9 工程で半導体装置が実現できる。しかも支持基板をメーカーから供給することなく、全ての工程を内作する事ができる。

20

半導体装置の種類およびこれらの実装方法を説明する実施の形態。

【0121】

図 21 は、フェイスダウン型の半導体素子 80 を実装した半導体装置 81 を示すものである。半導体素子 80 としては、ペアの半導体チップ、表面が封止された CSP や BGA 等が該当する。また図 22 は、チップ抵抗やチップ抵抗等の受動素子 82 が実装された半導体装置 83 を示すものである。これらは、支持基板が不要であるため、薄型であり、しかも絶縁性樹脂で封止されてあるため、耐環境性にも優れたものである。

30

【0122】

図 23A は、実層構造について説明するものである。プリント基板や金属基板、セラミック基板等の実装基板 84 に形成された導電路 85 に今まで説明してきた本発明の半導体装置 53、81、83 が実装されたものである。

【0123】

特に、半導体チップ 52 の裏面が固着された導電路 51A は、実装基板 84 の導電路 85 と熱的に結合されているため、前記導電路 85 を介して放熱させることができる。また実装基板 84 として金属基板を採用すると、金属基板の放熱性も手伝って更に半導体チップ 52 の温度を低下させることができる。そのため、半導体チップの駆動能力を向上させることができる。

40

【0124】

例えばパワーMOS、IGBT、SiT、大電流駆動用のトランジスタ、大電流駆動用の I C (MOS 型、BIP 型、Bi-CMOS 型) メモリ素子等は、好適である。

【0125】

また金属基板としては、Al 基板、Cu 基板、Fe 基板が好ましく、また導電路 85 との短絡が考慮されて、絶縁性樹脂および / または酸化膜等が形成されている。

【0126】

また図 23B は、本半導体装置を実装基板として活用したものである。あたかもプリント基板の中に素子が実装されているようなものである。半導体装置 90 は、導電路が露出しているため、この上には素子が実装できる。ここでは、チップコンデンサ 92、本製造

50

方法で形成されたディスクリート型の半導体装置 9 1 が実装されている。

【図面の簡単な説明】

【0 1 2 7】

【図 1】本発明の回路装置を説明する図である。

【図 2】本発明の回路装置を説明する図である。

【図 3】本発明の回路装置の製造方法を説明する図である。

【図 4】本発明の回路装置の製造方法を説明する図である。

【図 5】本発明の回路装置の製造方法を説明する図である。

【図 6】本発明の回路装置の製造方法を説明する図である。

【図 7】本発明の回路装置の製造方法を説明する図である。

【図 8】本発明の回路装置を説明する図である。

【図 9】本発明の回路装置の製造方法を説明する図である。

【図 10】本発明の回路装置の製造方法を説明する図である。

【図 11】本発明の回路装置の製造方法を説明する図である。

【図 12】本発明の回路装置の製造方法を説明する図である。

【図 13】本発明の回路装置の製造方法を説明する図である。

【図 14】本発明の回路装置の製造方法を説明する図である。

【図 15】本発明の回路装置の製造方法を説明する図である。

【図 16】本発明の回路装置の製造方法を説明する図である。

【図 17】本発明の回路装置の製造方法を説明する図である。

【図 18】本発明の回路装置の製造方法を説明する図である。

【図 19】本発明の回路装置の製造方法を説明する図である。

【図 20】本発明の回路装置の製造方法を説明する図である。

【図 21】本発明の回路装置を説明する図である。

【図 22】本発明の回路装置を説明する図である。

【図 23】本発明の回路装置の実装方法を説明する図である。

【図 24】従来の回路装置の実装構造を説明する図である。

【図 25】従来の回路装置を説明する図である。

【図 26】従来の回路装置の製造方法を説明する図である。

【図 27】従来と本発明の回路装置の製造方法を説明する図である。

【図 28】従来と本発明の回路装置に適用される I C 回路のパターン図である。

【符号の説明】

【0 1 2 8】

5 0 絶縁性樹脂

5 1 A ~ 5 1 C 導電路

5 2 A 半導体素子

5 2 B 受動素子

5 3 半導体装置

5 4 分離溝

5 8 ひさし

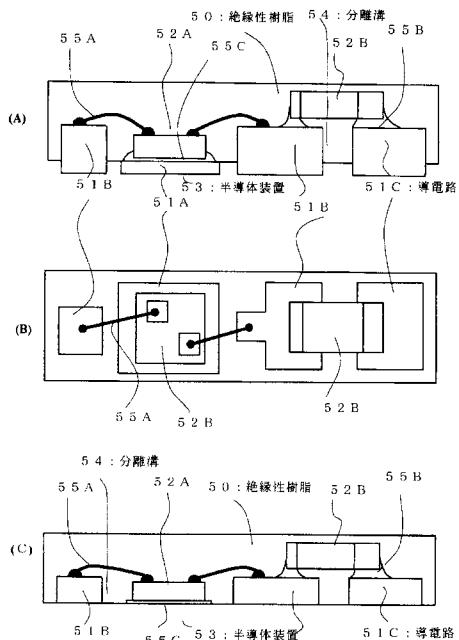
10

20

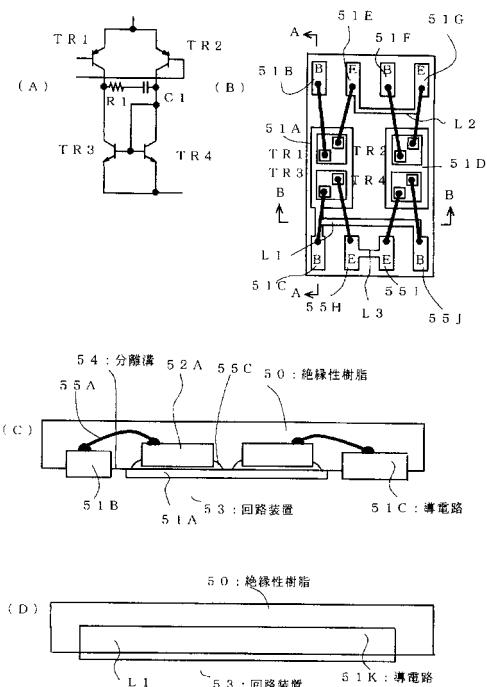
30

40

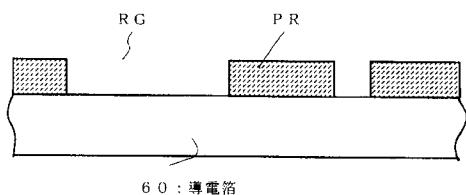
【図1】



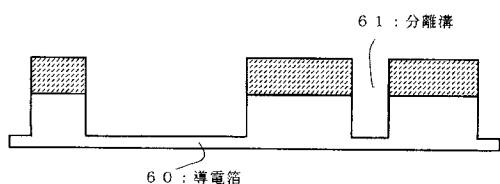
【図2】



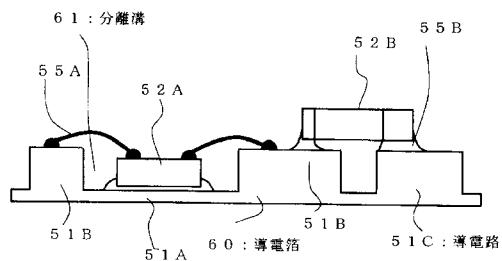
【図4】



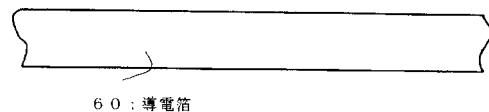
【図5】



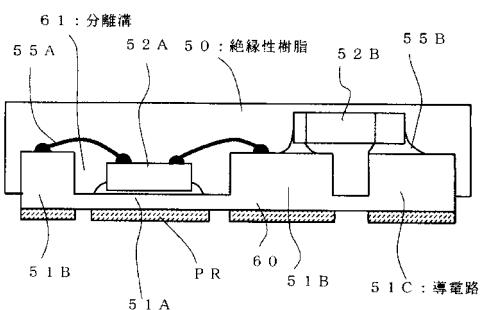
【図6】



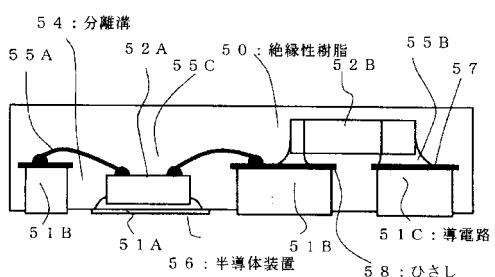
【図3】



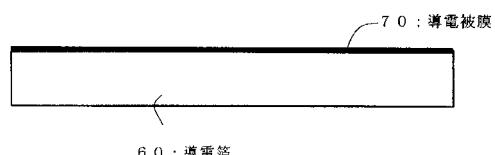
【図7】



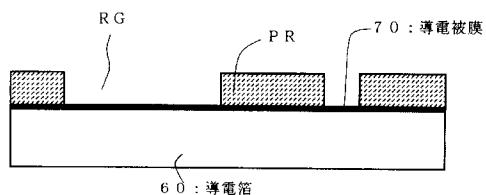
【図8】



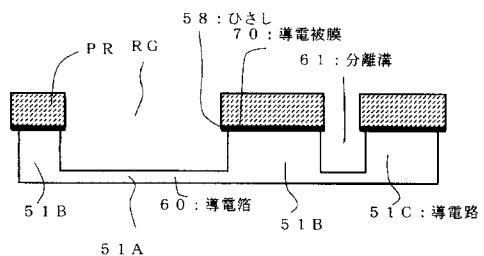
【図9】



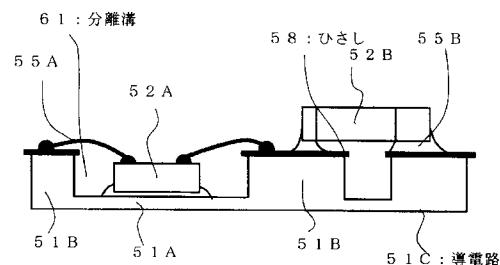
【図10】



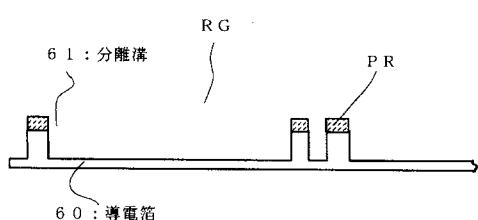
【図11】



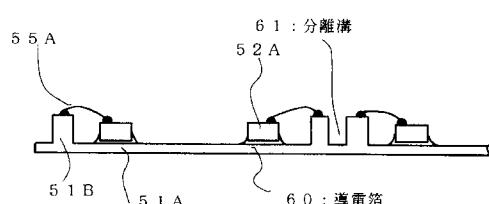
【図12】



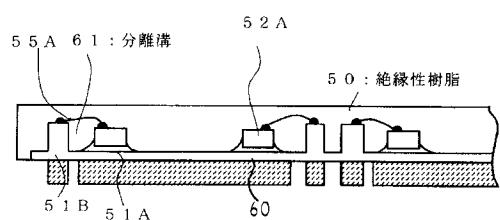
【図16】



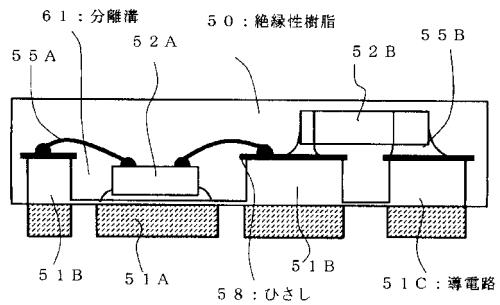
【図17】



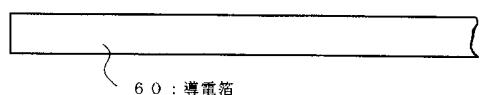
【図18】



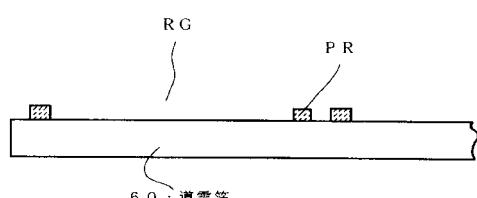
【図13】



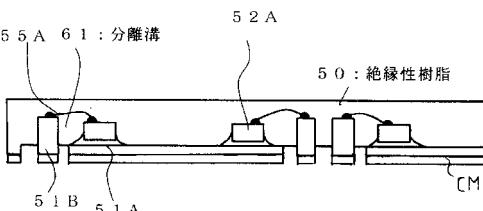
【図14】



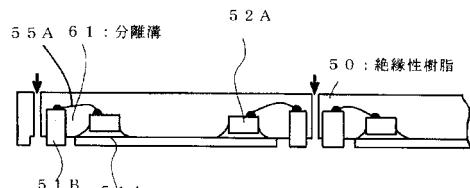
【図15】



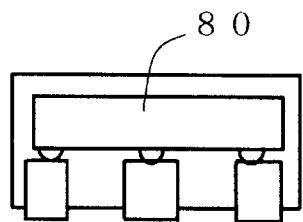
【図19】



【図20】



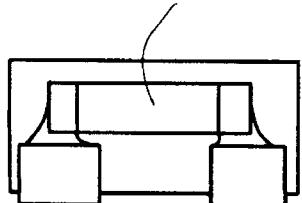
【図21】



8 1

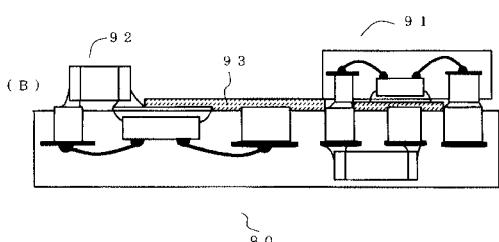
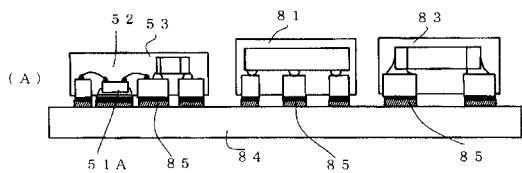
【図22】

8 2

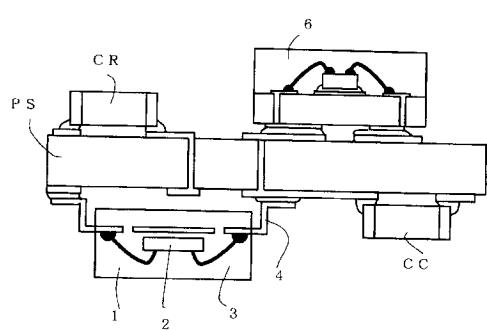


8 3

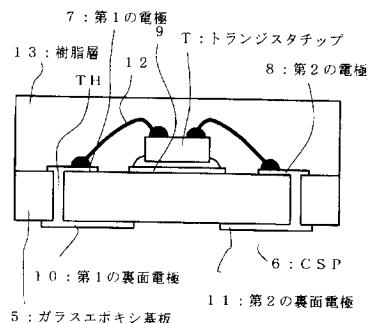
【図23】



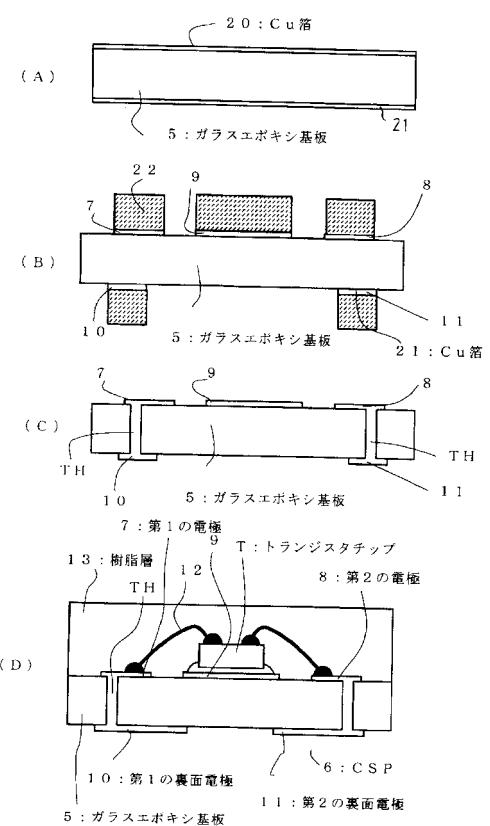
【図24】



【図25】

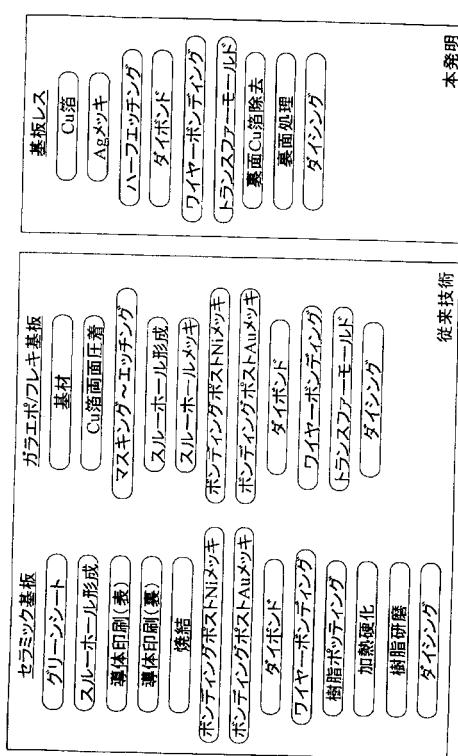


【図26】

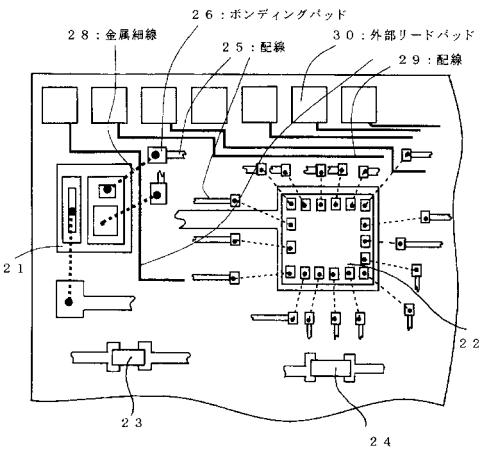


【図27】

従来技術との製法比較



【図28】



フロントページの続き

(72)発明者 真下 茂明
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72)発明者 大川 克実
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72)発明者 前原 栄寿
大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

(72)発明者 高橋 幸嗣
群馬県伊勢崎市喜多町29番地 関東三洋電子株式会社内

審査官 坂本 薫昭

(56)参考文献 特開平11-195742 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/50

H01L 23/12