

【特許請求の範囲】**【請求項 1】**

ビット線のペアの間の電圧差に応じて電流をステアリングするように構成されたトランジスタの差動ペアと、ここにおいて、各差動ペアトランジスタは、出力端子を含む、

遅延センスイネーブル信号を提供するためにセンスイネーブル信号を遅延させるように構成された遅延回路と、

前記トランジスタの差動ペアに対応する第 1 のプルアップトランジスタのペアと、各第 1 のプルアップトランジスタは、対応する差動ペアトランジスタの前記出力端子と電源ノードとの間に結合され、ここにおいて、各第 1 のプルアップトランジスタは、前記遅延センスイネーブル信号のアサートに応じてスイッチオフするように構成される、

を備える、センスアンプ。

10

【請求項 2】

前記トランジスタの差動ペアに対応する第 2 のプルアップトランジスタのペア

をさらに備え、各第 2 のプルアップトランジスタは、前記対応する差動ペアトランジスタの前記出力端子と電源ノードとの間に結合され、ここにおいて、各第 2 のプルアップトランジスタは、常時オンであるように構成される、請求項 1 に記載のセンスアンプ。

【請求項 3】

前記センスイネーブル信号のアサートに応じて前記電流を生成するように構成された電流ソーストランジスタ

をさらに備える、請求項 1 に記載のセンスアンプ。

20

【請求項 4】

前記電流ソーストランジスタは、各差動ペアトランジスタのための第 2 の端子と接地との間に結合する、請求項 3 に記載のセンスアンプ。

【請求項 5】

前記第 1 のプルアップトランジスタのペアは、第 1 の P M O S プルアップトランジスタのペアを備える、請求項 2 に記載のセンスアンプ。

【請求項 6】

前記第 2 のプルアップトランジスタのペアは、第 2 の P M O S プルアップトランジスタのペアを備え、各第 2 の P M O S プルアップトランジスタのためのゲートは、接地に結合される、請求項 2 に記載のセンスアンプ。

30

【請求項 7】

各第 1 のプルアップトランジスタのためのサイズは、各第 2 のプルアップトランジスタのためのサイズよりも大きい、請求項 2 に記載のセンスアンプ。

【請求項 8】

前記遅延回路は、インバータの連続チェーンを備える、請求項 1 に記載のセンスアンプ。

【請求項 9】

前記インバータの連続チェーンは、偶数個のインバータを備える、請求項 8 に記載のセンスアンプ。

【請求項 10】

40

前記トランジスタの差動ペアに対応する交差結合されたトランジスタのペア

をさらに備え、交差結合された各トランジスタは、電源電圧ノードと、前記対応する差動ペアトランジスタの前記出力端子との間に結合される、請求項 2 に記載のセンスアンプ。

【請求項 11】

交差結合された各トランジスタのためのゲートは、前記交差結合されたトランジスタのうちの残りのものに対応する前記差動ペアトランジスタのための前記出力端子に結合される、請求項 10 に記載のセンスアンプ。

【請求項 12】

前記遅延回路は、前記センスイネーブル信号のためのセンスイネーブル信号アサート期

50

間の一部に等しい遅延だけ、前記遅延センスイネーブル信号を遅延させるように構成される、請求項 3 に記載のセンスアンプ。

【請求項 1 3】

前記差動ペアトランジスタのうちの第 1 のもののゲートはビット線に結合され、前記差動ペアトランジスタのうちの残りの第 2 のもののゲートは、相補ビット線に結合される、請求項 1 に記載のセンスアンプ。

【請求項 1 4】

前記ビット線および前記相補ビット線は、両方 S R A M ビット線である、請求項 1 3 に記載のセンスアンプ。

【請求項 1 5】

センスイネーブル信号のアサートに応じて電流を生成することと、
差動ビット線電圧に応じてトランジスタの差動ペアを通して前記電流をステアリングすることと、
遅延センスイネーブル信号を生成するために前記センスイネーブル信号を遅延させることと、

前記遅延センスイネーブル信号のアサートに応じて、前記トランジスタの差動ペアのための出力端子のペアをチャージするように構成された第 1 のプルアップトランジスタのペアを遮断することと
を備える、方法。

【請求項 1 6】

常時オンの第 2 のプルアップトランジスタのペアを通して前記出力端子のペアをチャージすること
をさらに備える、請求項 1 5 に記載の方法。

【請求項 1 7】

前記センスイネーブル信号を遅延させることは、前記センスイネーブル信号がアサートされるセンスイネーブルアサート期間の一部の間、前記センスイネーブル信号を遅延させることを備える、請求項 1 5 に記載の方法。

【請求項 1 8】

ビット線のペアの間の差動電圧に応じて出力端子のペアの間の差動出力電圧を発生させるための手段と、

遅延センスイネーブル信号を提供するためにセンスイネーブル信号を遅延させるように構成された遅延回路と、

前記出力端子のペアに対応する第 1 のプルアップトランジスタのペアと、各第 1 のプルアップトランジスタは、対応する出力端子と電源ノードとの間に結合され、ここにおいて、各第 1 のプルアップトランジスタは、前記遅延センスイネーブル信号のアサートに応じてスイッチオフするように構成される、

を備える、センスアンプ。

【請求項 1 9】

前記出力端子のペアに対応する第 2 のプルアップトランジスタのペア

をさらに備え、各第 2 のプルアップトランジスタは、前記対応する出力端子と電源ノードとの間に結合され、ここにおいて、各第 2 のプルアップトランジスタは、常時オンであるように構成される、請求項 1 9 に記載のセンスアンプ。

【請求項 2 0】

前記遅延回路は、インバータの連続チェーンを備える、請求項 1 8 に記載のセンスアンプ。

【発明の詳細な説明】

【関連出願の相互参照】

【0 0 0 1】

[0001] 本願は、2015 年 4 月 29 日出願の米国特許出願第 1 4 / 6 9 9 , 9 5 7 号の利益を主張する。

10

20

30

40

50

【技術分野】

【0002】

[0002] 本願は、差動センスアンプ (differential sense amplifiers) を改善することに関し、より具体的には、グリッチ (glitches) を防ぐための差動センスアンプのパルス制御 (pulsed control) に関する。

【背景技術】

【0003】

[0003] センスアンプは、S R A Mセルおよび関連する差動セル・トポロジからのビット決定 (bit decision) を感知するために使用される。図1に示されている例となるセンスアンプ100は、N M O SトランジスタM1およびM2の差動ペアを含むが、P M O S 10
差動ペアを使用するセンスアンプの動作が類似していることが理解されるであろう。S R A Mセル (例示せず) は、ビット線Bと相補ビット線 (complement bit line)

【数1】

$$\bar{B}$$

とを、対応するワード線 (例示せず) のアサート (assertion) に応答して駆動する。ビット線Bは、差動ペアトランジスタM1のゲートを駆動する。同様に、相補ビット線

【数2】

$$\bar{B}$$

は、差動ペアトランジスタM2のゲートを駆動する。差動ペアトランジスタM1およびM2のソースは、センスイネーブル信号 (sense enable signal) S Eによって駆動される 20
そのゲートを有する電流ソースN M O Sトランジスタ (current source NMOS transistor) M3を通して、接地 (ground) に結合する。センスイネーブル信号S Eが電源電圧V D Dにアサートされると、電流ソーストランジスタM3は、ビット線にわたって発生する (develops) 電圧差に依存して差動ペアトランジスタM1とM2との間でステアリングされる電流を導通させる (conduct)。電流が差動ペアを通してステアリングされるにつれて、ステアリングされた電流のより多くの部分を導通させる差動ペアトランジスタのためのドレインは、残りの差動ペアトランジスタのためのドレイン電圧と比べて、電圧が降下することになる。差動ペアトランジスタM1およびM2のドレインにおけるこの電圧差は、センスアンプ100の差動出力として表されることになる、所望の電圧差を増幅するための交差結合 (cross-coupled) されたP M O SトランジスタP1およびP2のペアを通 30
して強化される。

【0004】

[0004] 一般に、対応するS R A Mの動作速度を増加させるように、ワード線電圧のアサートの比較的すぐ後にセンスイネーブル信号がアサートされることが望ましい。しかし、センスアンプ100のような従来のセンスアンプのためのアーキテクチャは、センスイネーブル信号がワード線電圧のアサート後あまりにすぐにアサートされる場合にタイミング問題を引き起こす。このタイミング問題をよりよく認識するために、ワード線電圧のアサートより前に、両方のビット線が、電源電圧V D Dにプリチャージされる (pre-charge d) ことに留意されたい。センスイネーブル信号がワード線アサートの比較的直後にアサートされる場合、差動ペアトランジスタM1およびM2の両方はしたがってスイッチオン 40
にすることになり、これは、それらのドレインの両方がその次に放電されることになるので望ましくない。このドレイン電圧の同時減少は、センスアンプ100の差動出力電圧における誤差 (グリッチ) を引き起こし得る。このグリッチを防ぐために、差動ペアトランジスタM1のドレインをチャージするように機能する、常時オンのキーパP M O Sトランジスタ (always-on keeper PMOS transistor) P3を含むことが通例である。同様に、別の常時オンのキーパP M O SトランジスタP4は、差動ペアトランジスタM2のドレインをチャージするように機能する。キーパトランジスタP3およびP4は、差動ペアトランジスタM1およびM2のためのドレインの同時放電を妨害し (oppose)、よって、出力グリッチの可能性を低減する。

【0005】

10

20

30

40

50

[0005] 一般に、キーパトランジスタ P 3 および P 4 は、グリッチを防ぐのに十分な強度を有するようなサイズにされなければならない。しかし、キーパトランジスタ P 3 および P 4 のための結果として生じる強度は、その場合、差動ペアトランジスタ M 1 および M 2 がキーパトランジスタ P 3 および P 4 からの妨害を克服し、次いで、それらのドレイン間に必要な差動電圧を発生させることを可能にするために十分なビット線差動電圧が発生されるように、ワード線電圧アサートとその後のセンスイネーブル信号アサートとの間に比較的長い遅延を必要とすることに留意されたい。高速動作が、したがって、センスアンプ 100 のような従来のセンスアンプでは妨げられる。

【 0 0 0 6 】

[0006] したがって、当該技術には、増加したメモリ動作速度のために構成されたセンスアンプの必要性が存在する。

【 発 明 の 概 要 】

【 0 0 0 7 】

[0007] ビット線のペアの間の電圧差に応じて電流をステアリングするように構成されたトランジスタの差動ペアを含むセンスアンプが提供される。各差動ペアトランジスタは、差動ペアトランジスタが電流ステアリングに応じて放電するように構成された端子を含む。センスアンプは、さらに、遅延センスイネーブル信号 (delayed sense enable signal) を提供するためにセンスイネーブル信号を遅延させるように構成された遅延回路を含み、また、トランジスタの差動ペアのペアに対応する第 1 のプルアップトランジスタのペアも含み、各第 1 のプルアップトランジスタは、対応する差動ペアトランジスタの端子と電源ノードとの間に結合されており、ここにおいて、各第 1 のプルアップトランジスタは、遅延センスイネーブル信号のアサートに応じてスイッチオフするように構成される。

【 0 0 0 8 】

[0008] 第 1 のプルアップトランジスタのペアが、遅延センスイネーブル信号アサートに応じてオフにされるので、それらは、センスイネーブル信号のアサートと、遅延センスイネーブル信号のアサートとの間の遅延期間中オンのままである。このように、第 1 のプルアップトランジスタは、そうでない場合にセンスイネーブル信号アサートの開始 (onset) 時に起こり得る出力グリッチを防ぐために比較的強くなるようなサイズにされ得る。従来のセンスアンプでは、このような比較的強いプルアップトランジスタは、その場合、トランジスタの差動ペアが、プルアップ (pull-up) を克服してそれらの端子にわたって差動出力電圧を発生させることを可能にするために差動ビット線電圧が十分に発生されることができるよう、ワード線アサートと、センスイネーブル信号アサートのその後のアサートとの間に比較的長い遅延を必要とするであろう。有利に、本明細書に開示されているセンスアンプのためのセンスイネーブル信号アサートは、第 1 のプルアップトランジスタが遅延センスイネーブル信号のアサート時にスイッチオフされるので、先行するワード線アサートに関してそれほど比較的遅延する必要はない。このように、従来のセンスアンプに関して上述されたタイミング問題が解決される。

【 0 0 0 9 】

[0009] これらの特徴、および追加的に有利な特徴が、例となる実施形態の以下の詳細な説明に関して、より良く認識され得る。

【 図 面 の 簡 単 な 説 明 】

【 0 0 1 0 】

【 図 1 】 [0010] 従来のセンスアンプの回路図。

【 図 2 】 [0011] 本開示の実施形態にしたがったセンスアンプの回路図。

【 図 3 】 [0012] 本開示の実施形態にしたがったセンスアンプのための動作の例となる方法のフローチャート。

【 0 0 1 1 】

[0013] 本開示の実施形態およびそれらの利点は、以下に続く詳細な説明を参照することによって最良に理解される。同様の参照番号は、図の 1 つまたは複数に例示されている同様の要素を特定するために使用されることが認識されるべきである。

【詳細な説明】

【0012】

[0014] ワード線電圧アサートとセンスイネーブル信号アサートとの間のタイミング遅延が、従来のセンスアンプでは起こるであろう関連した出力グリッチなしに低減され得る、センスアンプが開示される。この有益な効果を提供するために、センスアンプは、トランジスタの差動ペアに対応する第1のプルアップトランジスタのペアを含む。各第1のプルアップトランジスタは、遅延センスイネーブル信号がアサートされない間、対応する差動ペアトランジスタのための出力端子をチャージするように構成される。逆にいうと、各第1のプルアップトランジスタは、さらに、遅延センスイネーブル信号のアサートに応じてスイッチオフするように構成される。この点において、所与の読み込み動作のためにそれにわたってセンスイネーブル信号がアサートされるセンスイネーブル信号アサート期間 (sense enable signal assertion period) は、第1のプルアップトランジスタが導通している初期部分と、第1のプルアップトランジスタが導通していない残りの最後の部分とに分割され得る。第1のプルアップトランジスタは、センスイネーブル信号アサート期間の最後の部分にわたって導通していないので、第1のプルアップトランジスタは、比較的強くなるようなサイズにされ得る。前述されたように、このような相対的な強度はセンスイネーブル信号アサートの開始時に望ましく、これは、差動ビット線電圧がそのときに部分的に発生されているだけだからである。電源電圧VDDへのビット線のプリチャージにより、差動ビット線電圧のそのような部分的な発生は、両方のビット線電圧を電源電圧レベルに比較的近いままにしておき、その結果、センスアンプにおけるトランジスタの差動ペアは同時にスイッチオンされ得る。しかし、第1のプルアップトランジスタの相対的な強度は、差動ビット線電圧の発生の欠如に起因するグリッチの従来の問題を防ぐ。

【0013】

[0015] 反対に、センスイネーブル信号アサートを、先行するワード線電圧アサートに関して遅延させなければいけないという従来の問題は、第1のプルアップトランジスタが、遅延センスイネーブル信号のアサートに回答して遮断 (shutoff) するので解決される。センスアンプにおけるトランジスタの差動ペアは、よって、ワード線電圧の先行するアサートに関して比較的すぐにそれらの出力端子間で適切な差動出力電圧を発生させることができる。ワード線アサートとセンスイネーブル信号アサートとの間の遅延は、よって、従来のセンスアンプ設計と比べると低減され得る。センスアンプが、遅延センスアンプ信号ではなく、センスイネーブル信号によって依然としてトリガされるので、遅延センスイネーブル信号がセンスアンプのタイミングに影響しないことに留意されたい。遅延センスアンプ信号は、単に、本明細書でさらに説明されるように第1のプルアップトランジスタを遮断するために使用されるにすぎない。

【0014】

[0016] グリッチの可能性をさらに抑制するために、センスアンプは、トランジスタの差動ペアに対応する第2のプルアップトランジスタのペアを含み得る。第1のプルアップトランジスタのペアに類似して、各第2のプルアップトランジスタもまた、対応する差動ペアトランジスタのための出力端子をチャージするように構成される。しかしながら、第1のプルアップトランジスタとは対照的に、第2のプルアップトランジスタは常時オンであるように構成され得る。それらが常時オンであるので、第2のプルアップトランジスタは、第1のプルアップトランジスタと比較して比較的弱くなるようなサイズにされ得る。このように、比較的弱い第2のプルアップトランジスタは、トランジスタの差動ペアが、比較的発生していない (undeveloped) 差動ビット線電圧に回答してそれらの出力端子間で差動出力電圧を発生させることを可能にする。センスイネーブル信号アサートは、よって、ワード線アサートの比較的すぐ後に起こり得、これは、メモリ動作速度を向上させる。例となる実施形態の以下の詳細な説明は、これらの有利な特徴をより良く例示し得る。

【0015】

[0017] 例となるセンスアンプ200の回路図が図2に示されている。トランジスタM1およびM2のNMOS差動ペアと、ならびにNMOS電流ソーストランジスタM3とは

、センスアンプ 100 を用いて説明されたように配列される。ビット線 B は、よって、差動ペアトランジスタ M1 のゲートに結合するのに対して、相補ビット線

【数 3】

$\bar{B}$

は、差動ペアトランジスタ M2 のゲートに結合する。差動ペアトランジスタ M1 および M2 のためのソースは両方、電流ソーストランジスタ M3 のドレインに結合し、電流ソーストランジスタ M3 はそして、そのソースが接地に結合されている。センスイネーブル信号 SE は、電流ソーストランジスタ M3 のゲートを駆動する。1つの実施形態において、トランジスタ M1 および M2 の差動ペアは、ビット線のペアの間の差動電圧に応じて、（例えば、それらのドレイン端子のような）出力端子のペアの間に差動出力電圧を発生させるための手段を備えると考えられ得る。

10

【0016】

[0018] 電源電圧 VDD へのセンスイネーブル信号のアサートに応答して、電流ソーストランジスタ M3 は、ビット線間の差動ビット線電圧に応じて差動ペアトランジスタ M1 および M2 を通してステアリングされるテール電流 (tail current) を導通させる。例えば、ビット線 B のための電圧が、相補ビット線 (complementary bit line)

【数 4】

$\bar{B}$

のための電圧と比べてより高いように、アクセスされた SRAM セル（例示せず）がバイナリ値を記憶すると仮定する。テール電流の大部分が、その場合、差動ペアトランジスタ M1 を通してステアリングすることになり、その結果、そのドレイン電圧（その出力端子電圧）が差動ペアトランジスタ M2 上のドレイン電圧に比して減少する。この電圧差を強化するために、センスアンプ 200 は、また、従来のセンスアンプ 100 に関して説明された、交差結合された PMOS トランジスタ P1 および P2 も含む。交差結合されたトランジスタ P1 のゲートは、差動ペアトランジスタ M2 のドレインに結合する。同様に、交差結合されたトランジスタ P2 のゲートは、差動ペアトランジスタ M1 のドレインに結合する。交差結合されたトランジスタ P1 のソースは、電源電圧 VDD を供給する電源ノードに結合するのに対して、そのドレインは、差動ペアトランジスタ M1 のドレインに結合する。同様に、交差結合されたトランジスタ P2 のソースは電源ノードに結合するのに対して、そのドレインは、差動ペアトランジスタ M2 のドレインに結合する。

20

30

【0017】

[0019] それらのゲートの交差結合により、交差結合されたトランジスタ P1 および P2 は、差動ペアドレイン間で発生された差動出力電圧を強化する。例えば、万一、差動ペアトランジスタ M1 のドレイン電圧が差動ペアトランジスタ M2 のドレイン電圧よりも低いというように差動ビット線電圧になる場合、交差結合されたトランジスタ P2 は、差動ペアトランジスタ M2 のための既に高いドレイン電圧を強化するためにスイッチオンする傾向にある。それと同時に、差動ペアトランジスタ M2 のための比較的高いドレイン電圧は、交差結合されたトランジスタ P1 をスイッチオフし、その結果、それは差動出力電圧の発生と争わない (not fight with)。同様に、交差結合されたトランジスタ P1 は、万一、差動ペアトランジスタ M2 のためのドレイン電圧が差動ペアトランジスタ M1 のためのドレイン電圧よりも低い場合にスイッチオンする傾向にあるであろう。

40

【0018】

[0020] 本明細書でさらに説明されるように、センスイネーブル信号アサートは、ワード線電圧アサートに関して比較的すぐに起こり得る。これは、そのようなセンスイネーブル信号のタイミングがメモリ動作速度の増加を可能にするので、非常に有利である。しかし、ワード線電圧のアサートとセンスイネーブル信号電圧のアサートとの間のこのような比較的小さい遅延は、センスイネーブル信号アサートの開始時に比較的より小さい差動ビット線電圧の発生を引き起こす。ビット線が両方、ワード線電圧のアサートより前に電源電圧 VDD にプリチャージされるので、両方の差動ペアトランジスタ M1 および M2 は、ワード線電圧アサートの開始時にオンになる傾向にある。従来のセンスアンプ 100 に関

50

して説明されたように、このように差動ペアトランジスタM 1 およびM 2 を同時にスイッチオンすることは、差動出力電圧グリッチの可能性を増加させる。この点において、不可避の不均衡により、差動ペアトランジスタM 1 およびM 2 のうちの一方は、他方よりも強くスイッチオンする傾向にあり、その結果、予測不可能な差動電圧差が、それらのゲート両方が電源電圧VDDに実質的にチャージされるにもかかわらず、それらのドレイン間に発生することに留意されたい。このような差動電圧差は、アクセスされているメモリセルにおけるバイナリ値に関係がなく、よって、明らかに望ましくない。このような誤りのある差動出力電圧がセンスイネーブル信号アサートの開始時に発生することを抑制するために、従来のセンスアンプ100に関して説明されたプルアップトランジスタP 3 は、第1のPMOSプルアップトランジスタP 3' および第2のPMOSプルアップトランジスタP 3"によって置き換えられる。同様に、従来のセンスアンプ100のプルアップトランジスタP 4 は、第1のPMOSプルアップトランジスタP 4' および第2のPMOSプルアップトランジスタP 4"によって置き換えられる。

【0019】

[0021] 第1のプルアップトランジスタP 3' は、そのソースが電源ノードに結合され、そのドレインが差動ペアトランジスタM 1 のドレインに結合されている。同様に、第2のプルアップトランジスタP 3" は、そのソースが電源ノードに結合され、そのドレインが、差動ペアトランジスタM 1 のドレインに結合されている。しかしながら、第2のプルアップトランジスタP 3" のゲートは、それが常時オンのプルアップトランジスタとして機能するように接地されるのに対して、第1のプルアップトランジスタP 3' のゲートは、センスイネーブル信号の遅延バージョン(SE_{LD})によって駆動される。遅延回路205は、遅延センスイネーブル信号を生成するためにセンスイネーブル信号を遅延させるように構成される。センスアンプ200のようなPMOSプルアップトランジスタの実施形態において、センスイネーブル信号の立ち上がりエッジ(そのアサートの開始)には、センスイネーブル信号の遅延バージョンの立ち上がりエッジ(そのアサートの開始)がその後に続く。このように、第1のプルアップトランジスタP 3' は、遅延センスイネーブル信号のアサートに応答してスイッチオフすることになる。センスイネーブル信号と遅延センスイネーブル信号との間のそのような立ち上がりエッジ関係を持つために、遅延回路205は、インバータ210および215について示されているような、偶数個のインバータを有するべきである。代替的なNMOSプルアップトランジスタの実施形態において、遅延回路205が奇数個のインバータを代わりに含むことになるように、センスイネーブル信号の立ち上がりエッジには、遅延センスイネーブル信号の立ち下がりエッジがその後に続くべきである。以下の説明は、一般性を喪失することなく(without loss of generality)、PMOSプルアップトランジスタの実施形態に重点を置くことになる。

【0020】

[0022] 第1のプルアップトランジスタP 4' および第2のプルアップトランジスタP 4" は、第1のプルアップトランジスタP 4' および第2のプルアップトランジスタP 4" が両方、それらのソースが電源ノードに結合され、それらのドレインが差動ペアトランジスタM 2 のドレインに結合されているということにおいて、プルアップトランジスタP 3' およびP 3" に類似している。同様に、第1のプルアップトランジスタP 4' のゲートが、遅延センスイネーブル信号によって駆動されるのに対して、第2のプルアップトランジスタP 4" のゲートは、常時オンの構成にあるように接地される。第1のプルアップトランジスタP 3' およびP 4' のペアにおける各トランジスタは、比較的強くなるようなサイズにされ得る。対照的に、第2のプルアップトランジスタP 3" およびP 4" のペアにおける各トランジスタは、第1のプルアップトランジスタP 3' およびP 4' と比較して比較的弱くなるようなサイズにされ得る(例えば、それらの幅の寸法)。センスアンプ100の従来のプルアップトランジスタP 3 およびP 4 のペアは、よって、第1のプルアップトランジスタP 3' およびP 4' のペアと、ならびに第2のプルアップトランジスタP 3" およびP 4" のペアとに、有効に二叉に分かれる。

【 0 0 2 1 】

[0023] 遅延回路 2 0 5 は、インバータ 2 1 0 および 2 1 5 のような、適切な数の遅延素子を用いて構成され得、その結果、遅延センスイネーブル信号は、センスイネーブル信号アサート期間の一部 (a fraction of) だけ遅延させられる。このように、センスイネーブル信号アサート期間 (それにわたってセンスイネーブル信号が所与の読み込み動作のためにアサートされる時間期間) の初期部分の間、第 1 のプルアップトランジスタ P 3 ' および P 4 ' のペアは、それらがトランジスタ M 1 および M 2 の差動ペアのためのドレイン電圧をプルアップ (チャージ) する働きをするように、導通している。トランジスタ M 1 および M 2 の差動ペアのためのゲートがバイナリのもの (binary one) (電源電圧 V D D) によって有効に駆動されるようにビット線電圧差が比較的発生していないのは、センスイネーブル信号アサート期間のこの初期部分の間である。しかし、差動ペアトランジスタ M 1 および M 2 が両方、その場合、センスイネーブル信号アサートの開始時に同時にオンになる傾向があっても、第 1 のプルアップトランジスタ P 3 ' および P 4 ' のペアによって提供されるトランジスタ M 1 および M 2 の差動ペアのためのドレイン電圧の比較的強いプルアップにより、センスアンプ 2 0 0 は、差動出力電圧グリッチを防御する。従来のセンスアンプにおけるトランジスタ P 3 および P 4 からのこのような比較的強いプルアップは、ワード線アサートとセンスイネーブル信号アサートとの間の比較的長い遅延を余儀なくさせることになり、それは、メモリ動作速度を遅くする。対照的に、第 1 のプルアップトランジスタ P 3 ' および P 4 ' のペアは、そのような比較的長い遅延が必要ないように、センスイネーブルアサート期間の残りの部分の間にスイッチオフされる。このように、センスアンプ 2 0 0 によってサービスされるメモリのための動作速度は、従来のセンスアンプアーキテクチャと比較して有利に増加され得る。

10

20

【 0 0 2 2 】

[0024] 本開示の実施形態にしたがって、センスアンプのための動作の例となる方法がここで記載される。図 3 は、開示されたセンスアンプのための動作の例となる方法のためのフローチャートである。方法は、センスイネーブル信号のアサートに応じて電流を生成する動作 (act) 3 0 0 を備える。センスアンプ 2 0 0 の電流ソーストランジスタ M 3 によるテール電流の生成は、動作 3 0 0 の例である。加えて、方法は、差動ビット線電圧に応じてトランジスタの差動ペアを通して電流をステアリングする動作 3 0 5 を含む。ビット線 B と相補ビット線

30

【 数 5 】

$$\overline{B}$$

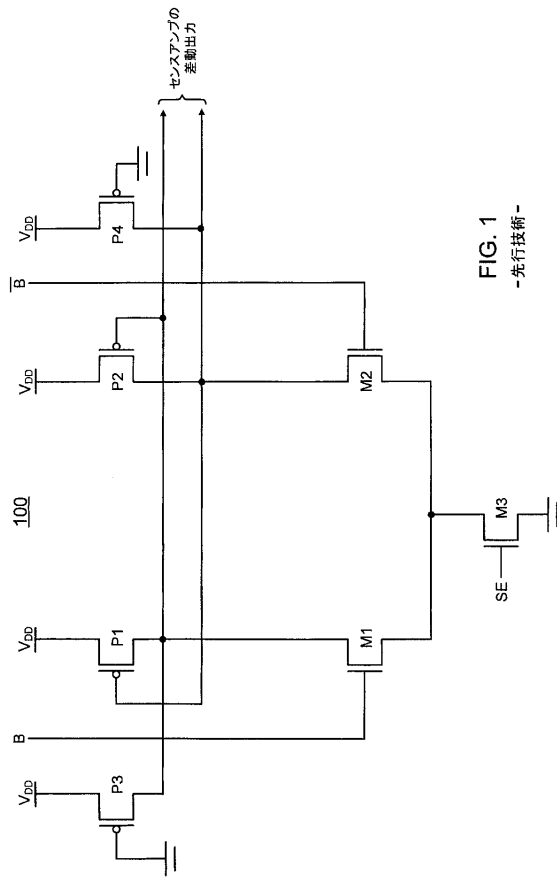
との間の差動電圧に応じてセンスアンプ 2 0 0 の差動ペアトランジスタ M 1 と M 2 との間でテール電流をステアリングすることは、動作 3 0 5 の例である。方法は、また、遅延センスイネーブル信号を生成するようにセンスイネーブル信号を遅延させる動作 3 1 0 も含む。センスアンプ 2 0 0 の遅延回路 2 0 5 による、遅延センスイネーブル信号の生成は、動作 3 1 0 の例である。最後に、方法は、遅延センスイネーブル信号のアサートに応じて、トランジスタの差動ペアのための出力端子のペアをチャージするように構成された第 1 のプルアップトランジスタのペアを遮断する動作 3 1 5 を含む。第 1 のプルアップトランジスタ P 3 ' および P 4 ' のペアを遮断することは、動作 3 1 5 4 の例である。

40

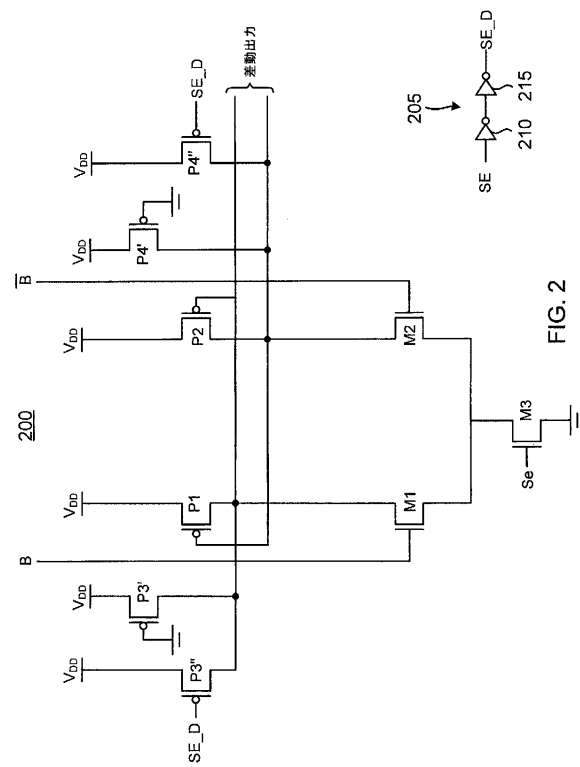
【 0 0 2 3 】

[0025] 現時点で当業者が認識するように、および、手元の特定のアプリケーションに依存して、多くの修正、置換、および変形が、本開示のデバイスの材料、装置、構成、および使用方法において、およびそれらに対して、その範囲から逸脱することなくなされ得る。この点から、本明細書で例示および説明された特定の実施形態の範囲は本開示の範囲の単なるいくつかの例であるので、本開示の範囲はそれらに限定されるべきではなく、むしろ、以下に添付される特許請求の範囲およびそれらの機能的均等物の範囲に完全に合ふべきである。

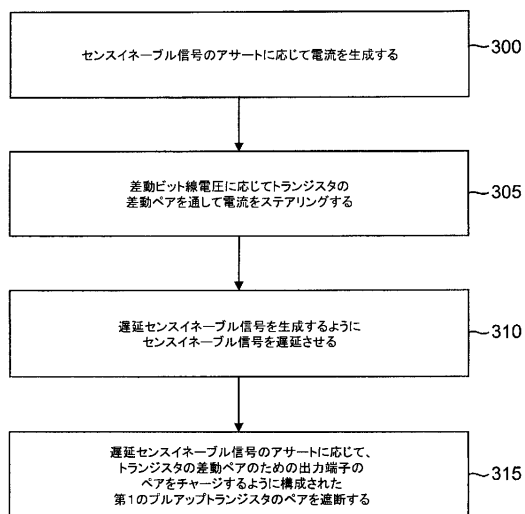
【図 1】



【図 2】



【図 3】



【手続補正書】

【提出日】平成30年8月27日(2018.8.27)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

センスアンプであって、

ビット線のペアの間の電圧差に応じて電流をステアリングするように構成されたトランジスタの差動ペアと、ここにおいて、各差動ペアトランジスタは、出力端子を含む、

センスイネーブル信号のアサートに応じて前記電流を生成するように構成された電流ソーストランジスタと、

遅延センスイネーブル信号を提供するために前記センスイネーブル信号を遅延させるように構成された遅延回路と、

前記トランジスタの差動ペアに対応する第 1 のプルアップトランジスタのペアと、各第 1 のプルアップトランジスタは、対応する差動ペアトランジスタの前記出力端子と電源ノードとの間に結合され、ここにおいて、各第 1 のプルアップトランジスタは、前記センスアンプの差動出力電圧におけるグリッチを防ぎ、前記遅延センスイネーブル信号のアサートに応じてスイッチオフするように構成される、

前記トランジスタの差動ペアに対応する交差結合されたトランジスタのペアと、ここにおいて、交差結合された各トランジスタは、前記電源ノードと、前記対応する差動ペアトランジスタの前記出力端子との間に結合される、

を備える、センスアンプ。

【請求項 2】

前記トランジスタの差動ペアに対応する第 2 のプルアップトランジスタのペア

をさらに備え、各第 2 のプルアップトランジスタは、前記対応する差動ペアトランジスタの前記出力端子と前記電源ノードとの間に結合され、ここにおいて、各第 2 のプルアップトランジスタは、常時オンであるように構成される、請求項 1 に記載のセンスアンプ。

【請求項 3】

前記電流ソーストランジスタは、各差動ペアトランジスタのための第 2 の端子と接地との間に結合する、請求項 1 に記載のセンスアンプ。

【請求項 4】

前記第 1 のプルアップトランジスタのペアは、第 1 の P M O S プルアップトランジスタのペアを備える、請求項 2 に記載のセンスアンプ。

【請求項 5】

前記第 2 のプルアップトランジスタのペアは、第 2 の P M O S プルアップトランジスタのペアを備え、各第 2 の P M O S プルアップトランジスタのためのゲートは、接地に結合される、請求項 2 に記載のセンスアンプ。

【請求項 6】

各第 1 のプルアップトランジスタのためのサイズは、各第 2 のプルアップトランジスタのためのサイズよりも大きい、請求項 2 に記載のセンスアンプ。

【請求項 7】

前記遅延回路は、インバータの連続チェーンを備える、請求項 1 に記載のセンスアンプ。

【請求項 8】

前記インバータの連続チェーンは、偶数個のインバータを備える、請求項 7 に記載のセンスアンプ。

【請求項 9】

交差結合された各トランジスタのためのゲートは、前記交差結合されたトランジスタのうちの残りのものに対応する前記差動ペアトランジスタのための前記出力端子に結合される、請求項 1 に記載のセンスアンプ。

【請求項 1 0】

前記遅延回路は、前記センスイネーブル信号のためのセンスイネーブル信号アサート期間の一部に等しい遅延だけ、前記遅延センスイネーブル信号を遅延させるように構成される、請求項 1 に記載のセンスアンプ。

【請求項 1 1】

前記差動ペアトランジスタのうちの第 1 のもののゲートはビット線に結合され、前記差動ペアトランジスタのうちの残りの第 2 のもののゲートは、相補ビット線に結合される、請求項 1 に記載のセンスアンプ。

【請求項 1 2】

前記ビット線および前記相補ビット線は、両方 S R A M ビット線である、請求項 1 1 に記載のセンスアンプ。

【請求項 1 3】

センスイネーブル信号のアサートに応じて電流を生成することと、

差動ビット線電圧に応じてトランジスタの差動ペアを通して前記電流をステアリングすることと、

遅延センスイネーブル信号を生成するために前記センスイネーブル信号を遅延させることと、

前記遅延センスイネーブル信号のアサートに応じて、前記トランジスタの差動ペアのための出力端子のペアをチャージし、前記出力端子のペアの間の差動出力電圧におけるグリッチを防ぐように構成された第 1 のプルアップトランジスタのペアを遮断することと、

前記トランジスタの差動ペアに対応する交差結合されたトランジスタのペアによって前記差動出力電圧を強化することと、
ここにおいて、交差結合された各トランジスタは、電源ノードと、前記対応する差動ペアトランジスタの前記出力端子との間に結合される、
を備える、方法。

【請求項 1 4】

常時オンの第 2 のプルアップトランジスタのペアを通して前記出力端子のペアをチャージすること

をさらに備える、請求項 1 3 に記載の方法。

【請求項 1 5】

前記センスイネーブル信号を遅延させることは、前記センスイネーブル信号がアサートされるセンスイネーブルアサート期間の一部の間、前記センスイネーブル信号を遅延させることを備える、請求項 1 3 に記載の方法。

【請求項 1 6】

ビット線のペアの間の差動電圧に応じて、およびセンスイネーブル信号のアサートに応じて、トランジスタの差動ペアのための出力端子のペアの間の差動出力電圧を発生させるための手段と、

遅延センスイネーブル信号を提供するために前記センスイネーブル信号を遅延させるように構成された遅延回路と、

前記出力端子のペアに対応する第 1 のプルアップトランジスタのペアと、各第 1 のプルアップトランジスタは、対応する出力端子と電源ノードとの間に結合され、ここにおいて、各第 1 のプルアップトランジスタは、前記出力端子のペアの間の前記差動出力電圧におけるグリッチを防ぎ、
前記遅延センスイネーブル信号のアサートに応じてスイッチオフするように構成される、

前記トランジスタの差動ペアに対応する交差結合されたトランジスタのペアと、
ここにおいて、交差結合された各トランジスタは、前記電源ノードと、前記対応する差動ペアトランジスタの前記出力端子との間に結合される、

を備える、センスアンプ。

【請求項 17】

前記出力端子のペアに対応する第2のプルアップトランジスタのペア

をさらに備え、各第2のプルアップトランジスタは、前記対応する出力端子と電源ノードとの間に結合され、ここにおいて、各第2のプルアップトランジスタは、常時オンであるように構成される、請求項16に記載のセンサンプ。

【請求項 18】

前記遅延回路は、インバータの連続チェーンを備える、請求項16に記載のセンサンプ。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

[0025] 現時点で当業者が認識するように、および、手元の特定のアプリケーションに依存して、多くの修正、置換、および変形が、本開示のデバイスの材料、装置、構成、および使用方法において、およびそれらに対して、その範囲から逸脱することなくなされ得る。この点から、本明細書で例示および説明された特定の実施形態の範囲は本開示の範囲の単なるいくつかの例であるので、本開示の範囲はそれらに限定されるべきではなく、むしろ、以下に添付される特許請求の範囲およびそれらの機能的均等物の範囲に完全に見合うべきである。

以下に、本願の出願当初の特許請求の範囲に記載された発明を付記する。

[C1]

ビット線のペアの間の電圧差に応じて電流をステアリングするように構成されたトランジスタの差動ペアと、ここにおいて、各差動ペアトランジスタは、出力端子を含む、

遅延センスイネーブル信号を提供するためにセンスイネーブル信号を遅延させるように構成された遅延回路と、

前記トランジスタの差動ペアに対応する第1のプルアップトランジスタのペアと、各第1のプルアップトランジスタは、対応する差動ペアトランジスタの前記出力端子と電源ノードとの間に結合され、ここにおいて、各第1のプルアップトランジスタは、前記遅延センスイネーブル信号のアサートに応じてスイッチオフするように構成される、

を備える、センサンプ。

[C2]

前記トランジスタの差動ペアに対応する第2のプルアップトランジスタのペア

をさらに備え、各第2のプルアップトランジスタは、前記対応する差動ペアトランジスタの前記出力端子と電源ノードとの間に結合され、ここにおいて、各第2のプルアップトランジスタは、常時オンであるように構成される、C1に記載のセンサンプ。

[C3]

前記センスイネーブル信号のアサートに応じて前記電流を生成するように構成された電流ソーストランジスタ

をさらに備える、C1に記載のセンサンプ。

[C4]

前記電流ソーストランジスタは、各差動ペアトランジスタのための第2の端子と接地との間に結合する、C3に記載のセンサンプ。

[C5]

前記第1のプルアップトランジスタのペアは、第1のPMOSプルアップトランジスタのペアを備える、C2に記載のセンサンプ。

[C6]

前記第2のプルアップトランジスタのペアは、第2のPMOSプルアップトランジスタのペアを備え、各第2のPMOSプルアップトランジスタのためのゲートは、接地に結合

される、C 2 に記載のセンスアンプ。

[C 7]

各第 1 のプルアップトランジスタのためのサイズは、各第 2 のプルアップトランジスタのためのサイズよりも大きい、C 2 に記載のセンスアンプ。

[C 8]

前記遅延回路は、インバータの連続チェーンを備える、C 1 に記載のセンスアンプ。

[C 9]

前記インバータの連続チェーンは、偶数個のインバータを備える、C 8 に記載のセンスアンプ。

[C 10]

前記トランジスタの差動ペアに対応する交差結合されたトランジスタのペア

をさらに備え、交差結合された各トランジスタは、電源電圧ノードと、前記対応する差動ペアトランジスタの前記出力端子との間に結合される、C 2 に記載のセンスアンプ。

[C 11]

交差結合された各トランジスタのためのゲートは、前記交差結合されたトランジスタのうちの残りのものに対応する前記差動ペアトランジスタのための前記出力端子に結合される、C 10 に記載のセンスアンプ。

[C 12]

前記遅延回路は、前記センスイネーブル信号のためのセンスイネーブル信号アサート期間の一部に等しい遅延だけ、前記遅延センスイネーブル信号を遅延させるように構成される、C 3 に記載のセンスアンプ。

[C 13]

前記差動ペアトランジスタのうちの第 1 のもののゲートはビット線に結合され、前記差動ペアトランジスタのうちの残りの第 2 のもののゲートは、相補ビット線に結合される、C 1 に記載のセンスアンプ。

[C 14]

前記ビット線および前記相補ビット線は、両方 S R A M ビット線である、C 13 に記載のセンスアンプ。

[C 15]

センスイネーブル信号のアサートに応じて電流を生成することと、

差動ビット線電圧に応じてトランジスタの差動ペアを通して前記電流をステアリングすることと、

遅延センスイネーブル信号を生成するために前記センスイネーブル信号を遅延させることと、

前記遅延センスイネーブル信号のアサートに応じて、前記トランジスタの差動ペアのための出力端子のペアをチャージするように構成された第 1 のプルアップトランジスタのペアを遮断することと

を備える、方法。

[C 16]

常時オンの第 2 のプルアップトランジスタのペアを通して前記出力端子のペアをチャージすること

をさらに備える、C 15 に記載の方法。

[C 17]

前記センスイネーブル信号を遅延させることは、前記センスイネーブル信号がアサートされるセンスイネーブルアサート期間の一部の間、前記センスイネーブル信号を遅延させることを備える、C 15 に記載の方法。

[C 18]

ビット線のペアの間の差動電圧に応じて出力端子のペアの間の差動出力電圧を発生させるための手段と、

遅延センスイネーブル信号を提供するためにセンスイネーブル信号を遅延させるように

構成された遅延回路と、

前記出力端子のペアに対応する第 1 のプルアップトランジスタのペアと、各第 1 のプルアップトランジスタは、対応する出力端子と電源ノードとの間に結合され、ここにおいて、各第 1 のプルアップトランジスタは、前記遅延センスイネーブル信号のアサートに応じてスイッチオフするように構成される、

を備える、センスアンプ。

[C 1 9]

前記出力端子のペアに対応する第 2 のプルアップトランジスタのペア

をさらに備え、各第 2 のプルアップトランジスタは、前記対応する出力端子と電源ノードとの間に結合され、ここにおいて、各第 2 のプルアップトランジスタは、常時オンであるように構成される、C 1 9 に記載のセンスアンプ。

[C 2 0]

前記遅延回路は、インバータの連続チェーンを備える、C 1 8 に記載のセンスアンプ。

フロントページの続き

(74)代理人 100184332

弁理士 中丸 慶洋

(72)発明者 ファハド・アーメド

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

(72)発明者 チョルミン・ジュン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

(72)発明者 セイ・スン・ユン

アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

F ターム(参考) 5B015 HH01 JJ11 KB13 KB23 QQ01 QQ18

【外国語明細書】
2018200741000001.pdf