



(12) 发明专利

(10) 授权公告号 CN 101742811 B

(45) 授权公告日 2013. 09. 18

(21) 申请号 200910207477. 6

JP 2002009406 A, 2002. 01. 11,

(22) 申请日 2009. 11. 05

JP 6005995 A, 1994. 01. 14,

(30) 优先权数据

JP 2005109101 A, 2005. 04. 21,

2008-287773 2008. 11. 10 JP

审查员 赵凤瑗

(73) 专利权人 日东电工株式会社

地址 日本大阪府

(72) 发明人 石井淳 内藤俊树 本上满

(74) 专利代理机构 北京林达刘知识产权代理事

务所(普通合伙) 11277

代理人 刘新宇 张会华

(51) Int. Cl.

H05K 1/02 (2006. 01)

H05K 1/11 (2006. 01)

H05K 3/40 (2006. 01)

G11B 5/48 (2006. 01)

(56) 对比文件

JP 10124837 A, 1998. 05. 15,

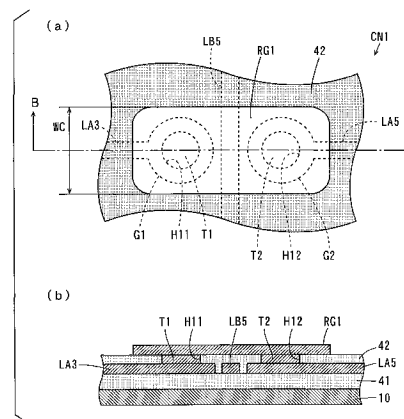
权利要求书3页 说明书9页 附图11页

(54) 发明名称

配线路基板及其制造方法

(57) 摘要

本发明提供一种配线路基板及其制造方法。第1写入用配线图案的第1线路的端部及第2线路的端部配置在第2写入用配线图案的第3线路的两侧。在第1线路的端部及第2线路的端部分别设有圆形的连接部。在上述连接部上的覆盖绝缘层的部分分别形成有贯通孔。以掩埋覆盖绝缘层的贯通孔的方式分别形成有例如由铜构成的第1连接层。以一体地覆盖连接层的上端部的方式形成有例如由铜构成的大致长方形的第2连接层。由此,第1及第2线路通过第1及第2连接层相互电连接。



1. 一种配线电路基板,其包括:

基底绝缘层(41),

第1及第2配线图案(W1;W2),其形成在上述基底绝缘层(41)上,用于构成信号线路对,

覆盖绝缘层(42),其以覆盖上述第1及第2配线图案(W1;W2)的至少一部分的方式形成在上述基底绝缘层(41)上,

连接层(T1、T2、RG1),其设于上述覆盖绝缘层(42)上,

上述第1配线图案(W1)具有第1及第2线路(LA3、LA5;LA4),

上述第2配线图案(W2)具有第3及第4线路(LB3、LB5;LB4),

上述第1及第2线路(LA3、LA5;LA4)的一端部侧相互电连接,并且,上述第1及第2线路(LA3、LA5;LA4)的另一端部侧相互电连接,

上述第3及第4线路(LB3、LB5;LB4)的一端部侧相互电连接,并且,上述第3及第4线路(LB3、LB5;LB4)的另一端部侧相互电连接,

上述第1配线图案(W1)的上述第1及第2线路(LA3、LA5;LA4)与上述第2配线图案(W2)的上述第3及第4线路(LB3、LB5;LB4)交替排列,

设有第1交叉区域(CN1)和第2交叉区域(CN2),

上述第1配线图案(W1)的上述第1或第2线路(LA3、LA5;LA4)与上述第2配线图案(W2)的上述第3或第4线路(LB3、LB5;LB4)在上述第1交叉区域(CN1)交叉,

上述第1配线图案(W1)的上述第1或第2线路(LA3、LA5;LA4)与上述第2配线图案(W2)的上述第3或第4线路(LB3、LB5;LB4)在上述第2交叉区域(CN2)交叉,

上述第1配线图案(W1)的上述第1或第2线路(LA3、LA5;LA4)的配置在上述第1交叉区域(CN1)的部分被截断分开,上述第2配线图案(W2)的上述第3或第4线路(LB3、LB5;LB4)的配置在上述第1交叉区域(CN1)的部分在上述基底绝缘层(41)上通过上述被截断分开了的上述第1配线图案(W1)的上述第1或第2线路(LA3、LA5;LA4)的部分之间,

上述覆盖绝缘层(42)具有第1及第2贯通孔(H11;H12),在上述第1交叉区域(CN1)包括设置为覆盖上述第1及第2配线图案(W1;W2)的第1覆盖部,

上述连接层(T1、T2、RG1)包括设于上述第1覆盖部上的第1连接层(RG1),

上述第1配线图案(W1)的上述第1或第2线路(LA3、LA5;LA4)的上述被截断分开了的部分的一侧通过上述第1覆盖部的上述第1贯通孔(H11)而与上述第1连接层(RG1)电连接,上述被截断分开了的第1配线图案(W1)的上述第1或第2线路(LA3、LA5;LA4)的部分的另一侧通过上述第1覆盖部的上述第2贯通孔(H12)而与上述第1连接层(RG1)电连接。

2. 根据权利要求1所述的配线电路基板,其中,

上述覆盖绝缘层(42)具有第3及第4贯通孔(H11;H12),在上述第2交叉区域(CN2)包括设置为覆盖上述第1及第2配线图案(W1;W2)的第2覆盖部,

上述连接层(T1、T2、RG1)还包括设于上述第2覆盖部上的第2连接层(RG1),

上述第2配线图案(W2)的上述第3或第4线路(LB3、LB5;LB4)的配置在上述第2交叉区域(CN2)的部分被截断分开,上述第1配线图案(W1)的上述第1或第2线路的配置在上述第2交叉区域(CN2)的部分在上述基底绝缘层(41)上通过上述被截断分开了的第2配

线图案(W2)的上述第3或第4线路(LB3、LB5 ;LB4)的部分之间,

上述第2配线图案(W2)的上述第3或第4线路(LB3、LB5 ;LB4)的上述被截断分开了的部分的一侧通过上述第2覆盖部的上述第3贯通孔(H11)而与上述第2连接层(RG1)电连接,上述第2配线图案(W2)的上述第3或第4线路(LB3、LB5 ;LB4)的上述被截断分开了的部分的另一侧通过上述第2覆盖部的上述第4贯通孔(H12)而与上述第2连接层(RG1)电连接。

3. 根据权利要求1所述的配线电路基板,其中,

该配线电路基板还包括:

第5线路(LA1),其从上述第1线路(LA3、LA5)的一端部侧或上述第2线路(LA4)的一端部侧分支,

第6线路(LA2),其从上述第1线路(LA3、LA5)的另一端部侧或上述第2线路(LA4)的另一端部侧分支,

第7线路(LB1),其从上述第3线路(LB3、LB5)的一端部侧或上述第4线路(LB4)的一端部侧分支,

第8线路(LB2),其从上述第3线路(LB3、LB5)的另一端部侧或上述第4线路(LB4)的另一端部侧分支,

上述第5线路(LA1)的宽度及上述第6线路(LA2)的宽度分别为上述第1线路(LA3、LA5)的宽度和上述第2线路(LA4)的宽度的总和,上述第7线路的宽度(LB1)及上述第8线路的宽度(LB2)分别为上述第3线路(LB3、LB5)的宽度和上述第4线路(LB4)的宽度的总和。

4. 一种配线电路基板的制造方法,其包括:

在基底绝缘层(41)上形成用于构成信号线路对的第1及第2配线图案(W1 ;W2)的工序,

在上述基底绝缘层(41)上,以在第1交叉区域(CN1)覆盖上述第1及第2配线图案(W1 ;W2)的方式形成具有第1及第2贯通孔(H11 ;H12)的覆盖绝缘层(42)的工序,

在上述覆盖绝缘层(42)上形成连接层(T1、T2、RG1)的工序,

形成上述第1及第2配线图案(W1 ;W2)的工序包括以下述方式在上述基底绝缘层(41)上形成上述第1及第2配线图案(W1 ;W2)的工序,该方式为:

上述第1配线图案(W1)由第1及第2线路(LA3、LA5 ;LA4)构成且上述第2配线图案(W2)由第3及第4线路(LB3、LB5 ;LB4)构成,上述第1配线图案(W1)的上述第1及第2线路(LA3、LA5 ;LA4)与上述第2线路图案的上述第3及第4线路(LB3、LB5 ;LB4)交替排列,上述第1配线图案(W1)的上述第1或第2线路(LA3、LA5 ;LA4)与上述第2配线图案(W2)的上述第3或第4线路(LB3、LB5 ;LB4)在第1交叉区域(CN1)交叉,且上述第1配线图案(W1)的上述第1或第2线路(LA3、LA5 ;LA4)与上述第2配线图案(W2)的上述第3或第4线路(LB3、LB5 ;LB4)在第2交叉区域(CN2)交叉,上述第1及第2线路(LA3、LA5 ;LA4)的一端部侧相互电连接,上述第1及第2线路(LA3、LA5 ;LA4)的另一端部侧相互电连接,上述第3及第4线路(LB3、LB5 ;LB4)的一端部侧相互电连接,上述第3及第4线路(LB3、LB5 ;LB4)的另一端部侧相互电连接,上述第1配线图案(W1)的上述第1或第2线路(LA3、LA5 ;LA4)的配置在上述第1交叉区域(CN1)的部分被截断分开,上述第2配线图案(W2)的上述

第 3 或第 4 线路(LB3、LB5 ;LB4)的配置在上述第 1 交叉区域(CN1)的部分在上述基底绝缘层(41)上通过上述第 1 配线图案(W1)的上述第 1 或第 2 线路(LA3、LA5 ;LA4)的上述被截断分开了的部分之间,上述第 1 配线图案(W1)的上述第 1 或第 2 线路(LA3、LA5 ;LA4)的上述被截断分开了的部分的一侧通过上述第 1 贯通孔(H11)而与上述连接层(T1、T2、RG1)电连接,上述第 1 配线图案(W1)的上述第 1 或第 2 线路(LA3、LA5 ;LA4)的上述被截断分开了的部分的另一侧通过上述第 2 贯通孔(H12)而与上述连接层(T1、T2、RG1)电连接。

配线电路基板及其制造方法

技术领域

[0001] 本发明涉及配线电路基板及其制造方法。

背景技术

[0002] 在硬盘驱动装置等驱动装置中采用驱动器。这种驱动器包括：能够旋转地设置在旋转轴上的臂；安装在臂上的磁头用悬挂基板。悬挂基板是用于将磁头定位在磁盘的期望的磁道上的配线电路基板。

[0003] 图 11 是以往的悬挂基板（例如参照日本特开 2004-133988 号公报）的纵剖视图。

[0004] 在该悬挂基板 910 中，在金属基板 902 上形成有第 1 绝缘层 904。在第 1 绝缘层 904 上以隔开距离 L1 的方式形成有写入用配线图案 W12 和读取用配线图案 R12。

[0005] 在第 1 绝缘层 904 上以覆盖写入用配线图案 W12 和读取用配线图案 R12 的方式形成有第 2 绝缘层 905。在第 2 绝缘层 905 上，在读取用配线图案 R12 的上方位置形成有写入用配线图案 W11，在写入用配线图案 W12 的上方位置形成有读取用配线图案 R11。

[0006] 位于上下位置的读取用配线图案 R11 和写入用配线图案 W12 之间的距离、以及位于上下位置的读取用配线图案 R12 和写入用配线图案 W11 之间的距离均为 L2。

[0007] 在具有上述结构的悬挂基板 910 中，写入用配线图案 W11、W12 与读取用配线图案 R11 之间的距离和写入用配线图案 W12、W11 与读取用配线图案 R12 之间的距离分别大致相等。由此，可以认为，在写入电流流过写入用配线图案 W11、W12 中时，在读取用配线图案 R11、R12 中产生的感应电动势的大小是大致相等的。因此，能够降低写入用配线图案 W11、W12 和读取用配线图案 R11、R12 之间的串扰（cross talk）。

[0008] 然而，近年来，由于磁盘的记录密度的提高及 PMR（垂直磁记录）方式的导入等，在写入时需要较大的电流。由此，谋求磁头及悬挂基板的配线图案的低阻抗。

发明内容

[0009] 本发明的目的在于提供一种降低了配线图案的特性阻抗的配线电路基板及其制造方法。

[0010] (1) 本发明的一个技术方案所述的配线电路基板包括：基底绝缘层；第 1 及第 2 配线图案，其形成在基底绝缘层上，用于构成信号线路对；覆盖绝缘层，其以覆盖第 1 及第 2 配线图案的至少一部分的方式形成在基底绝缘层上；连接层，其设于覆盖绝缘层上，第 1 配线图案具有第 1 及第 2 线路，第 2 配线图案具有第 3 及第 4 线路，第 1 及第 2 线路的一端部侧相互电连接，并且，第 1 及第 2 线路的另一端部侧相互电连接，第 3 及第 4 线路的一端部侧相互电连接，并且，第 3 及第 4 线路的另一端部侧相互电连接，第 1 配线图案的第 1 及第 2 线路与第 2 配线图案的第 3 及第 4 线路交替排列，设有第 1 交叉区域和第 2 交叉区域，第 1 配线图案的第 1 或第 2 线路与第 2 配线图案的第 3 或第 4 线路在上述第 1 交叉区域交叉，第 1 配线图案的第 1 或第 2 线路与第 2 配线图案的第 3 或第 4 线路在上述第 2 交叉区域交叉，第 1 配线图案的第 1 或第 2 线路的配置在第 1 交叉区域的部分被截断分开，第 2 配线图

案的第 3 或第 4 线路的配置于第 1 交叉区域的部分在基底绝缘层上通过第 1 配线图案的第 1 或第 2 线路的被截断分开了的部分之间,覆盖绝缘层具有第 1 及第 2 贯通孔,在第 1 交叉区域包括设置为覆盖第 1 及第 2 配线图案的第 1 覆盖部,连接层包括设于第 1 覆盖部上的第 1 连接层,第 1 配线图案的第 1 或第 2 线路的部分的被截断分开了的一侧通过第 1 覆盖部的第 1 贯通孔而与第 1 连接层电连接,第 1 配线图案的第 1 或第 2 线路的被截断分开了的部分的另一侧通过第 1 覆盖部的第 2 贯通孔而与第 1 连接层电连接。

[0011] 在该配线电路基板中,第 1 配线图案的第 1 及第 2 线路与第 2 配线图案的第 3 及第 4 线路交替排列。在该情况下,第 1 线路的一侧及另一侧面以及第 2 线路的一侧及另一侧面中的 3 个侧面,与第 3 线路的一侧及另一侧面以及第 4 线路的一侧及另一侧面中的 3 个侧面相互相对。由此,第 1 配线图案与第 2 配线图案的相对面积变大,因此,第 1 及第 2 配线图案的电容变大。结果,能降低第 1 及第 2 配线图案的特性阻抗。

[0012] 另外,在第 1 交叉区域,第 1 配线图案的第 1 或第 2 线路的部分被截断分开,第 2 配线图案的第 3 或第 4 线路的部分在第 1 配线图案的第 1 或第 2 线路的被截断分开了的部分之间通过。

[0013] 第 1 配线图案的第 1 或第 2 线路的被截断分开了的部分的一侧通过覆盖绝缘层的第 1 贯通孔而与第 1 连接层电连接,另一侧通过覆盖绝缘层的第 2 贯通孔而与第 1 连接层电连接。在该情况下,第 1 配线图案的第 1 或第 2 线路的被截断分开了的部分通过第 1 连接层电连接。

[0014] 由此,既能利用简单的结构确保第 1 配线图案的电连接性,又能使第 1 配线图案的第 1 及第 2 线路与第 2 配线图案的第 3 及第 4 线路交替排列。因此,能够以低成本容易地降低第 1 及第 2 配线图案的特性阻抗。

[0015] (2) 覆盖绝缘层具有第 3 及第 4 贯通孔,在第 2 交叉区域包括设置为覆盖第 1 及第 2 配线图案的第 2 覆盖部,连接层还包括设于第 2 覆盖部上的第 2 连接层,第 2 配线图案的第 3 或第 4 线路的配置在第 2 交叉区域的部分被截断分开,第 1 配线图案的第 1 或第 2 线路的配置于第 2 交叉区域的部分在基底绝缘层上通过第 2 配线图案的第 3 或第 4 线路的被截断分开了的部分之间,第 2 配线图案的第 3 或第 4 线路的被截断分开了的部分的一侧通过第 2 覆盖部的第 3 贯通孔而与第 2 连接层电连接,第 2 配线图案的第 3 或第 4 线路的部分的被截断分开了的另一侧通过第 2 覆盖部的第 4 贯通孔而与第 2 连接层电连接。

[0016] 在该情况下,在第 2 交叉区域,第 2 配线图案的第 3 或第 4 线路的部分被截断分开,第 1 配线图案的第 1 或第 2 线路的部分在第 2 配线图案的第 3 或第 4 线路的被截断分开了的部分之间通过。

[0017] 第 2 配线图案的第 3 或第 4 线路的被截断分开了的部分的一侧通过第 2 覆盖部的第 3 贯通孔而与第 2 连接层电连接,另一侧通过第 2 覆盖部的第 4 贯通孔而与第 2 连接层电连接。在该情况下,第 2 配线图案的第 3 或第 4 线路的被截断分开了的部分通过第 2 连接层电连接。

[0018] 由此,在第 1 及第 2 交叉区域,第 1 配线图案的第 1 或第 2 线路的被截断分开了的部分及第 2 配线图案的第 3 或第 4 线路的被截断分开了的部分通过同样的结构相连接。因此,能确保第 1 配线图案与第 2 配线图案的平衡性。结果,在第 1 配线图案及第 2 配线图案中能获得良好的传输特性。

[0019] (3) 配线电路板还包括：第 5 线路，其从第 1 线路的一端部侧或第 2 线路的一端部侧分支；第 6 线路，其从第 1 线路的另一端部侧或第 2 线路的另一端部侧分支；第 7 线路，其从第 3 线路的一端部侧或第 4 线路的一端部侧分支；第 8 线路，其从第 3 线路的另一端部侧或第 4 线路的另一端部侧分支，第 5 线路的宽度及上述第 6 线路的宽度分别为第 1 线路的宽度和第 2 线路的宽度的总和，第 7 线路的宽度及第 8 线路的宽度分别为第 3 线路的宽度和第 4 线路的宽度的总和。

[0020] 在该情况下，在第 1 配线图案中，第 1 及第 2 线路的一体的特性阻抗与第 5 及第 6 线路的特性阻抗分别相等。同样地，在第 2 配线图案中，第 3 及第 4 线路的一体的特性阻抗与第 7 及第 8 线路的特性阻抗分别相等。由此，能降低第 1 及第 2 配线图案的传输损失。

[0021] (4) 本发明的另一技术方案的配线电路板的制造方法，其包括：在基底绝缘层上形成用于构成信号线路对的第 1 及第 2 配线图案的工序；在基底绝缘层上，以在第 1 交叉区域覆盖第 1 及第 2 配线图案的方式形成具有第 1 及第 2 贯通孔的覆盖绝缘层的工序；在覆盖绝缘层上形成连接层的工序，形成第 1 及第 2 配线图案的工序包括以下述方式在基底绝缘层上形成第 1 及第 2 配线图案的工序，上述方式为：第 1 配线图案由第 1 及第 2 线路构成且第 2 配线图案由第 3 及第 4 线路构成，第 1 配线图案的第 1 及第 2 线路与第 2 线路图案的第 3 及第 4 线路交替排列，第 1 配线图案的第 1 或第 2 线路与第 2 配线图案的第 3 或第 4 线路在第 1 交叉区域交叉，且第 1 配线图案的第 1 或第 2 线路与第 2 配线图案的第 3 或第 4 线路在第 2 交叉区域交叉，第 1 及第 2 线路的一端部侧相互电连接，第 1 及第 2 线路的另一端部侧相互电连接，第 3 及第 4 线路的一端部侧相互电连接，第 3 及第 4 线路的另一端部侧相互电连接，第 1 配线图案的第 1 或第 2 线路的配置在第 1 交叉区域的部分被截断分开，第 2 配线图案的第 3 或第 4 线路的配置于第 1 交叉区域的部分在基底绝缘层上通过第 1 配线图案的第 1 或第 2 线路的被截断分开了的部分之间，第 1 配线图案的第 1 或第 2 线路的部分的被截断分开了的一侧通过第 1 贯通孔而与连接层电连接，第 1 配线图案的第 1 或第 2 线路的部分的被截断分开了的另一侧通过第 2 贯通孔而与连接层电连接。

[0022] 在该制造方法中，第 1 配线图案的第 1 及第 2 线路与第 2 配线图案的第 3 及第 4 线路交替排列。在该情况下，第 1 线路的一侧面及另一侧面以及第 2 线路的一侧面及另一侧面中的 3 个侧面，与第 3 线路的一侧面及另一侧面以及第 4 线路的一侧面及另一侧面中的 3 个侧面相互相对。由此，第 1 配线图案与第 2 配线图案的相对面积变大，因此，第 1 及第 2 配线图案的电容变大。结果，能降低第 1 及第 2 配线图案的特性阻抗。

[0023] 另外，在第 1 交叉区域，第 1 配线图案的第 1 或第 2 线路的部分被截断分开，第 2 配线图案的第 3 或第 4 线路的部分在第 1 配线图案的第 1 或第 2 线路的被截断分开了的部分之间通过。

[0024] 第 1 配线图案的第 1 或第 2 线路的被截断分开了的部分的一侧通过覆盖绝缘层的第 1 贯通孔而与连接层电连接，另一侧通过覆盖绝缘层的第 2 贯通孔而与连接层电连接。在该情况下，第 1 配线图案的第 1 或第 2 线路的被截断分开了的部分通过连接层电连接。

[0025] 由此，既能利用简单的结构确保第 1 配线图案的电连接性，又能使第 1 配线图案的第 1 及第 2 线路与第 2 配线图案的第 3 及第 4 线路交替排列。因此，能够以低成本容易地降低第 1 及第 2 配线图案的特性阻抗。

[0026] 采用本发明，由于第 1 配线图案与第 2 配线图案的相对面积变大，因此，第 1 及第

2 配线图案的电容变大。结果,能降低第 1 及第 2 配线图案的特性阻抗。并且,既能利用简单的结构确保第 1 配线图案的电连接性,又能使第 1 配线图案的第 1 及第 2 线路与第 2 配线图案的第 3 及第 4 线路交替排列。因此,能够以低成本容易地降低第 1 及第 2 配线图案的特性阻抗。

附图说明

- [0027] 图 1 是本发明一实施方式的悬挂基板的俯视图。
- [0028] 图 2 是表示写入用配线图案的结构示意图。
- [0029] 图 3 是表示写入用配线图案的一部分的示意剖视图。
- [0030] 图 4 是表示图 2 的交叉区域的详细结构的俯视图及剖视图。
- [0031] 图 5 是示意性地表示写入用配线图案的线路的连结部分的俯视图。
- [0032] 图 6 是用于说明写入用配线图案的特性阻抗的图。
- [0033] 图 7 是表示悬挂基板的制造工序的纵剖视图。
- [0034] 图 8 是表示悬挂基板的制造工序的纵剖视图。
- [0035] 图 9 是表示测量写入用配线图案的特性阻抗的结果的图。
- [0036] 图 10 是表示写入用配线图案的另一构成例的图。
- [0037] 图 11 是以往的悬挂基板的纵剖视图。

具体实施方式

[0038] 下面,参照附图对本发明一实施方式的配线电路板及其制造方法进行说明。下面,作为本发明一实施方式的配线电路板,对用于硬盘驱动装置的驱动器中的悬挂基板的结构及其制造方法进行说明。

[0039] (1) 悬挂基板的结构

[0040] 图 1 是本发明一实施方式的悬挂基板的俯视图。如图 1 所示,悬挂基板 1 具有由金属制的长条状基板形成的悬挂主体部 10。在悬挂主体部 10 上,如粗虚线所示,形成有写入用配线图案 W1、W2 和读取用配线图案 R1、R2。写入用配线图案 W1 和写入用配线图案 W2 形成一对信号线路对。并且,读取用配线图案 R1 和读取用配线图案 R2 形成一对信号线路对。

[0041] 在悬挂主体部 10 的前端部通过形成 U 字形状的开口部 11 而设有磁头安装部(以下称作舌片部)12。舌片部 12 在虚线 R 的部位处被弯折加工成与悬挂主体部 10 呈规定角度。在舌片部 12 的端部形成有四个电极焊盘 21、22、23、24。

[0042] 在悬挂主体部 10 的另一端部形成有四个电极焊盘 31、32、33、34。舌片部 12 上的电极焊盘 21 ~ 24 和悬挂主体部 10 的另一端部的电极焊盘 31 ~ 34 分别由写入用配线图案 W1、W2 和读取用配线图案 R1、R2 电连接。此外,在悬挂主体部 10 上形成有多个孔部 H。

[0043] 在具有悬挂基板 1 的未图示的硬盘装置中,在对磁盘进行信息写入时使电流通过一对写入用配线图案 W1、W2。此外,在对磁盘进行信息读取时使电流通过一对读取用配线图案 R1、R2。

[0044] (2) 写入用配线图案

[0045] 接着,对写入用配线图案 W1、W2 的详细结构进行说明。图 2 是表示写入用配线图

案 W1、W2 的结构的示意图。

[0046] 如图 2 所示,写入用配线图案 W1 由线路 LA1 ~ LA5 构成。线路 LA1 与电极焊盘 21 相连接,线路 LA2 与电极焊盘 31 相连接。

[0047] 线路 LA3、LA4 的一端部与线路 LA1 一体化。线路 LA3 的另一端部与线路 LA5 的一端部在交叉区域 CN1 电连接。关于交叉区域 CN1 的详细结构如后所述。线路 LA4、LA5 的另一端部与线路 LA2 一体化。

[0048] 写入用配线图案 W2 由线路 LB1 ~ LB5 构成。线路 LB1 与电极焊盘 22 相连接,线路 LB2 与电极焊盘 32 相连接。

[0049] 线路 LB3、LB4 的一端部与线路 LB1 一体化。线路 LB3 的另一端部与线路 LB5 的一端部在交叉区域 CN2 电连接。关于交叉区域 CN2 的详细结构如后所述。线路 LB4、LB5 的另一端部与线路 LB2 一体化。

[0050] 写入用配线图案 W1 的线路 LA3、LA4 与写入用配线图案 W2 的线路 LB4、LB5 相互交替且平行地配置。写入用配线图案 W1 的线路 LA3 在交叉区域 CN2 通过写入用配线图案 W2 的线路 LB3、LB5 的端部之间而延伸,写入用配线图案 W2 的线路 LB5 在交叉区域 CN1 通过写入用配线图案 W1 的线路 LA3、LA5 的端部之间而延伸。

[0051] 图 3 是写入用配线图案 W1、W2 的线路 LA3、LA4、LB4、LB5 及其周边部分的示意剖视图。

[0052] 如图 3 所示,在悬挂主体部 10 上形成有基底绝缘层 41。在基底绝缘层 41 上形成有写入用配线图案 W1、W2 的线路 LA3、LA4、LB4、LB5。在基底绝缘层 41 上以覆盖写入用配线图案 W1、W2 的方式形成有覆盖绝缘层 42。

[0053] 图 4(a) 是表示图 2 的交叉区域 CN1 的详细结构的俯视图,图 4(b) 是图 4(a) 的 B-B 线剖视图。

[0054] 如图 4(a) 及图 4(b) 所示,在线路 LB5 的两侧配置有线路 LA3 的端部及线路 LA5 的端部。在线路 LA3 的端部及线路 LA5 的端部分别设有圆形的连接部 G1、G2。在连接部 G1、G2 上的覆盖绝缘层 42 的部分分别形成有贯通孔 H11、H12。以掩埋覆盖绝缘层 42 的贯通孔 H11、H12 的方式分别形成有例如由铜构成的连接层 T1、T2。以一体地覆盖连接层 T1、T2 的上端部的方式形成有例如由铜构成的大致长方形的连接层 RG1。由此,线路 LA3、LA5 通过连接层 T1、T2、RG1 电连接。

[0055] 连接部 G1 的直径优选大于线路 LA3 的宽度,连接部 G2 的直径优选大于线路 LA5 的宽度。另外,连接层 T1(贯通孔 H11) 的横截面的直径优选大于线路 LA3 的宽度,连接层 T2(贯通孔 H12) 的横截面的直径优选大于线路 LA5 的宽度。由此,能可靠地确保线路 LA3、LA5 之间的电连接性。

[0056] 另外,连接层 RG1 的宽度 WC 在连接层 T1、T2 之间优选为恒定。在该情况下,能降低连接层 RG1 的传输损失。

[0057] 另外,连接部 G1、G2 的形状不限于圆形,也可以为椭圆形、三角形、四边形或扇形等其它形状。另外,连接层 T1、T2(贯通孔 H11、H12) 的横截面形状也可以为椭圆形、三角形、四边形或扇形等其它形状。

[0058] 另外,交叉区域 CN2 具有与交叉区域 CN1 相同的结构。即,通过连接层 T1、T2、RG1 使线路 LB3、LB5 电连接。

[0059] 接着,说明构成写入用配线图案 W1、W2 的各线路的宽度。图 5(a) 示意性地表示写入用配线图案 W1 的线路 LA1、LA3、LA4 的连结部分,图 5(b) 示意性地表示线路 LA2、LA4、LA5 的连结部分。

[0060] 如图 5(a) 及图 5(b) 所示,写入用配线图案 W1 的线路 LA1、LA2 的宽度 w_1 、 w_2 相互相等。线路 LA3、LA4、LA5 的宽度 w_3 、 w_4 、 w_5 相互相等,且小于线路 LA1、LA2 的宽度 w_1 、 w_2 。

[0061] 线路 LA3、LA4、LA5 的宽度 w_3 、 w_4 、 w_5 优选分别为线路 LA1、LA2 的宽度 w_1 、 w_2 的二分之一。在该情况下,线路 LA3、LA4、LA5 的特性阻抗分别与线路 LA1、LA2 的特性阻抗大致相等。由此,能降低写入用配线图案 W1 的传输损失。

[0062] 同样地,写入用配线图案 W2 的线路 LB1、LB2 的宽度相互相等。线路 LB3、LB4、LB5 的宽度相互相等,且小于线路 LB1、LB2 的宽度。

[0063] 线路 LB3、LB4、LB5 的宽度优选分别为线路 LB1、LB2 的宽度的二分之一。在该情况下,线路 LB3、LB4、LB5 的特性阻抗分别与线路 LB1、LB2 的特性阻抗大致相等。由此,能降低写入用配线图案 W2 的传输损失。

[0064] (3) 写入用配线图案 W1、W2 的特性阻抗

[0065] 如上所述,在本实施方式中,构成写入用配线图案 W1 的线路 LA3、LA4 与构成写入用配线图案 W2 的线路 LB4、LB5 交替且平行地配置。在该情况下,能够降低写入用配线图案 W1、W2 的特性阻抗。参照图 6 说明其理由。

[0066] 图 6(a) 表示写入用配线图案 W1、W2 的线路 LA3、LA4、LB4、LB5 及其周边部分。图 6(b) 表示写入用配线图案 W1、W2 分别由一根线路构成时的例子。

[0067] 写入用配线图案 W1、W2 的电容越大,写入用配线图案 W1、W2 的特性阻抗越小。写入用配线图案 W1 和写入用配线图案 W2 的相对面积越大,其电容越大。

[0068] 即,写入用配线图案 W1 和写入用配线图案 W2 的相对面积越大,写入用配线图案 W1、W2 的特性阻抗越小。

[0069] 在图 6(a) 的结构中,写入用配线图案 W1 的线路 LA4 的一侧面与写入用配线图案 W2 的线路 LB5 的一侧面相互相对,写入用配线图案 W2 的线路 LB5 的另一侧面与写入用配线图案 W1 的线路 LA3 的一侧面相互相对,写入用配线图案 W1 的线路 LA3 的另一侧面与写入用配线图案 W2 的线路 LB4 的一侧面相互相对。上述相对面积的总和相当于写入用配线图案 W1 和写入用配线图案 W2 的相对面积。

[0070] 另一方面,在图 6(b) 的结构中,仅是写入用配线图案 W1 的 1 根线路的一侧面与写入用配线图案 W2 的 1 根线路的一侧面相对,该相对面积相当于写入用配线图案 W1 和写入用配线图案 W2 的相对面积。

[0071] 因此,通过将构成写入用配线图案 W1 的线路 LA3、LA4 与构成写入用配线图案 W2 的线路 LB4、LB5 交替且平行地配置,与写入用配线图案 W1、W2 分别由 1 根线路构成的情况相比,写入用配线图案 W1、W2 的特性阻抗变小。

[0072] 另外,在本实施方式中,由于以隔着基底绝缘层 41 与写入用配线图案 W1、W2 相对的方式设置有悬挂主体部 10,因此,写入用配线图案 W1、W2 的电容进一步变大。结果,写入用配线图案 W1、W2 的特性阻抗进一步变小。

[0073] (4) 悬挂基板的制造方法

[0074] 接着,说明悬挂基板 1 的制造方法。图 7 及图 8 是表示悬挂基板 1 的制造工序的纵

剖视图。在此,说明图 3 所示的写入用配线图案 W1、W2 的线路 LA3、LA4、LB4、LB5 及其周边部分(以下称作传输区域)的制造工序及图 4 所示的交叉区域 CN1 的制造工序。图 7(a) ~ 图 8(e) 的上层表示传输区域的制造工序,下层表示交叉区域 CN1 的制造工序。

[0075] 首先,如图 7(a) 所示,在例如由不锈钢构成的悬挂主体部 10 上使用粘接剂层叠例如由聚酰亚胺构成的基底绝缘层 41。

[0076] 悬挂主体部 10 的厚度例如为 $5\mu\text{m} \sim 50\mu\text{m}$,优选为 $10\mu\text{m} \sim 30\mu\text{m}$ 。可以代替不锈钢而使用铝等其它金属或合金等作为悬挂主体部 10。

[0077] 基底绝缘层 41 的厚度例如为 $1\mu\text{m} \sim 15\mu\text{m}$,优选为 $2\mu\text{m} \sim 12\mu\text{m}$ 。可以代替聚酰亚胺而使用环氧树脂等其它绝缘材料作为基底绝缘层 41。

[0078] 接着,如图 7(b) 所示,在基底绝缘层 41 上形成例如由铜构成的写入用配线图案 W1、W2。在传输区域,作为写入用配线图案 W1 的线路 LA3、LA4 和作为写入用配线图案 W2 的线路 LB4、LB5 交替且平行地形成。

[0079] 在交叉区域 CN1,形成有作为写入用配线图案 W1 的线路 LA3、LA5 和作为写入用配线图案 W2 的线路 LB5。在线路 LA3、LA5 的端部形成有连接部 G1、G2。连接部 G1、G2 的直径例如为 $30\mu\text{m} \sim 300\mu\text{m}$,优选为 $50\mu\text{m} \sim 150\mu\text{m}$ 。

[0080] 写入用配线图案 W1、W2 例如可以使用半添加法形成,也可以使用金属面腐蚀(subtractive)法等其它方法形成。

[0081] 写入用配线图案 W1、W2 的厚度例如为 $3\mu\text{m} \sim 16\mu\text{m}$,优选为 $6\mu\text{m} \sim 13\mu\text{m}$ 。另外,写入用配线图案 W1、W2 的线路 LA1、LA2、LB1、LB2 的宽度例如为 $20\mu\text{m} \sim 200\mu\text{m}$,优选为 $30\mu\text{m} \sim 100\mu\text{m}$ 。线路 LA3 ~ LA5、LB3 ~ LB5 的宽度例如为 $10\mu\text{m} \sim 150\mu\text{m}$,优选为 $12\mu\text{m} \sim 80\mu\text{m}$ 。

[0082] 不限于铜,也可以使用金(Au)、铝等其它金属或铜合金、铝合金等合金作为写入用配线图案 W1、W2。

[0083] 接着,如图 7(c) 所示,在基底绝缘层 41 上,以覆盖写入用配线图案 W1、W2 的方式形成例如由聚酰亚胺构成的覆盖绝缘层 42。写入用配线图案 W1、W2 上的覆盖绝缘层 42 的厚度例如为 $4\mu\text{m} \sim 26\mu\text{m}$,优选为 $5\mu\text{m} \sim 21\mu\text{m}$ 。可以代替聚酰亚胺树脂而使用环氧树脂等其它绝缘材料作为覆盖绝缘层 42。

[0084] 接着,如图 8(d) 所示,在交叉区域 CN1,在线路 LA3、LA5 的连接部 G1、G2 上的覆盖绝缘层 42 的部分例如通过使用了激光的蚀刻或湿蚀刻而形成贯通孔 H11、H12。贯通孔 H11、H12 的直径例如为 $20\mu\text{m} \sim 200\mu\text{m}$,优选为 $40\mu\text{m} \sim 100\mu\text{m}$ 。

[0085] 接着,如图 8(e) 所示,在交叉区域 CN1,以掩埋覆盖绝缘层 42 的贯通孔 H11、H12 的方式分别形成例如由铜构成的连接层 T1、T2,并且以一体地覆盖连接层 T1、T2 的上端部的方式形成例如由铜构成的大致长方形的连接层 RG1。连接层 RG1 的面积例如为 $3200\mu\text{m}^2 \sim 180000\mu\text{m}^2$,优选为 $5000\mu\text{m}^2 \sim 80000\mu\text{m}^2$ 。

[0086] 不限于铜,可以使用金(Au)、铝等其它金属或铜合金、铝合金等合金作为连接层 T1、T2、RG1。

[0087] 这样就做成了悬挂基板 1。

[0088] (5) 效果

[0089] 在本实施方式的悬挂基板 1 中,在同一平面上,构成写入用配线图案 W1 的线路

LA3、LA4 和构成写入用配线图案 W2 的线路 LB4、LB5 交替且平行地配置。由此,能降低写入用配线图案 W1、W2 的特性阻抗。

[0090] 另外,由于悬挂主体部 10 与线路 LA3、LA4、LB4、LB5 隔着基底绝缘层 41 相对,因此,能进一步降低写入用配线图案 W1、W2 的特性阻抗。

[0091] 另外,在本实施方式中,在交叉区域 CN1,写入用配线图案 W1 的线路 LA3、LA5 通过连接层 T1、T2、RG1 电连接,在交叉区域 CN2,写入用配线图案 W2 的线路 LB3、LB5 通过连接层 T1、T2、RG1 电连接。

[0092] 在该情况下,能够以通过写入用配线图案 W1 的线路 LA3、LA5 之间的方式配置写入用配线图案 W2 的线路 LB5,能够以通过写入用配线图案 W2 的线路 LB3、LB5 之间的方式配置写入用配线图案 W1 的线路 LA3。由此,能够将写入用配线图案 W1 的线路 LA3、LA4 和写入用配线图案 W2 的线路 LB4、LB5 交替且平行地配置。因此,既能利用简单的结构确保电极焊盘 21、31 与电极焊盘 22、32 之间的电连接性,又能降低写入用配线图案 W1、W2 的特性阻抗。

[0093] 另外,由于交叉区域 CN1 的结构与交叉区域 CN2 的结构相同,因此,交叉区域 CN1 的传输损失与交叉区域 CN2 的传输损失彼此大致相等。因此,在写入用配线图案 W1 与写入用配线图案 W2 之间不会产生较大的传输特性差。结果,能适当地进行向磁盘的写入动作。

[0094] (6) 实施例及比较例

[0095] (6-1) 实施例

[0096] 作为实施例,制作了上述图 1~图 5 所示的悬挂基板 1。使用不锈钢作为悬挂主体部 10 的材料,使用聚酰亚胺作为基底绝缘层 41 及覆盖绝缘层 42 的材料,使用铜作为写入用配线图案 W1、W2 的材料。另外,使悬挂主体部 10 的厚度为 $20\mu\text{m}$,使基底绝缘层 41 的厚度为 $10\mu\text{m}$,使写入用配线图案 W1、W2 的厚度为 $12\mu\text{m}$,使写入用配线图案 W1、W2 上的覆盖绝缘层 42 的厚度为 $5\mu\text{m}$ 。

[0097] 另外,写入用配线图案 W1、W2 的线路 LA3~LA5、LB3~LB5 的宽度相互相等,且设定在 $15\mu\text{m}\sim 100\mu\text{m}$ 的范围,使线路 LA1、LA2、LB1、LB2 的宽度为线路 LA3~LA5、LB3~LB5 的宽度的 2 倍。另外,使传输区域的线路 LA3、LA4、LB4、LB5 的间隔为 $15\mu\text{m}$ 。

[0098] 另外,在交叉区域 CN1、CN2,使覆盖绝缘层 42 的贯通孔 H11、H12 的直径为 $80\mu\text{m}$,使线路 LA3、LA5、LB3、LB5 的连接部 G1、G2 的直径为 $140\mu\text{m}$ 。

[0099] (6-2) 比较例 1

[0100] 比较例 1 的悬挂基板与实施例的悬挂基板 1 的不同之处在于,写入用配线图案 W1、W2 分别由 1 根线路构成(参照图 6)。另外,使写入用配线图案 W1、W2 的宽度相互相等,且设定在 $15\mu\text{m}\sim 100\mu\text{m}$ 的范围。

[0101] (6-3) 比较例 2

[0102] 比较例 2 的悬挂基板与实施例的悬挂基板 1 的不同之处在于,在传输区域未设有悬挂主体部 10。

[0103] (6-4) 评价

[0104] 在实施例及比较例 1、比较例 2 中,测量了写入用配线图案 W1、W2 的特性阻抗,结果示于图 9 中。在图 9 中,横轴表示写入用配线图案 W1、W2 的宽度。在该情况下,在实施例及比较例 2 中表示的是线路 LA3~LA5、LB3~LB5 的宽度,在比较例 1 中表示的是写入用

配线图案 W1、W2 的 1 根线路的宽度。纵轴表示写入用配线图案 W1、W2 的特性阻抗。

[0105] 如图 9 所示, 实施例的写入用配线图案 W1、W2 的特性阻抗小于比较例 1、2 的写入用配线图案 W1、W2 的特性阻抗。

[0106] 结果可知, 通过将构成写入用配线图案 W1 的线路 LA3、LA4 和构成写入用配线图案 W2 的线路 LB4、LB5 交替且平行地配置, 与写入用配线图案 W1、W2 分别由 1 根线路构成的情况相比, 写入用配线图案 W1、W2 的特性阻抗变小。

[0107] 还可知, 通过在传输区域与线路 LA3、LA4、LB4、LB5 相对地设置悬挂主体部 10, 写入用配线图案 W1、W2 的特性阻抗变小。

[0108] 还可知, 通过在交叉区域 CN1、CN2 使写入用配线图案 W1 的线路 LA3、LA5 及写入用配线图案 W2 的 LB3、LB5 分别电连接, 能确保电极焊盘 21、31 与电极焊盘 22、32 之间的电连接。

[0109] (7) 另一实施方式

[0110] 可以与电极焊盘 21、22、31、32 的位置等相对应地适当改变写入用配线图案 W1、W2 的结构及交叉区域的位置等。

[0111] 图 10 是表示写入用配线图案 W1、W2 的另一结构例的图。在图 10 的例子中, 写入用配线图案 W2 的线路 LB4 通过交叉区域 CN3 与线路 LB6 电连接。交叉区域 CN3 的结构与交叉区域 CN1、CN2 的结构相同。线路 LB6 与线路 LB2 一体化。另外, 写入用配线图案 W1 的线路 LA2 配置为与线路 LA3 相连接, 并在写入用配线图案 W2 的线路 LB4 与线路 LB6 之间通过。

[0112] 在该情况下, 既能确保电极焊盘 21、31 与电极焊盘 22、32 之间的电连接性, 又能降低写入用配线图案 W1、W2 的特性阻抗。

[0113] (8) 技术方案的各构成要素与实施方式的各部的对应关系

[0114] 以下说明技术方案的各构成要素与实施方式的各部的对应的例子, 本发明不限于下述例子。

[0115] 在实施实施方式中, 写入用配线图案 W1 是第 1 配线图案的例子, 写入用配线图案 W2 是第 2 配线图案的例子, 覆盖绝缘层 42 是第 1 及第 2 覆盖部的例子。

[0116] 另外, 线路 LA3、LA5 是第 1 线路的例子, 线路 LA4 是第 2 线路的例子, 线路 LB3、LB5 是第 3 线路的例子, 线路 LB4 是第 4 线路的例子, 线路 LA1 是第 5 线路的例子, 线路 LA2 是第 6 线路的例子, 线路 LB1 是第 7 线路的例子, 线路 LB2 是第 8 线路的例子, 交叉区域 CN1 是第 1 交叉区域的例子, 交叉区域 CN2 是第 2 交叉区域的例子, 贯通孔 H11 是第 1 及第 3 贯通孔的例子, 贯通孔 H12 是第 2 及第 4 贯通孔的例子。

[0117] 也可以使用具有技术方案所述的构成或功能的其它各种元件作为技术方案各构成元件。

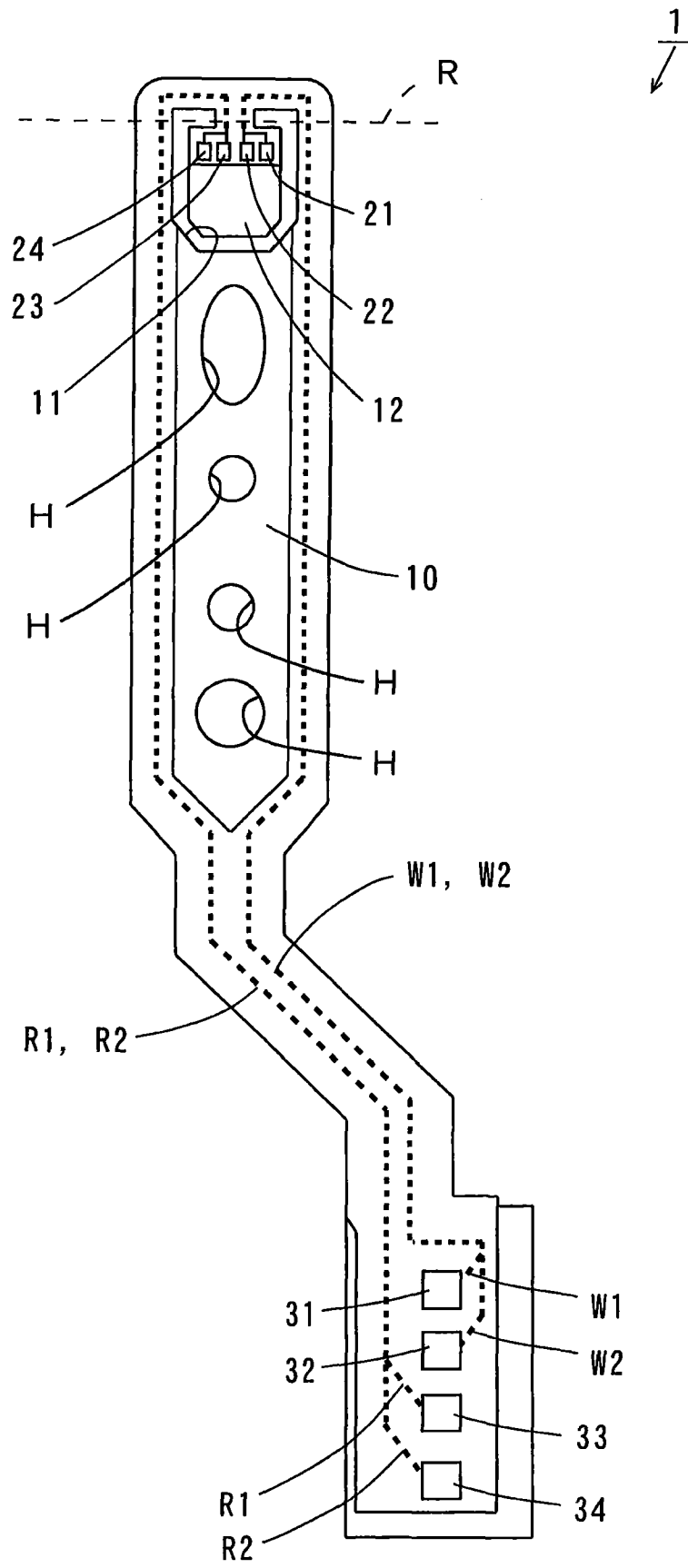


图 1

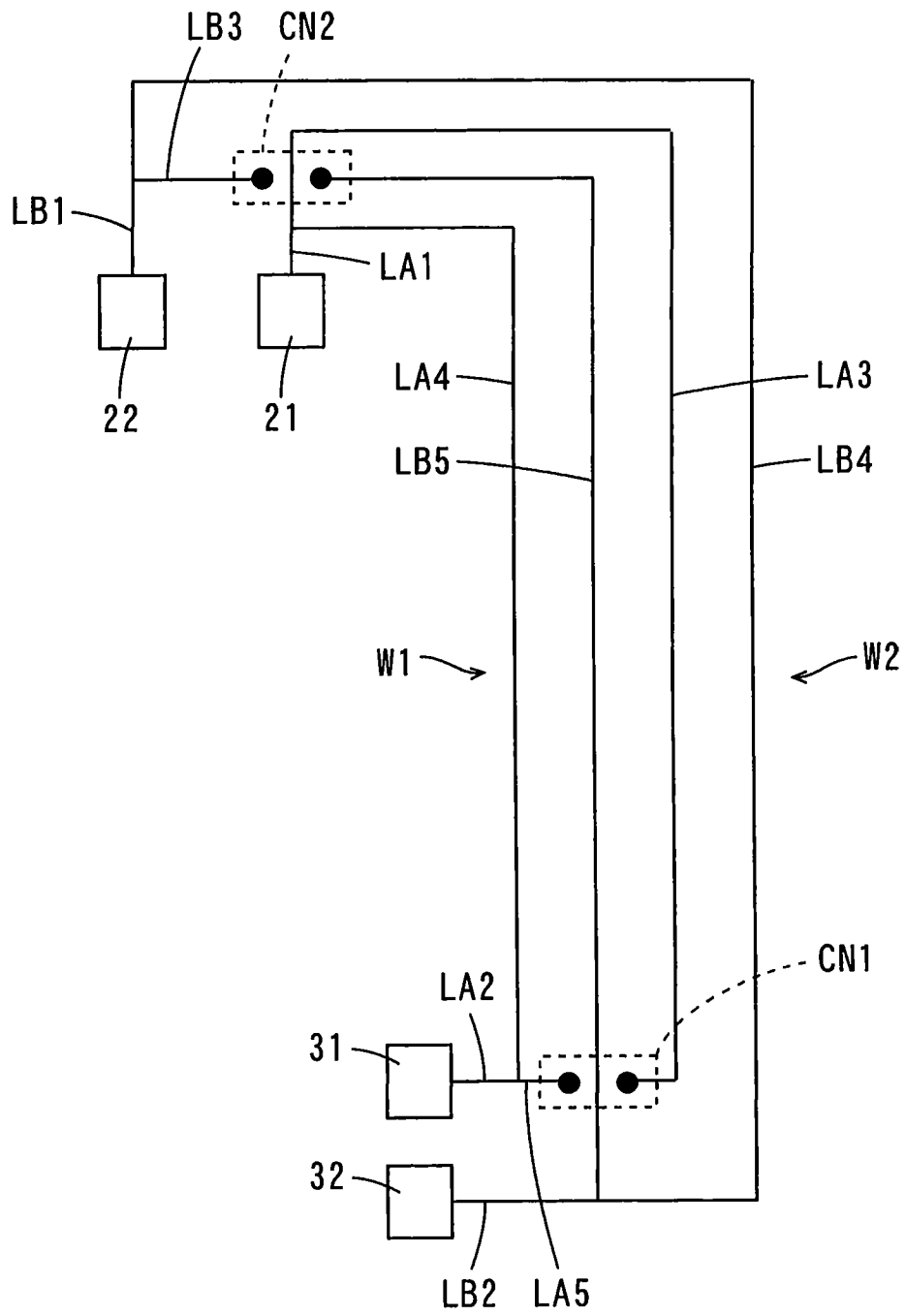


图 2

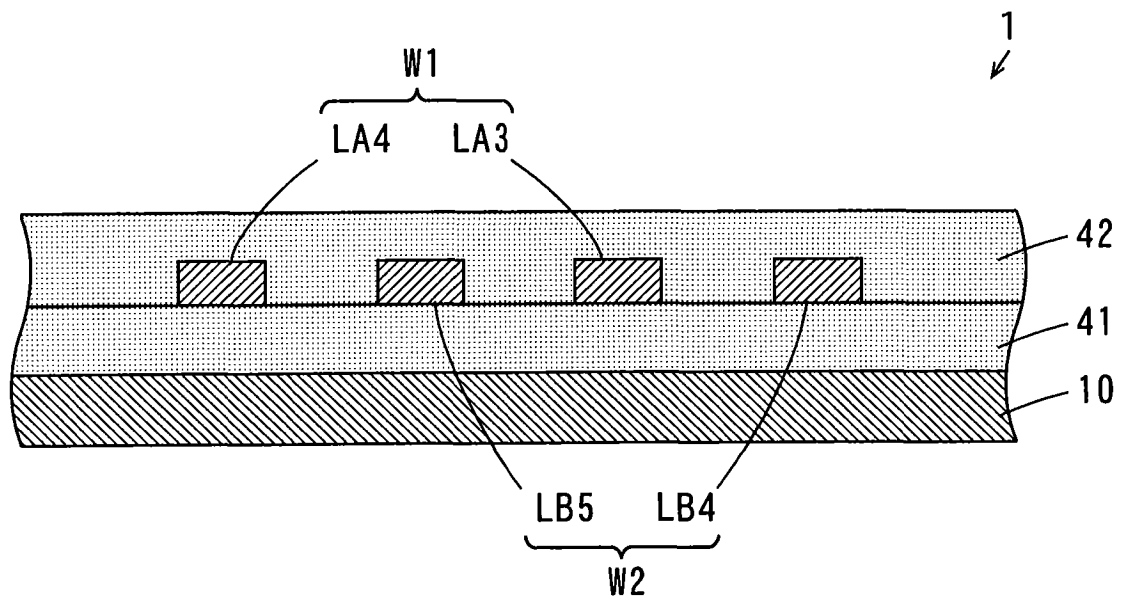


图 3

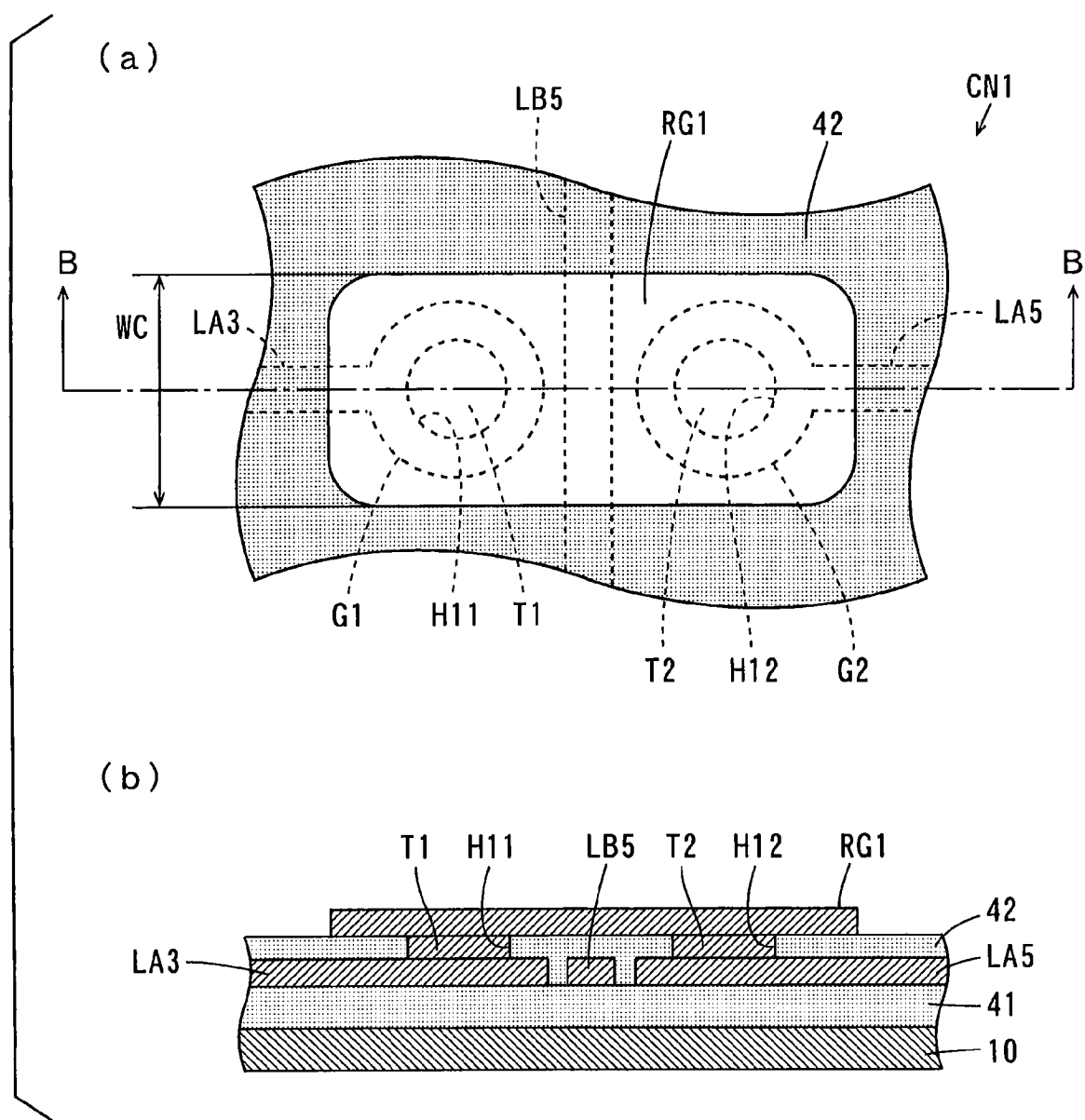


图 4

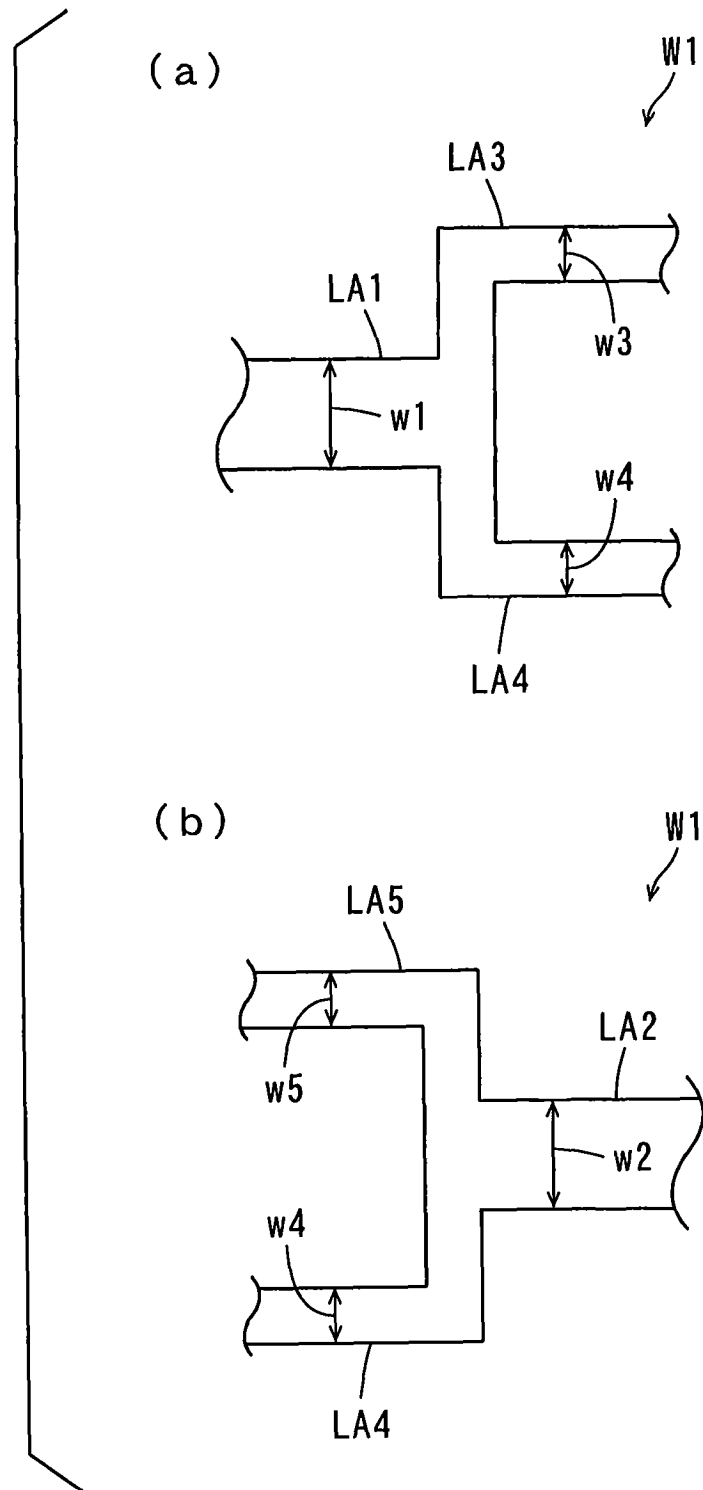


图 5

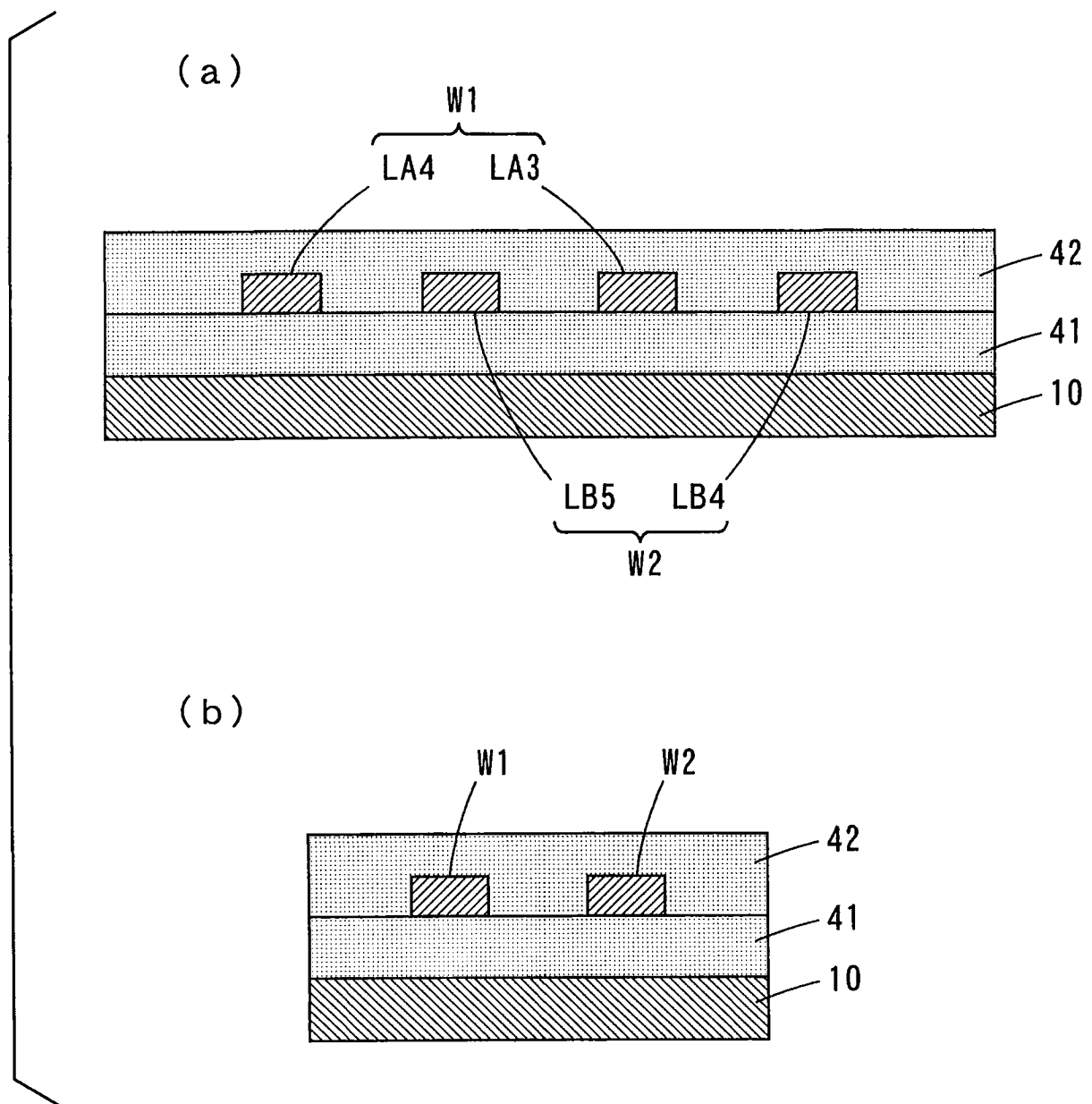
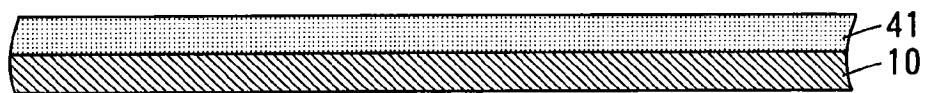


图 6

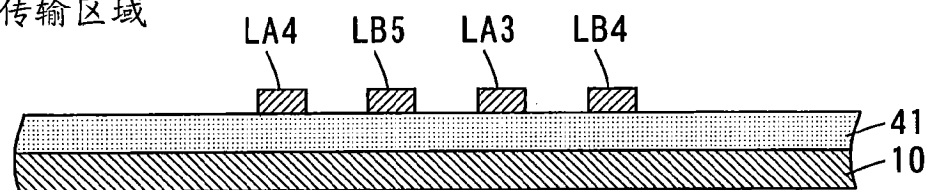
(a) 传输区域



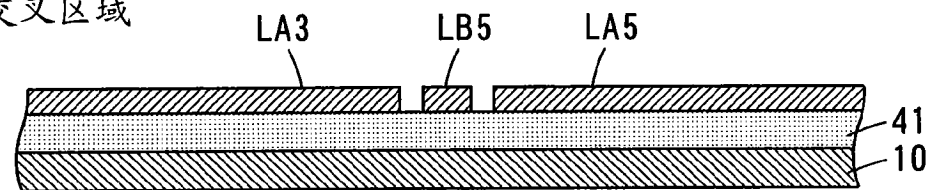
交叉区域



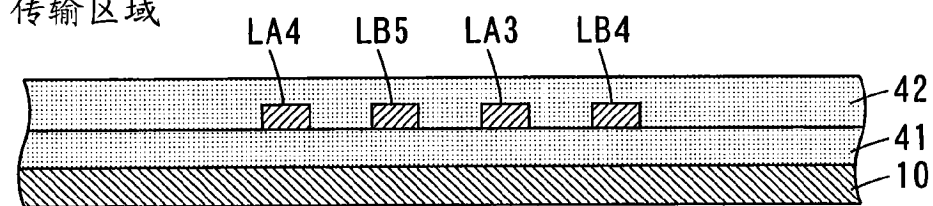
(b) 传输区域



交叉区域



(c) 传输区域



交叉区域

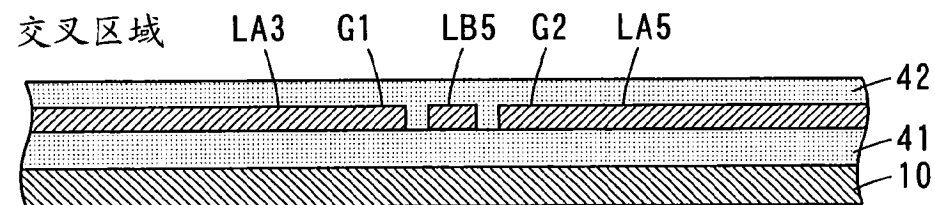
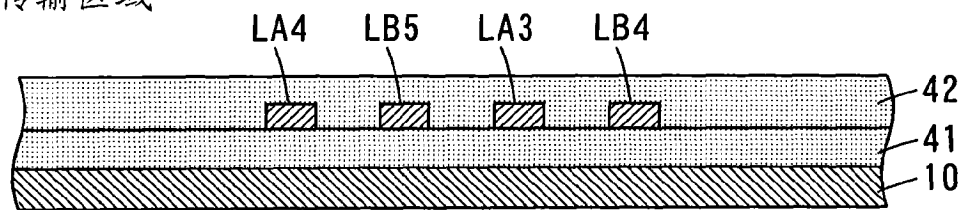
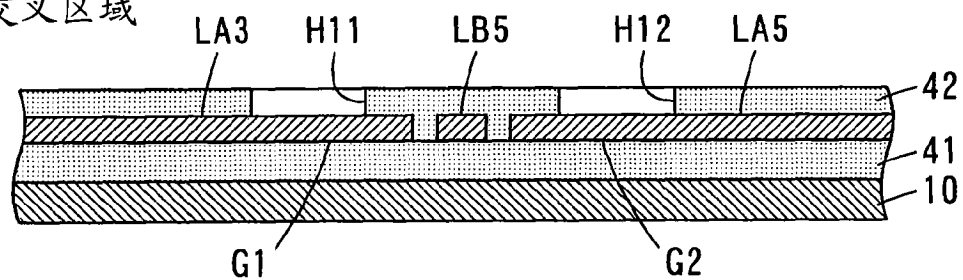


图 7

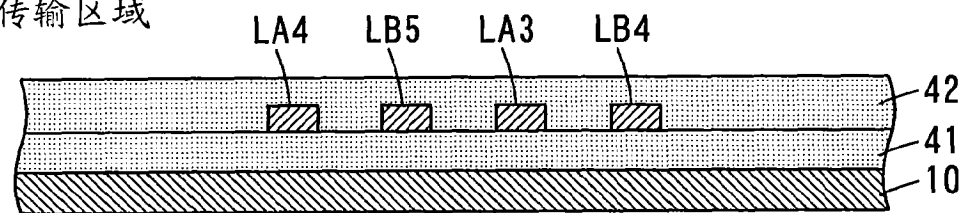
(d) 传输区域



交叉区域



(e) 传输区域



交叉区域

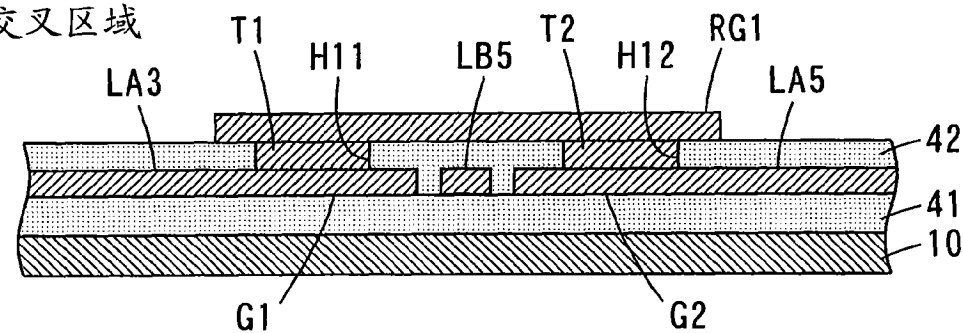


图 8

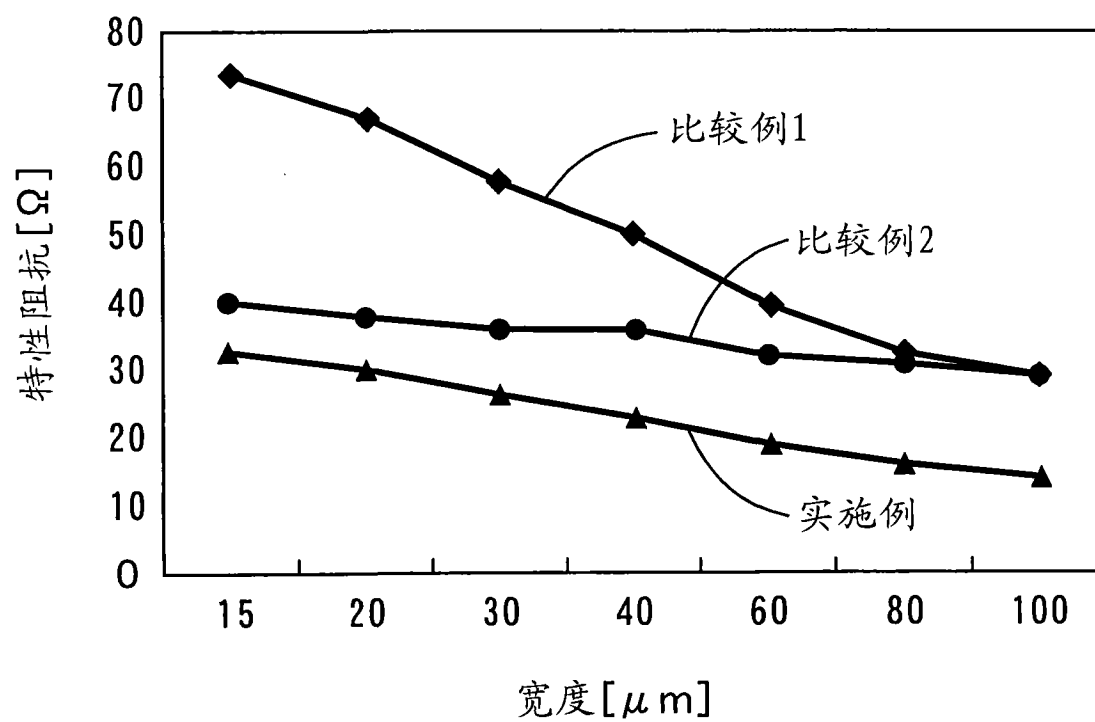


图 9

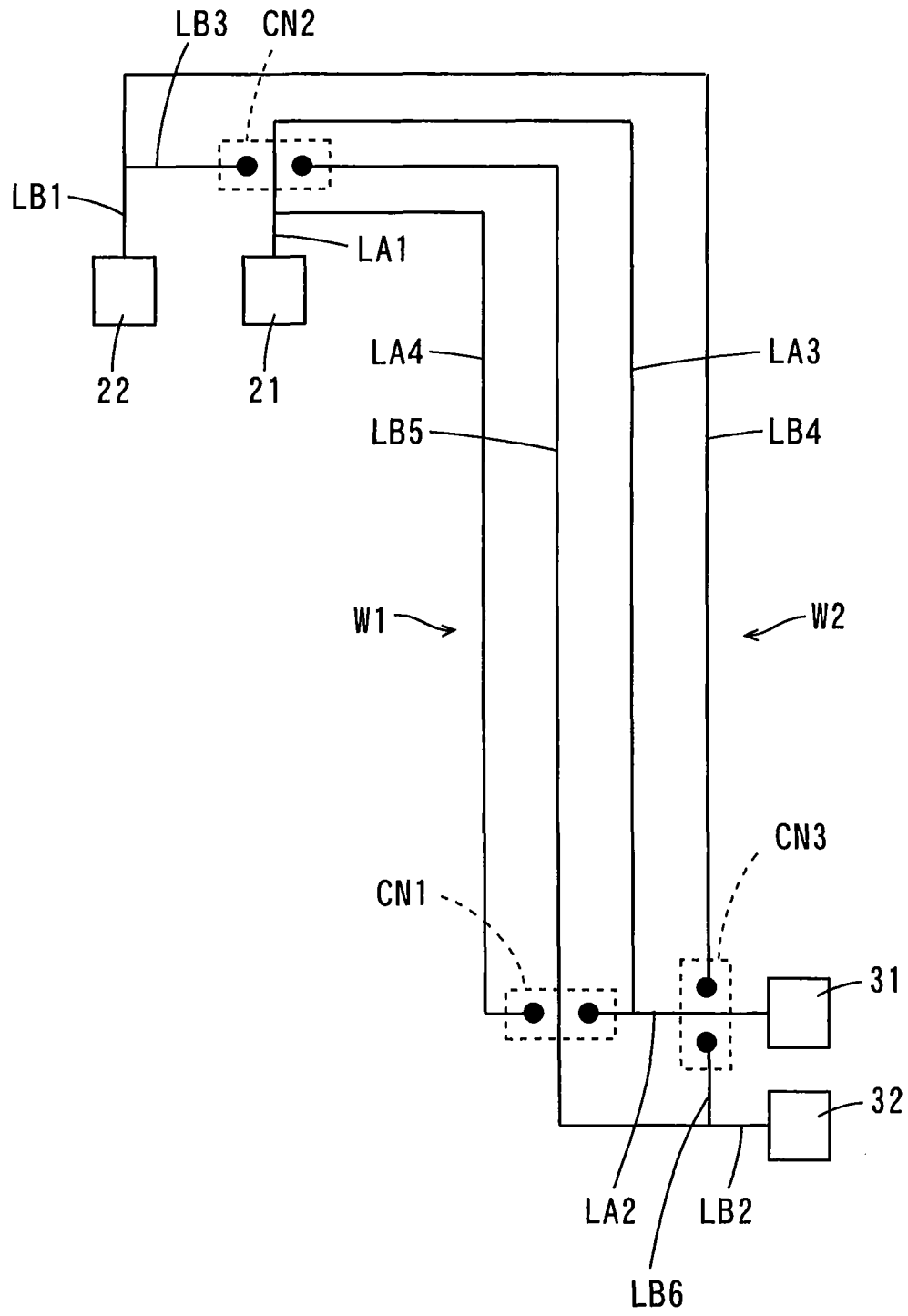


图 10

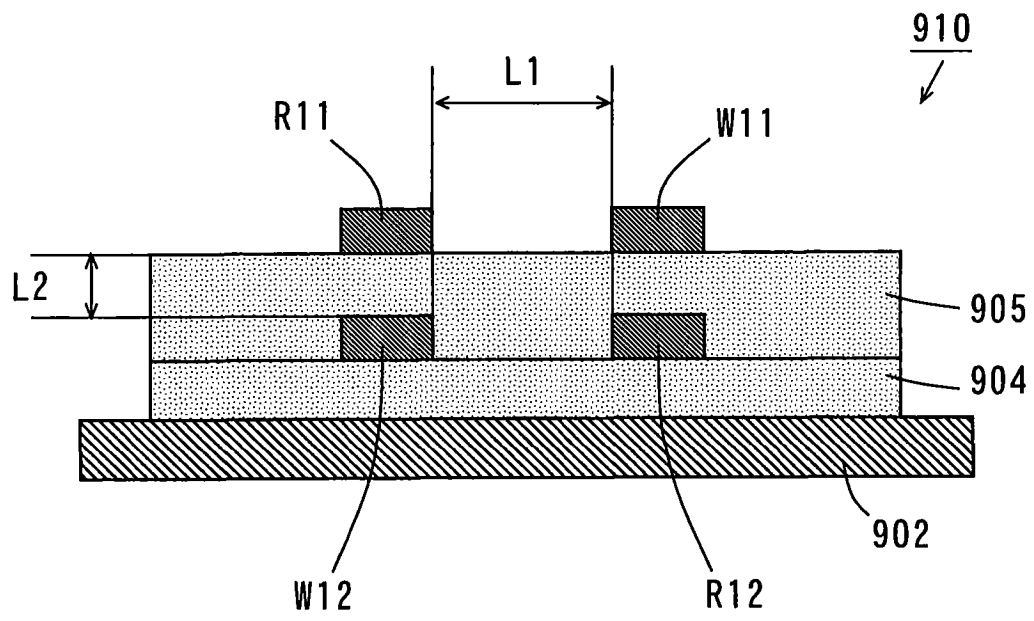


图 11