

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

G09G 3/36 (2006.01)

G09G 3/20 (2006.01)

G02F 1/133 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410042968.7

[45] 授权公告日 2008年3月5日

[11] 授权公告号 CN 100373443C

[22] 申请日 2004.6.4

[21] 申请号 200410042968.7

[73] 专利权人 联咏科技股份有限公司

地址 中国台湾

[72] 发明人 周俊义 邓永佳

[56] 参考文献

CN1422420A 2003.6.4

CN1397926A 2003.2.19

JP11265173A 1999.9.28

JP10340072A 1998.12.22

US6459417B1 2002.10.1

US2001015712A1 2001.8.23

US2002145586A1 2002.10.10

US5856816A 1999.1.5

审查员 吴娟

[74] 专利代理机构 北京中原华和知识产权代理有限公司

代理人 寿宁 张华辉

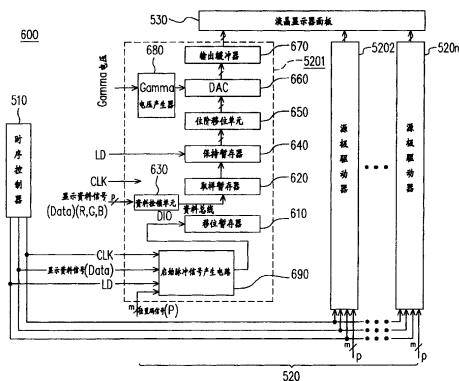
权利要求书5页 说明书15页 附图8页

[54] 发明名称

源极驱动器、源极驱动器阵列、具有此阵列的驱动电路及显示器

[57] 摘要

本发明是关于一种源极驱动器、由此源极驱动器所组成的阵列、具有此阵列的驱动电路及显示器，是属于起始脉冲信号的改良装置。该驱动电路，适用于驱动一显示器的显示面板，其包括：一时序控制器与源极驱动器阵列，源极驱动器阵列包括多源极驱动器，时序控制器与每一源极驱动器连接，并提供一显示时序数据给每一源极驱动器，每一源极驱动器接收对应的一位置码信号，对应于每一源极驱动器的位置码信号按照源极驱动阵列中该多个源极驱动器的驱动顺序而定，并根据位置码信号，作为该显示时序数据中一显示数据信号的数据分配控制的信号，以传送到显示面板。本发明可改善传统平面显示驱动器的最高操作频率受限于起始脉冲信号问题，并可节省传统架构为提高操作频率增加的成本。



1、一种驱动电路,适用于驱动一显示器的一显示面板,其特征在于其包括:

一时序控制器与一源极驱动器阵列,其中该源极驱动器阵列包括多个源极驱动器,该时序控制器与每一该源极驱动器连接,并提供一显示时序数据给每一该源极驱动器,而每一该源极驱动器接收所对应的一位置码信号,对应于每一该源极驱动器的该位置码信号是按照该源极驱动阵列中的该多个源极驱动器的驱动顺序而定,并根据该位置码信号,作为该显示时序数据中的一显示数据信号的数据分配控制的信号,藉以传送到该显示面板。

2、根据权利要求1所述的驱动电路,其特征在于其中所述的显示时序数据包括一操作时脉信号、一水平锁存信号与该显示数据信号。

3、根据权利要求2所述的驱动电路,其特征在于其中所述的操作时脉信号,显示数据信号与水平锁存信号为一种差动电压信号。

4、根据权利要求2所述的驱动电路,其特征在于其中所述的操作时脉信号、显示数据信号与水平锁存信号为一种晶体管-晶体管逻辑电压信号。

5、根据权利要求1所述的驱动电路,其特征在于其中所述的位置码信号具有多数个位元,该位置码信号的位元数是依照该多个源极驱动器的数量而定。

6、根据权利要求1所述的驱动电路,其特征在于其中所述的位置码信号的位元数大于或等于该多个源极驱动器的数量以二进位表示所具有的位元数。

7、根据权利要求1所述的驱动电路,其特征在于其中每一该源极驱动器包括一启始脉冲产生电路,用以接收并根据该位置码信号,产生一启始脉冲信号,作为该显示时序数据中的该显示数据信号的数据分配控制的信号。

8、根据权利要求7所述的驱动电路,其特征在于其中所述的启始脉冲产生电路进一步地接收该显示时序数据,以产生该启始脉冲信号。

9、根据权利要求1所述的驱动电路,其特征在于当对于该源极驱动器阵列中的该源极驱动器所接收的该位置码信号作为该显示时序数据中的显示数据信号的数据分配控制的信号时,产生一源极驱动器编码信号,以作为开始接收该显示时序数据中的该显示数据信号的依据。

10、根据权利要求9所述的驱动电路,其特征在于其中所述的源极驱动器编码信号对于该源极驱动器阵列中的第 x 个该源极驱动器而言,源极驱动器编码信号的值则为 $(x-1)*k$,而经由一计数装置控制计数到该源极驱动器编码信号的值后,开始接收该显示时序数据中的该显示数据信号,

而 k 是定义为该多个源极驱动器所需锁存的数据数。

11、根据权利要求 9 所述的驱动电路，其特征在于其中当该显示时序数据中的该显示数据信号的一条水平线的数据锁存完毕后，此时该时序控制器会将送出一水平锁存信号，将该水平线的数据经数字至模拟转换后输出到该显示器的该显示面板。

12、一种源极驱动器阵列，适用于驱动一显示器的一显示面板，其特征在于：

该源极驱动器阵列包括多个源极驱动器，每一该源极驱动器电连接到一时序控制器，用以接收一显示时序数据，而每一该源极驱动器接收所对应的一位置码信号，对应于每一该源极驱动器的该位置码信号是按照该源极驱动阵列中的该多个源极驱动器的驱动顺序而定，并根据该位置码信号，作为该显示时序数据中的一显示数据信号的数据分配控制的信号，藉以传送到该显示面板。

13、根据权利要求 12 所述的源极驱动器阵列，其特征在于其中所述的显示时序数据包括一操作时脉信号、一水平锁存信号与该显示数据信号。

14、根据权利要求 13 所述的源极驱动器阵列，其特征在于其中所述的操作时脉信号、该显示数据信号与该水平锁存信号为一种差动电压信号。

15、根据权利要求 13 所述的源极驱动器阵列，其特征在于其中所述的操作时脉信号、显示数据信号与水平锁存信号为一种晶体管-晶体管逻辑电压信号。

16、根据权利要求 12 所述的源极驱动器阵列，其特征在于其中所述的位置码信号具有多数个位元，该位置码信号的位元数是依照该多个源极驱动器的数量而定。

17、根据权利要求 12 所述的源极驱动器阵列，其特征在于其中所述的位置码信号的位元数大于或等于该多个源极驱动器的数量以二进位表示所具有的位元数。

18、根据权利要求 12 所述的源极驱动器阵列，其特征在于其中每一该源极驱动器包括一启始脉冲产生电路，用以接收并根据该位置码信号，产生一启始脉冲信号，作为该显示时序数据中的该显示数据信号的数据分配控制的信号。

19、根据权利要求 18 所述的源极驱动器阵列，其特征在于其中所述的启始脉冲产生电路进一步地接收该显示时序数据，以产生该启始脉冲信号。

20、根据权利要求 12 所述的源极驱动器阵列，其特征在于当对于该源极驱动器阵列中的该源极驱动器所接收的该位置码信号作为该显示时序数据中的显示数据信号的数据分配控制的信号时，产生一源极驱动器编码信号，以作为开始接收该显示时序数据中的该显示数据信号的依据。

21、根据权利要求 20 所述的源极驱动器阵列，其特征在于其中所述的源极驱动器编码信号对于该源极驱动器阵列中的第 x 个该源极驱动器而言，源极驱动器编码信号的值则为 $(x-1)*k$ ，而经由一计数装置控制计数该源极驱动器编码信号的值后，开始接收该显示时序数据中的该显示数据信号，而 k 是定义为该多个源极驱动器所需锁存的数据数。

22、根据权利要求 20 所述的源极驱动器阵列，其特征在于其中当该显示时序数据中的该显示数据信号的一条水平线的数据锁存完毕后，此时该时序控制器会将送出一水平锁存信号，将该水平线的数据经数字至模拟转换后输出到该显示器的该显示面板。

23、一种源极驱动器，适用于驱动一显示器的一显示面板，该源极驱动器用以接收由一时序控制器所提供的一显示时序数据，其特征在于：

该源极驱动器包括一起始脉冲产生电路，用以接收一位置码信号，并根据该位置码信号，产生一起始脉冲信号，作为该显示时序数据中的一显示数据信号的数据分配控制的信号。

24、根据权利要求 23 所述的源极驱动器，其特征在于其中对于该源极驱动器所接收的该位置码信号作为该显示时序数据中的显示数据信号的数据分配控制的信号时，是产生一源极驱动器编码信号，作为开始接收该显示时序数据中的该显示数据信号的依据。

25、根据权利要求 24 所述的源极驱动器，其特征在于其中所述的源极驱动器编码信号对于该源极驱动器在一源极驱动器阵列内是属于第 x 个而言，该源极驱动器编码信号的值则为 $(x-1)*k$ ，而经由一计数装置控制计数该源极驱动器编码信号的值后，开始接收该显示时序数据中的该显示数据信号，而 k 是定义为该多个源极驱动器所需锁存的数据数。

26、根据权利要求 25 所述的源极驱动器，其特征在于其中所述的源极驱动器所需锁存的数据数即为该源极驱动器所具有的多个输出通道的数量。

27、根据权利要求 23 所述的源极驱动器，其特征在于其中当该显示时序数据中的该显示数据信号的一条水平线的数据锁存完毕后，此时该时序控制器会将送出一水平锁存信号，将该水平线的数据经数字至模拟转换后输出到该显示器的该显示面板。

28、根据权利要求 23 所述的源极驱动器，其特征在于其中所述的起始脉冲产生电路包括：

一起始码侦测电路，用以接收由该时序控制器所传来的该显示时序数据，并侦测该显示时序数据内的一水平锁存信号是否出现，当侦测到该水平锁存信号后，再侦测该显示时序数据的该显示数据信号是否出现一起始码而据以产生一致能信号；

一同步计数器，电连接到该起始码侦测电路，用以接收该致能信号、以及该水平锁存信号与一操作时脉信号，其中该水平锁存信号使该同步计数器清除为 0，而后根据该致能信号开始计数；

一解码电路，用以接收该位置码信号，并据以产生一源极驱动器编码信号；以及

一数字比较器，电连接到该同步计数器与该解码电路，用以比较该源极驱动器编码信号与该同步计数器内的计数值，若相等时则开始接收该显示时序数据中的该显示数据信号。

29、根据权利要求 28 所述的源极驱动器，其特征在于其中所述的数字比较器比较该源极驱动器编码信号与该同步计数器内的计数值后，若相等时则输出一起始脉冲信号用以使该源极驱动器开始接收该显示时序数据中的该显示数据信号。

30、根据权利要求 28 所述的源极驱动器，其特征在于其中所述的同步计数器为一正缘触发的计数器，当该致能信号从一逻辑低电位转为一逻辑高电位时开始计数。

31、根据权利要求 28 所述的源极驱动器，其特征在于其中所述的同步计数器为一负缘触发的计数器，当该致能信号从一逻辑高电位转为一逻辑低电位时开始计数。

32、一种显示器，具有一显示面板与一种驱动电路，其特征在于其中该驱动电路包括一时序控制器与一源极驱动器阵列，其中该源极驱动器阵列包括多个源极驱动器，该时序控制器与每一该源极驱动器连接，并提供一显示时序数据给每一该源极驱动器，而每一该源极驱动器接收所对应的一位置码信号，对应于每一该源极驱动器的该位置码信号是按照该源极驱动阵列中的该多个源极驱动器的驱动顺序而定，并根据该位置码信号，作为该显示时序数据中的一显示数据信号的数据分配控制的信号，藉以传送到该显示面板。

33、根据权利要求 32 所述的显示器，其特征在于其中所述的显示时序数据包括一操作时脉信号、一水平锁存信号与该显示数据信号。

34、根据权利要求 33 所述的显示器，其特征在于其中所述的操作时脉信号、该显示数据信号与该水平锁存信号为差动电压信号。

35、根据权利要求 33 所述的显示器，其特征在于其中所述的操作时脉信号、该显示数据信号与该水平锁存信号为一种晶体管-晶体管逻辑电压信号。

36、根据权利要求 33 所述的显示器，其特征在于其中所述的位置码信号具有多数个位元，其中该位置码信号的位元数是依照该多个源极驱动器的数量而定。

37、根据权利要求 33 所述的显示器，其特征在于其中所述的位置码信号的位元数大于或等于该多个源极驱动器的数量以二进位表示所具有的位元数。

38、根据权利要求 33 所述的显示器，其特征在于其中每一该源极驱动器包括一启始脉冲产生电路，用以接收并根据该位置码信号，产生一启始脉冲信号，作为该显示时序数据中的该显示数据信号的数据分配控制的信号。

39、根据权利要求 38 所述的显示器，其特征在于其中所述的启始脉冲产生电路进一步地接收该显示时序数据，以产生该启始脉冲信号。

40、根据权利要求 33 所述的显示器，其特征在于当对于该源极驱动器阵列中的该源极驱动器所接收的该位置码信号作为该显示时序数据中的显示数据信号的数据分配控制的信号时，产生一源极驱动器编码信号，以作为开始接收该显示时序数据中的该显示数据信号的依据。

41、根据权利要求 40 所述的显示器，其特征在于其中所述的源极驱动器编码信号对于该源极驱动器阵列中的第 x 个该源极驱动器而言，源极驱动器编码信号的值则为 $(x-1)*k$ ，而经由一计数装置控制计数该源极驱动器编码信号的值后，开始接收该显示时序数据中的该显示数据信号，而 k 是定义为该多个源极驱动器所需锁存的数据数。

42、根据权利要求 40 所述的显示器，其特征在于其中当该显示时序数据中的该显示数据信号的一条水平线的数据锁存完毕后，此时该时序控制器会将送出一水平锁存信号，将该水平线的数据经数字至模拟转换后输出到该显示器的该显示面板。

43、根据权利要求 33 所述的显示器，其特征在于该显示器为一主动驱动显示器。

44、根据权利要求 33 所述的显示器，其特征在于该显示器为一非晶硅薄膜晶体管液晶显示器。

45、根据权利要求 33 所述的显示器，其特征在于该显示器为一低温复晶硅薄膜晶体管液晶显示器。

46、根据权利要求 33 所述的显示器，其特征在于该显示器为一 LcoS 显示驱动器。

47、根据权利要求 33 所述的显示器，其特征在于该显示器为一有机发光二极管显示驱动器。

源极驱动器、源极驱动器阵列、
具有此阵列的驱动电路及显示器

技术领域

本发明涉及一种显示器及其驱动电路,特别是涉及一种源极驱动器、源极驱动器阵列、具有此阵列的驱动电路及显示器。

背景技术

液晶显示器(Liquid Crystal Display,以下简称LCD)具有重量轻、厚度薄、体积小、低辐射和省电的特性,这些特性使其在办公室或家庭中可以节省使用空间,并降低长时间观看对人眼所造成的疲劳感。因此,在所有的平面显示器中,液晶显示器最具有全面取代传统阴极射线管(CRT)的特点。而越来越高的解析度需求,意味着每个画面(Frame)的显示数据量随之增加,因此,平面显示驱动器的操作频率也随之升高。

请参阅图1所示,是一种现有传统的主动式薄膜晶体管(Active Matrix Thin Film Transistor, AMTFT)液晶显示器100的方块示意图。而此液晶显示器100中,包括一个薄膜晶体管液晶显示器面板101、由多个源极驱动器(Source Driver)所组成的源极驱动器阵列(阵列即为数组,以下均称为阵列)102、由多个闸极驱动器(Gate Driver)所组成的闸极驱动器阵列103、一电压供应器104与一时序控制器105。此时序控制器105提供给源极驱动器阵列102内的源极驱动器,以及闸极驱动器阵列103内的闸极驱动器操作时脉CLK(如图示的时脉信号)。而同时,时序控制器105亦送出一垂直同步信号给闸极驱动器阵列103,而另外送出一水平同步信号到源极驱动器阵列102与闸极驱动器阵列103。为方便说明,在图中对于源极驱动器阵列102与闸极驱动器阵列103的控制信号分别称为源极控制信号与闸极控制信号。而欲显示在薄膜晶体管液晶显示器面板101的显示数据,则会先进入时序控制器105后,再由时序控制器105送至源极驱动器阵列102。而源极驱动器阵列102内的源极驱动器取得显示数据后,再配合时序控制器105所提供的水平信号经过数字至模拟转换后,输出一灰阶电压至晶体管液晶显示器面板101,以显示画面。

请参阅图2所示,是在一种传统主动式(Active Matrix)薄膜晶体管液晶显示器中,一种时序控制器210与一种源极驱动器阵列220彼此的连接关系结构示意图。此源极驱动器阵列220包括n个源极驱动器(如图示的2201~220n)。而时序控制器210与每一个源极驱动器2201~220n连接,并

分别提供如图所示的一起始脉冲(Start Pulse)信号 DI01、一操作时脉信号 CLK、一显示数据信号 DATA 与一水平锁存信号 LD 给每个源极驱动器(2201 ~ 220n)。操作时脉信号 CLK、显示数据信号 DATA 与水平锁存信号 LD 是在同一总线(BUS, 总线即为汇流排, 以下均称为总线), 而每个源极驱动器(2201 ~ 220n)皆连接到此总线以接收信号。而起始脉冲信号 DI01 则为点对点(Point to Point)的连接方式, 由操作时脉信号 CLK 进行锁存(Latch), 以作为数据信号 DATA 循序分配的控制信号。当线缓冲器(Line Buffer)数据锁存满了(Data Latch Full)时, 则会送出起始脉冲(Start Pulse)信号 DI02, 以供应下一级源极驱动器使用。利用这种数据串接的方式达到显示画面的扩展。

请参阅图 3 所示, 是一种传统主动式薄膜晶体管液晶显示器的源极驱动器的方块示意图。此源极驱动器 300, 包括有一移位暂存器(Shift Register)310、一取样暂存器(Sample Register)320 连接到一数据锁存单元 330、一保持暂存器(Hold Register)340、一位阶移位单元(Level Shift)350、一数字至模拟转换(Digital-to-Analog Converter, DAC)单元 360 与一输出缓冲器 370。而此数字至模拟转换单元 360 连接到一 Gamma 电压产生装置(Gamma Voltage Generator)380。

此移位暂存器(Shift Register)310接收一外部输入的起始脉冲(Start Pulse)信号 DI01。并采用锁存(Latch)此起始脉冲信号 DI01 作为数据循序分配的控制信号。而显示数据信号 DATA 则经由数据锁存单元 330 与数据总线(Data Bus)传送到取样暂存器 320。并传送到保持暂存器 340。而此保持暂存器 340 并接收水平锁存信号(Latch Signal, 以 LD 表示), 而在经过位阶移位(Level Shift)单元 350 调整显示数据信号的电压位阶之后, 传送到数字至模拟转换单元 360。而 Gamma 电压产生装置 380 接收外部的一 Gamma 电压, 并据以传送到数字至模拟转换单元 360, 并作为调整为类比信号的参考。并接着将调整过后的调整显示数据信号经由输出缓冲器 370 传送到薄膜晶体管液晶显示器的面板。

然而, 此方式的瓶颈在于接收端的起始脉冲信号 DI01 与操作时脉信号 CLK 的行程差, 常导致起始脉冲信号锁存错误, 因而限制最高操作频率, 以目前的技术只有 100MHz 左右。

请参阅图 4 所示, 是一种传统的主动式薄膜晶体管液晶显示器的源极驱动器的时序图。如图所示, 在时间 T1 时, 源极驱动器接收到水平锁存信号(LD)。而后在时间 T2 时, 收到起始脉冲信号 DI01 的输入, 而根据操作时脉 CLK 进行锁存(Latch), 以作为数据循序分配的控制信号。当线缓冲器(Line Buffer)数据锁存满了(Data Latch Full), 会送出一起始脉冲信号 DI02 输出供下一级源极驱动器使用, 如时间 T3。此一级串接一级的架构, 一直到

一条水平线的显示数据完全锁存完毕。此时，时序控制器送出水平锁存信号LD，将线缓冲器(Line Buffer)数据经数字至模拟转换后，输出一灰阶电压至薄膜晶体管液晶显示器的面板。

由此可见，上述现有的源极驱动器、源极驱动器阵列、及具有此阵列的显示器在结构与使用上，显然仍存在有不便与缺陷，而亟待加以进一步改进。

发明内容

本发明的目的在于，克服现有的源极驱动器、源极驱动器阵列、及具有此阵列的显示器存在的缺陷，而提供一种新型结构的源极驱动器、源极驱动器阵列、具有此阵列的驱动电路及显示器，其是属于起始脉冲信号的改良装置，所要解决的技术问题是使其可以改善传统的平面显示驱动器的最高操作频率受限于起始脉冲信号的问题，并且可以节省传统架构为了提高操作频率所增加的成本。如双总线结构(Two Bus Architecture)，从而更加适于实用。

本发明的目的及解决其技术问题是采用以下的技术方案来实现的。依据本发明提出的一种驱动电路，适用于驱动一显示器的一显示面板，其包括：一时序控制器与一源极驱动器阵列，其中该源极驱动器阵列包括多个源极驱动器，该时序控制器与每一该源极驱动器连接，并提供一显示时序数据给每一该源极驱动器，而每一该源极驱动器接收所对应的一位置码信号，对应于每一该源极驱动器的该位置码信号是按照该源极驱动阵列中的该多个源极驱动器的驱动顺序而定，并根据该位置码信号，作为该显示时序数据中的一显示数据信号的数据分配控制的信号，藉以传送到该显示面板。

本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

前述的驱动电路，其中所述的显示时序数据包括一操作时脉信号、一水平锁存信号与该显示数据信号。

前述的驱动电路，其中所述的操作时脉信号，显示数据信号与水平锁存信号为一种差动电压信号(Differential Voltage Signal)。

前述的驱动电路，其中所述的操作时脉信号、显示数据信号与水平锁存信号为一种晶体管-晶体管逻辑(Transistor-Transistor Logic, TTL)电压信号。

前述的驱动电路，其中所述的位置码信号具有多数个位元，该位置码信号的位元数是依照该多个源极驱动器的数量而定。

前述的驱动电路，其中所述的位置码信号的位元数大于或等于该多个源极驱动器的数量以二进位表示所具有的位元数。

前述的驱动电路，其中每一该源极驱动器包括一起始脉冲产生电路，用

以接收并根据该位置码信号,产生一启始脉冲信号,作为该显示时序数据中的该显示数据信号的数据分配控制的信号。

前述的驱动电路,其中所述的启始脉冲产生电路更接收该显示时序数据,以产生该启始脉冲信号。

前述的驱动电路,当对于该源极驱动器阵列中的该源极驱动器所接收的该位置码信号作为该显示时序数据中的显示数据信号的数据分配控制的信号时,产生一源极驱动器编码(POS)信号,以作为开始接收该显示时序数据中的该显示数据信号的依据。

前述的驱动电路,其中所述的源极驱动器编码(POS)信号对于该源极驱动器阵列中的第 x 个该源极驱动器而言,源极驱动器编码(POS)信号的值则为 $(x-1)*k$,而经由一计数装置控制计数到该源极驱动器编码(POS)信号的值后,开始接收该显示时序数据中的该显示数据信号,而 k 是定义为该多个源极驱动器所需锁存(Latch)的数据数。

前述的驱动电路,其中当该显示时序数据中的该显示数据信号的一条水平线的数据锁存完毕后,此时该时序控制器会将送出一水平锁存信号,将该水平线的数据经数字至模拟转换后输出到该显示器的该显示面板。

本发明的目的及解决其技术问题还采用以下的技术方案来实现。依据本发明提出的一种源极驱动器阵列,适用于驱动一显示器的一显示面板,该源极驱动器阵列包括复数个源极驱动器,每一该源极驱动器电连接到一时序控制器,用以接收一显示时序数据,而每一该源极驱动器接收所对应的一位置码信号,对应于每一该源极驱动器的该位置码信号是按照该源极驱动器阵列中的该多个源极驱动器的驱动顺序而定,并根据该位置码信号,作为该显示时序数据中的一显示数据信号的数据分配控制的信号,藉以传送到该显示面板。

本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

前述的源极驱动器阵列,其中所述的显示时序数据包括一操作时脉信号、一水平锁存信号与该显示数据信号。

前述的源极驱动器阵列,其中所述的操作时脉信号、该显示数据信号与该水平锁存信号为一种差动电压信号(Differential Voltage Signal)。

前述的源极驱动器阵列,其中所述操作时脉信号、显示数据信号与水平锁存信号为一种晶体管-晶体管逻辑(Transistor-Transistor Logic, TTL)电压信号。

前述的源极驱动器阵列,其中所述的位置码信号具有多数个位元,该位置码信号的位元数是依照该多个源极驱动器的数量而定。

前述的源极驱动器阵列,其中所述的位置码信号的位元数大于或等于该多个源极驱动器的数量以二进位表示所具有的位元数。

前述的源极驱动器阵列，其中每一该源极驱动器包括一启始脉冲产生电路，用以接收并根据该位置码信号，产生一启始脉冲信号，作为该显示时序数据中的该显示数据信号的数据分配控制的信号。

前述的源极驱动器阵列，其中所述的启始脉冲产生电路更接收该显示时序数据，以产生该启始脉冲信号。

前述的源极驱动器阵列，其中当对于该源极驱动器阵列中的该源极驱动器所接收的该位置码信号作为该显示时序数据中的显示数据信号的数据分配控制的信号时，产生一源极驱动器编码(POS)信号，以作为开始接收该显示时序数据中的该显示数据信号的依据。

前述的源极驱动器阵列，其中所述的源极驱动器编码(POS)信号对于该源极驱动器阵列中的第 x 个该源极驱动器而言，源极驱动器编码(POS)信号的值则为 $(x-1) * k$ ，而经由一计数装置控制计数该源极驱动器编码(POS)信号的值后，开始接收该显示时序数据中的该显示数据信号，而 k 是定义为该多个源极驱动器所需锁存(Latch)的数据数。

前述的源极驱动器阵列，其中当该显示时序数据中的该显示数据信号的一条水平线的数据锁存完毕后，此时该时序控制器会将送出一水平锁存信号，将该水平线的数据经数字至模拟转换后输出到显示器的该显示面板。

本发明的目的及解决其技术问题还采用以下的技术方案来实现。依据本发明提出的一种源极驱动器，适用于驱动一显示器的一显示面板，该源极驱动器用以接收由一时序控制器所提供的一显示时序数据，该源极驱动器包括一启始脉冲产生电路，用以接收一位置码信号，并根据该位置码信号，产生一启始脉冲信号，作为该显示时序数据中的一显示数据信号的数据分配控制的信号。

本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

前述的源极驱动器，其中对于该源极驱动器所接收的该位置码信号作为该显示时序数据中的显示数据信号的数据分配控制的信号时，是产生一源极驱动器编码(POS)信号，作为开始接收该显示时序数据中的该显示数据信号的依据。

前述的源极驱动器，其中所述的源极驱动器编码(POS)信号对于该源极驱动器在一源极驱动器阵列内是属于第 x 个而言，该源极驱动器编码(POS)信号的值则为 $(x-1) * k$ ，而经由一计数装置控制计数该源极驱动器编码(POS)信号的值后，开始接收该显示时序数据中的该显示数据信号，而 k 是定义为该多个源极驱动器所需锁存(Latch)的数据数。

前述的源极驱动器，其中所述的源极驱动器所需锁存(Latch)的数据数即为该源极驱动器所具有的多个输出通道的数量。

前述的源极驱动器，其中当该显示时序数据中的该显示数据信号的一

条水平线的数据锁存完毕后,此时该时序控制器会将送出一水平锁存信号,将该水平线的数据经数字至模拟转换后输出到该显示器的该显示面板。

前述的源极驱动器,其中所述的启始脉冲产生电路包括:一启始码侦测电路,用以接收由该时序控制器所传来的该显示时序数据,并侦测该显示时序数据内的一水平锁存信号是否出现,当侦测到该水平锁存信号后,再侦测该显示时序数据的该显示数据信号是否出现一启始码而据以产生一致能信号;一同步计数器,电连接到该启始码侦测电路,用以接收该致能信号、以及该水平锁存信号与一操作时脉信号,其中该水平锁存信号使该同步计数器清除为0,而后根据该致能信号开始计数;一解码电路,用以接收该位置码信号,并据以产生一源极驱动器编码(POS)信号;以及一数字比较器,电连接到该同步计数器与该解码电路,用以比较该源极驱动器编码(POS)信号与该同步计数器内的计数值,若相等时则开始接收该显示时序数据中的该显示数据信号。

前述的源极驱动器,其中所述的数字比较器比较该源极驱动器编码(POS)信号与该同步计数器内的计数值后,若相等时则输出一启始脉冲(Start Pulse)信号用以使该源极驱动器开始接收该显示时序数据中的该显示数据信号。

前述的源极驱动器,其中所述的同步计数器为一正缘触发的计数器,当该致能信号从一逻辑低电位转为一逻辑高电位时开始计数。

前述的源极驱动器,其中所述的同步计数器为一负缘触发的计数器,当该致能信号从一逻辑高电位转为一逻辑低电位时开始计数。

本发明的目的及解决其技术问题还采用以下技术方案来实现。依据本发明提出的一种显示器,具有一显示面板与一种驱动电路,其中该驱动电路包括一时序控制器与一源极驱动器阵列,其中该源极驱动器阵列包括多个源极驱动器,该时序控制器与每一该源极驱动器连接,并提供一显示时序数据给每一该源极驱动器,而每一该源极驱动器接收所对应的一位置码信号,对应于每一该源极驱动器的该位置码信号是按照该源极驱动阵列中的该多个源极驱动器的驱动顺序而定,并根据该位置码信号,作为该显示时序数据中的一显示数据信号的数据分配控制的信号,藉以传送到该显示面板。

本发明的目的及解决其技术问题还可采用以下技术措施进一步实现。

前述的显示器,其中所述的显示时序数据包括一操作时脉信号、一水平锁存信号与该显示数据信号。

前述的显示器,其中所述的操作时脉信号、该显示数据信号与该水平锁存信号可为差动电压信号(Differential Voltage Signal)。

前述的显示器,其中所述的操作时脉信号、该显示数据信号与该水平锁存信号为一种晶体管-晶体管逻辑(Transistor-Transistor Logic, TTL)

电压信号。

前述的显示器，其中所述的位置码信号具有多数个位元，其中该位置码信号的位元数是依照该多个源极驱动器的数量而定。

前述的显示器，其中所述的位置码信号的位元数大于或等于该多个源极驱动器的数量以二进位表示所具有的位元数。

前述的显示器，其中每一该源极驱动器包括一启始脉冲产生电路，用以接收并根据该位置码信号，产生一启始脉冲信号，作为该显示时序数据中的该显示数据信号的数据分配控制的信号。

前述的显示器，其中所述启始脉冲产生电路更接收该显示时序数据，以产生该启始脉冲信号。

前述的显示器，其中当对于该源极驱动器阵列中的该源极驱动器所接收的该位置码信号作为该显示时序数据中的显示数据信号的数据分配控制的信号时，产生一源极驱动器编码(POS)信号，以作为开始接收该显示时序数据中的该显示数据信号的依据。

前述的显示器，其中所述的源极驱动器编码(POS)信号对于该源极驱动器阵列中的第 x 个该源极驱动器而言，源极驱动器编码(POS)信号的值则为 $(x-1)*k$ ，而经由一计数装置控制计数该源极驱动器编码(POS)信号的值后，开始接收该显示时序数据中的该显示数据信号，而 k 是定义为该多个源极驱动器所需锁存(Latch)的数据数。

前述的显示器，其中当该显示时序数据中的该显示数据信号的一条水平线的数据锁存完毕后，此时该时序控制器会将送出一水平锁存信号，将该水平线的数据经数字至模拟转换后输出到该显示器的该显示面板。

前述的显示器，其中该显示器为一主动驱动显示器。

前述的显示器，其中该显示器为一非晶硅薄膜晶体管(Amorphous Silicon Thin Film Transistor)液晶显示器。

前述的显示器，其中该显示器为一低温复晶硅薄膜晶体管(Low Temperature Polysilicon Thin Film Transistor)液晶显示器。

前述的显示器，其中该显示器为一LcoS(Liquid Crystal on Silicon)显示驱动器。

前述的显示器，其中该显示器为一有机发光二极体显示驱动器(OLED)。

本发明与现有技术相比具有明显的优点和有益效果。由以上技术方案可知，为了达到前述发明目的，本发明的主要技术内容如下：

本发明提供一种源极驱动器，适用于驱动一显示器的一显示面板。此源极驱动器用以接收由一时序控制器所提供的一显示时序数据。此源极驱动器包括一启始脉冲产生电路，用以接收一位置码信号，并根据位置码信号，产生一启始脉冲信号，做为显示时序数据中的一显示数据信号的数据

分配控制的信号。

上述的源极驱动器，在一实施例中，对于源极驱动器所接收的位置码信号做为显示时序数据中的显示数据信号的数据分配控制的信号时，是产生一源极驱动器编码(POS)信号，作为开始接收显示时序数据中的显示数据信号的依据。

上述的源极驱动器，在一实施例中，此源极驱动器编码(POS)信号对于源极驱动器在一源极驱动器阵列内是属于第 x 个而言，源极驱动器编码(POS)信号的值则为 $(x-1) * k$ ，而经由一计数装置控制计数源极驱动器编码(POS)信号的值后，开始接收显示时序数据中的显示数据信号，而 k 是定义为源极驱动器所需锁存(Latch)的数据数。而此源极驱动器所需锁存(Latch)的数据数即为源极驱动器所具有的多个输出通道的数量。

上述的源极驱动器，在一实施例中，当显示时序数据中的显示数据信号的一条水平线的数据锁存完毕后，此时时序控制器会将送出一水平锁存信号，将水平线的数据经数字至模拟转换后输出到显示器的显示面板。

上述的源极驱动器，在一实施例中，其起始脉冲产生电路包括一起始码侦测电路、一同步计数器、一解码电路与一数字比较器。此起始码侦测电路用以接收由时序控制器所传来的显示时序数据，并侦测显示时序数据内的一水平锁存信号是否出现，当侦测到水平锁存信号后，再侦测显示时序数据的该显示数据信号是否出现一起始码而据以产生一致能信号。此同步计数器电连接到起始码侦测电路，用以接收致能信号、以及水平锁存信号与一操作时脉信号，其中水平锁存信号使该同步计数器清除为 0，而后根据致能信号开始计数。而此解码电路用以接收位置码信号，并据以产生一源极驱动器编码(POS)信号。而数字比较器电连接到同步计数器与解码电路，用以比较源极驱动器编码(POS)信号与同步计数器内的计数值，若相等时则开始接收显示时序数据中的显示数据信号。

本发明提供一种源极驱动器阵列，适用于驱动一显示器的一显示面板。此源极驱动器阵列包括多个源极驱动器，每一源极驱动器电连接到一时序控制器，用以接收一显示时序数据。每一源极驱动器接收所对应的一位置码信号，对应于每一源极驱动器的位置码信号是按照源极驱动阵列中的源极驱动器的驱动顺序而定。根据此位置码信号，做为显示时序数据中的一显示数据信号的数据分配控制的信号，藉以传送到显示面板。

本发明提供一种驱动电路，适用于驱动一显示器的一显示面板，包括一时序控制器与一源极驱动器阵列。源极驱动器阵列包括多个源极驱动器。此时序控制器与每一源极驱动器连接，并提供一显示时序数据给每一源极驱动器。每一源极驱动器接收所对应的一位置码信号，对应于每一源极驱动器的位置码信号是按照源极驱动阵列中的源极驱动器的驱动顺序而定，

并根据位置码信号，做为显示时序数据中的一显示数据信号的数据分配控制的信号，藉以传送到显示面板。

上述的源极驱动器阵列中，其中每一源极驱动器包括一启始脉冲产生电路，用以接收并根据位置码信号，产生一启始脉冲信号，做为显示时序数据中的显示数据信号的数据分配控制的信号。

本发明提供一种显示器，具有一显示面板与一种驱动电路，其中驱动电路包括一时序控制器与一源极驱动器阵列。此源极驱动器阵列包括多个源极驱动器。此时序控制器与每一源极驱动器连接，并提供一显示时序数据给每一源极驱动器，而每一源极驱动器接收所对应的一位置码信号，对应于每一源极驱动器的位置码信号是按照源极驱动阵列中的源极驱动器的驱动顺序而定，并根据位置码信号，做为显示时序数据中的一显示数据信号的数据分配控制的信号，藉以传送到显示面板。

上述的显示器，是为一主动驱动显示器。而在一实施例中，此显示器可为一非晶硅薄膜晶体管 (Amorphous Silicon Thin Film Transistor) 液晶显示器、一低温复晶硅薄膜晶体管 (Low Temperature Polysilicon Thin Film Transistor) 液晶显示器、一 LcoS (Liquid Crystal on Silicon) 显示驱动器或一有机发光二极体显示驱动器 (OLED)。

借由上述技术方案，本发明至少具有下列优点：本发明特殊结构的源极驱动器、源极驱动器阵列、具有此阵列的驱动电路及显示器，是属于启始脉冲信号的改良装置，其可改善现有传统的平面显示驱动器的最高操作频率受限于启始脉冲信号的问题，并且可以节省传统架构为了提高操作频率所增加的成本，如双总线结构 (Two Bus Architecture)。

综上所述，本发明源极驱动器、源极驱动器阵列、具有此阵列的驱动电路及显示器，具有上述诸多的优点及实用价值，并在同类产品中未见有类似的结构设计公开发表或使用而确属创新，其不论在产品结构或功能上皆有较大改进，在技术上有较大进步，并产生了好用及实用的效果，从而更加适于实用，而具有产业的广泛利用价值。

上述说明仅是本发明技术方案的概述，为了能够更清楚了解本发明的技术手段，并可依照说明书的内容予以实施，并且为了让本发明的上述和其他目的、特征和优点能更明显易懂，下文特举较佳实施例，并配合所附图式，作详细说明如下。

附图说明

图 1 是一种传统的主动式薄膜晶体管 (AMTFT) 液晶显示器的方块示意图。

图 2 是在一种传统主动式薄膜晶体管液晶显示器中，时序控制器与源极

驱动器阵列彼此的连接关系示意图。

图 3 是一种传统主动式薄膜晶体管液晶显示器的源极驱动器的方块示意图。

图 4 是一种传统的主动式薄膜晶体管液晶显示器的源极驱动器的时序图。

图 5 是本发明一较佳实施例的一种主动式薄膜晶体管液晶显示器的时序控制器与源极驱动器阵列彼此的连接关系示意图。

图 6 是本发明一实施例的一种主动式薄膜晶体管液晶显示器 (AMTFT LCD)，包括一时序控制器与一源极驱动器阵列与一液晶显示器面板。

图 7 是本发明一较佳实施例的源极驱动器内的启始脉冲产生电路的电路方块示意图。

图 8 是图 7 中的启始脉冲产生电路的信号时序图。

- | | |
|---|-----------------------|
| 100: 主动式薄膜晶体管液晶显示器 | 102: 源极驱动器阵列 |
| 101: 薄膜晶体管液晶显示器面板 | 103: 闸极驱动器阵列 |
| 104: 电压供应器 | 105: 时序控制器 |
| 210: 序控制器 | 220: 源极驱动器阵列 |
| 2201 ~ 220n: 源极驱动器 | DI01、DI02: 启始脉冲信号 |
| CLK: 操作时脉信号 | DATA: 显示数据信号 |
| LD: 水平锁存信号 | 300: 源极驱动器 |
| 310: 移位暂存器 (Shift Register) | 330: 数据锁存单元 |
| 320: 取样暂存器 (Sample Register) | 360: 数字至模拟转换 (DAC) 单元 |
| 340: 保持暂存器 (Hold Register) | 370: 输出缓冲器 |
| 350: 位阶移位单元 (Level Shift) | 380: Gamma 电压产生装置 |
| 510: 时序控制器 | 520: 源极驱动器阵列 |
| 5201 ~ 520n: 源极驱动器 | 530: 液晶显示器面板 |
| 600: 主动式薄膜晶体管液晶显示器 (AMTFT LCD) | |
| 610: 移位暂存器 (Shift Register) | 630: 数据锁存单元 |
| 620: 取样暂存器 (Sample Register) | 670: 输出缓冲器 |
| 640: 保持暂存器 (Hold Register) | 690: 启始脉冲产生电路 |
| 650: 位阶移位单元 (Level Shift) | 700: 启始脉冲产生电路 |
| 660: 数字至模拟转换 (DAC) 单元 | 710: 启始码侦测电路 |
| 680: Gamma 电压产生装置 (Gamma Voltage Generator) | |
| DI0: 启始脉冲 (Start Pulse) 信号 | 720: 同步计数器 |
| 730: 数字比较器 | 740: 解码电路 |

具体实施方式

为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的源极驱动器、源极驱动器阵列、具有此阵列的驱动电路及显示器其具体实施方式、结构、特征及其功效,详细说明如后。

为方便说明,以下的液晶显示器(LCD)是以主动式薄膜晶体管液晶显示器(Active Matrix Thin Film Transistor LCD, AMTFT LCD)说明,然而熟习此艺者皆知,本发明是关于一种显示器的驱动电路,因此,适用于任何类型的显示器,包括非晶硅薄膜晶体管(Amorphous Silicon Thin Film Transistor)液晶显示器、低温复晶硅薄膜晶体管(Low Temperature Polysilicon Thin Film Transistor)液晶显示器、LcoS (Liquid Crystal on Silicon)显示驱动器、与有机发光二极体显示驱动器(OLED)等等,皆属于本发明的范畴。

请参阅图 5 所示,是本发明一较佳实施例的一种液晶显示器(Liquid Crystal Display,以下简称LCD)的时序控制器 510 与源极驱动器阵列 520 彼此的连接关系示意图。此源极驱动器阵列 520 包括 n 个源极驱动器(如图示的 5201 ~ 520n)。而时序控制器 510 与每一个源极驱动器 5201 ~ 520n 连接,并分别提供如图所示的一操作时脉信号 CLK、一例如具有 P 位元的显示数据信号 DATA 与一水平锁存信号 LD 给每个源极驱动器(5201 ~ 520n)。操作时脉信号 CLK、显示数据信号 DATA 与水平锁存信号 LD 是在同一总线(BUS),而每个源极驱动器(5201 ~ 520n)皆连接到此总线以接收信号。而在一实施例中,这些操作时脉信号 CLK、显示数据信号 DATA 与水平锁存信号 LD 可为一种差动电压信号(Differential Voltage Signal),或是一种晶体管-晶体管逻辑(Transistor-Transistor Logic, TTL)电压信号。而每一个源极驱动器(如图示的 5201 ~ 520n)皆有多数个输出通道,以输出至液晶显示器面板。

本实施例与图 3 所示的传统架构不同之处在于,此时序控制器 510 仅送出操作时脉信号 CLK、显示数据信号 DATA 与水平锁存信号 LD 给每个源极驱动器(5201 ~ 520n),但是却未送出所谓的启始脉冲(Start Pulse)信号 DI01。而每个源极驱动器(5201 ~ 520n)也不需送出启始脉冲(Start Pulse)信号 DI02 以提供下一级源极驱动器使用。除此之外,本实施例与图 3 所示的传统架构不同之处更包括增加了一个具有例如 m 位元的位置码信号 P 输入。

此位置码信号 P 的位元数是依照所需要定义的源极驱动器(5201 ~ 520n)的数量而定。在本实施例中,因为需要 n 个源极驱动器,因此,位置码信号 P 的位元数必须大于能以二进位表示 n 的数。而每一个源极驱动器(5201 ~ 520n)所接收的位置码信号 P 是根据源极驱动器阵列 520 中,所设计

的源极驱动器驱动排列顺序而定，而由这些 m 位元加以定义。如图示中的源极驱动器 5201，其所接收的位置码信号 P ，则为以十进位表示的 0，而源极驱动器 5202，其所接收的位置码信号 P ，则为以十进位表示的 1，依照源极驱动器驱动的排列由左而右类推，因此源极驱动器 520 n ，其所接收的位置码信号 P ，则为以十进位表示的 $n-1$ 。然而，上述的位置码信号 P 设计仅是本发明的一实施例。

在另外的设计中，可根据所要驱动的源极驱动器阵列 520 的源极驱动器 (5201 ~ 520 n) 的一既定排列顺序而调整位置码信号 P 。此特征是习知的一级接着一级的源极驱动器阵列，并由上一级的源极驱动器传送下一级源极驱动器一启始脉冲 DIO 所不可能达到的效果。而本实施例所提到的既定排列顺序，例如，可针对源极驱动器阵列 520 内的 n 个源极驱动器，先驱动排列顺序为奇数的源极驱动器，而后再驱动偶数的源极驱动器，此根据本发明的实施例的设计，是可行的设计。

请参阅图 6 所示，是本发明一实施例的一种主动式薄膜晶体管液晶显示器 (AMTFT LCD) 600，包括一时序控制器 510 与一源极驱动器阵列 520 与一液晶显示器面板 530。此源极驱动器阵列 520 包括 n 个源极驱动器 (如图示的 5201 ~ 520 n)。为详细说明本发明一实施例的源极驱动器，在此仅针对图示源极驱动器阵列 520 的源极驱动器 5201 的电路方块图说明，然而其他的源极驱动器 (如图示的 5202 ~ 520 n) 皆具有相同的架构。

此源极驱动器 5201，包括一移位暂存器 (Shift Register) 610、一取样暂存器 (Sample Register) 620 连接到一数据锁存单元 630、一保持暂存器 (Hold Register) 640、一位阶移位单元 (Level Shift) 650、一数字至模拟转换 (Digital-to-Analog Converter, DAC) 单元 660、一输出缓冲器 670、与一启始脉冲产生电路 690。而此数字至模拟转换单元 660 连接到一 Gamma 电压产生装置 (Gamma Voltage Generator) 680。

此移位暂存器 (Shift Register) 610 接收启始脉冲产生电路 690 所产生的启始脉冲 (Start Pulse) 信号 DIO ，用以锁存 (Latch) 此启始脉冲信号 $DIO1$ 作为数据循序分配的控制信号。而显示数据信号 $DATA$ 则经由数据锁存单元 630 与数据总线 (Data Bus) 传送到取样暂存器 620，并传送到储存暂存器 640。而此保持暂存器 640 并接收水平锁存信号 (Latch Signal, 以 LD 表示)，而在经过位阶移位单元 650 调整显示数据信号的电压位阶之后，传送到数字至模拟转换 (DAC) 单元 660。而 Gamma 电压产生装置 680 接收外部的一 Gamma 电压，并据以传送到数字至模拟转换 (DAC) 单元 660，并作为调整为类比信号的参考。并接着将调整过后的调整显示数据信号经由输出缓冲器 670 传送到薄膜晶体管液晶显示器的面板 530。

请参阅图 7 所示，是本发明的一较佳实施例的源极驱动器内的启始脉

冲产生电路的电路方块示意图。此起始脉冲产生电路 700，例如包括一起始码侦测电路 710、一同步计数器 720、一数字比较器 730 以及一解码电路 740。其中起始码侦测电路 710 用以接收由时序控制器 510 所传来的操作时脉信号 CLK、显示数据信号 DATA 与水平锁存信号 LD。而后根据这些信号产生一致能信号 (Enable Signal, 如图所示的“EN”), 并传送到与其相连接的同步计数器 720, 以供同步计数器 720 开始计数。而此同步计数器 720 亦接收水平锁存信号 LD 与操作时脉信号 CLK。

起始码侦测电路 710 与同步计数器 720 的操作例如, 在起始时, 起始码侦测电路 710 接收到水平锁存信号 LD 后, 开始侦测显示数据信号 DATA 是否出现一起始码 (S_code), 而此 LD 信号亦同时将同步计数器 720 清除为 0。当起始码侦测电路 710 侦测到显示数据信号 DATA 的起始码 (S_code) 后, 起始码侦测电路 710 即据以产生致能信号 EN 供同步计数器 720 开始计数。在一实施例中, 此同步计数器 720 可为一正缘触发, 当然, 熟习此艺的人士亦了解可改为一负缘触发。而此同步计数器 720 的计数结果 CNT 则传送到数字比较器 730。

而解码电路 740 接收一具有多位元, 例如 m 位元的位置码信号 P, 并据以产生一源极驱动器编码 (POS) 信号, 并传给数字比较器 730。由于源极驱动器阵列具有多数个源极驱动器, 例如图 6 所示的源极驱动器阵列 520, 具有 n 个源极驱动器 5201 ~ 520n, 因此, 此位置码信号 P 是根据每一个源极驱动器在源极驱动器阵列的位置而定。例如, 源极驱动器阵列内的第一个源极驱动器, 其所定义的位置码信号 P 则为以十进位表示的 0。依照源极驱动器驱动的排列顺序, 分别定义每个源极驱动器所接收的位置码信号 P。当然, 如前所述, 再另外一实施例中可依照一既定排列顺序而调整位置码信号 P 值。

以第一个源极驱动器, 及其所定义的位置码信号 P 是 0 为例说明。当接收到位置码信号 P 为 0 时, 会传送源极驱动器编码 (POS) 信号 0 到数字比较器 730。而后, 当同步计数器 720 的计数结果 CNT 为 0 时, 送出起始脉冲 (Start Pulse) 信号 DIO 给移位暂存器。而例如对于第二个源极驱动器, 及其所定义的位置码信号 P 为 1, 因此, 源极驱动器编码 (POS) 信号为 k。当同步计数器 720 的计数结果 CNT 为 k 时, 送出起始脉冲 (Start Pulse) 信号 DIO 给移位暂存器。依此类推, 当对于第 x 个源极驱动器, 及其所定义的位置码信号 P 为 x, 因此, 源极驱动器编码 (POS) 信号为 $x*k$, 也就是 x 乘以 k。当同步计数器 720 的计数结果 CNT 为 $x*k$ 时, 送出起始脉冲 (Start Pulse) 信号 DIO 给移位暂存器。而 k 在此定义为每一个源极驱动器所需锁存 (Latch) 的数据数, 也就是每个源极驱动器所具有的输出通道数。当一条水平线的数据完全锁存完毕后, 此时时序控制器 510 送出水平锁存信号 LD, 将例如一线

缓冲器 (Line Buffer) 的数据经数字至模拟转换后, 输出一灰阶电压至液晶显示器面板。

请参阅图 8 所示, 是图 7 中起始脉冲产生电路的信号时序图, 以下配合图 7 进行说明。在起始时, 起始码检测电路 710 在时间 T_0 时接收到水平锁存信号 LD, 即开始检测显示数据信号 DATA 是否出现一起始码 (S_code), 而此 LD 信号亦同时将同步计数器 720 清除为 0。此起始码 (S_code) 的设计根据不同类型的显示器, 有不同的设定, 通常在水平锁存信号 LD 开始后数个时脉信号的周期后会发出。

当该起始码检测电路 710 检测到显示数据信号 DATA 的起始码 (S_code) 时, 如图示的时间 T_1 , 起始码检测电路 710 即据以产生致能信号 EN 供同步计数器 720 开始计数, 如图示的致能信号 EN 从逻辑低电位转为逻辑高电位。在此实施例中, 此同步计数器 720 为一正缘触发, 当然, 若是此同步计数器 720 为一负缘触发, 则可将致能信号 EN 在检测到显示数据信号 DATA 的起始码 (S_code) 后, 从逻辑高电位转为逻辑低电位, 以触发此同步计数器 720。

同步计数器 720 的计数结果 CNT 则传送到数字比较器 730。以第一个源极驱动器, 及其所定义的位置码信号 P 是 0 为例说明。因为位置码信号 P 为 0, 因此会传送源极驱动器编码 (POS) 信号 0 到数字比较器 730。而后, 当同步计数器 720 的计数结果 CNT 为 0 时, 送出起始脉冲 (Start Pulse) 信号 DIO(1) 给移位暂存器。而例如对于第二个源极驱动器, 及其所定义的位置码信号 P 为 1, 因此, 源极驱动器编码 (POS) 信号为 k。当同步计数器 720 的计数结果 CNT 为 k 时, 也就是如图示的时间 T_2 , 送出起始脉冲 (Start Pulse) 信号 DIO(2) 给第二个源极驱动器的移位暂存器。而在时间 T_3 时, 送出起始脉冲 (Start Pulse) 信号 DIO(3) 给第三个源极驱动器的移位暂存器。依此类推, 当对于第 x 个源极驱动器, 及其所定义的位置码信号 P 为 x, 因此, 源极驱动器编码 (POS) 信号为 $(x-1)*k$, 也就是 x 乘以 k。当同步计数器 720 的计数结果 CNT 为 $(x-1)*k$ 时, 送出起始脉冲 (Start Pulse) 信号 DIO 给移位暂存器。而 k 在此定义为每一个源极驱动器所需锁存 (Latch) 的数据数, 也就是每个源极驱动器所具有的输出通道数。当一条水平线的数据完全锁存完毕后, 此时时序控制器 510 送出水平锁存信号 LD, 将例如图 7 缓冲器 (Line Buffer) 的数据经数字至模拟转换后, 输出一灰阶电压至液晶显示器面板。

本发明的平面显示器的驱动电路, 可改良现存平面显示器驱动电路的最高操作频率受限于起始脉冲 (Start Pulse) 输入信号与时脉信号的行程差的缺点, 并至少具备以下特点。首先, 本发明的平面显示器的驱动电路相较于传统的驱动电路, 具有较高的操作频率较高。另外, 本发明的驱动电

路不需启始脉冲 (Start Pulse) 信号 DI01 的输入。取而代之的，是需依照数据锁存顺序，给定各个每一个源极驱动器特定的位置码信号 P。因此，可提供一种启始脉冲信号的改良结构，以改善传统平面显示驱动器的最高操作频率受限于启始脉冲信号的问题，并且可节省传统架构为了提高操作频率所增加的成本。

以上所述，仅是本发明的较佳实施例而已，并非对本发明作任何形式上的限制，虽然本发明已以较佳实施例揭露如上，然而并非用以限定本发明，任何熟悉本专业的技术人员，在不脱离本发明技术方案范围内，当可利用上述揭示的结构及技术内容作出些许的更动或修饰为等同变化的等效实施例，但是凡是未脱离本发明技术方案的内容，依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰，均仍属于本发明技术方案的范围内。

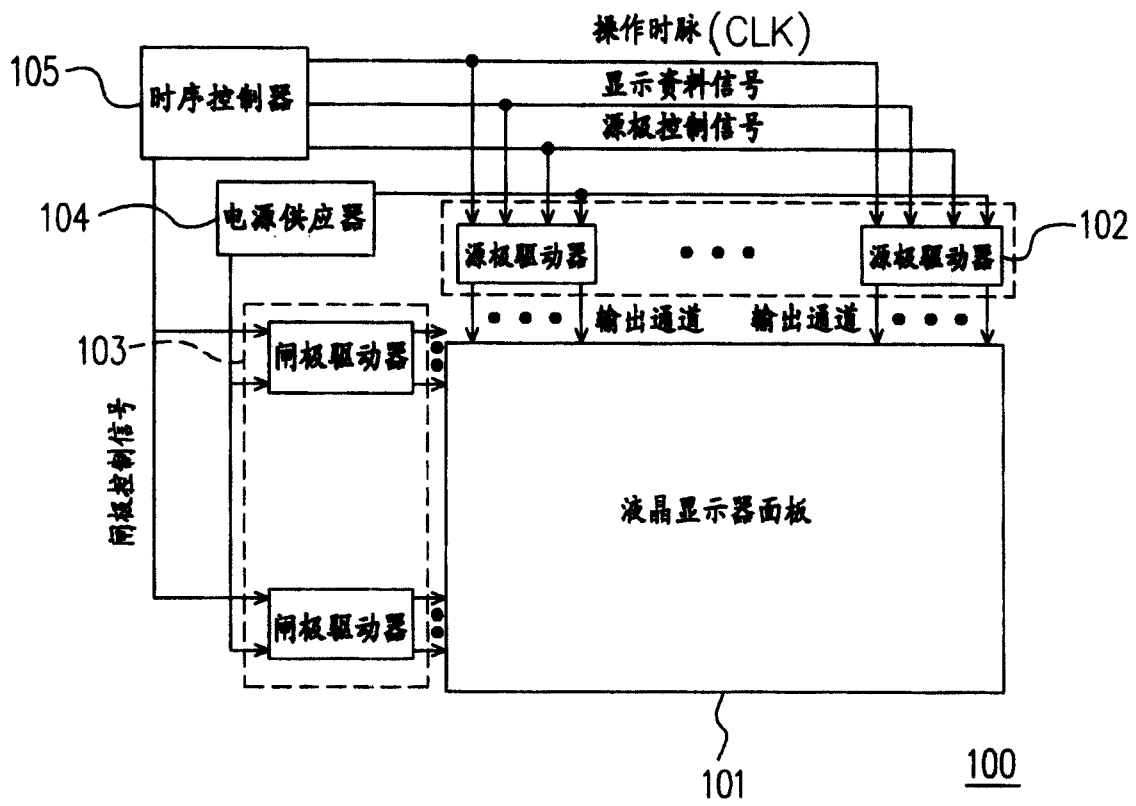


图 1

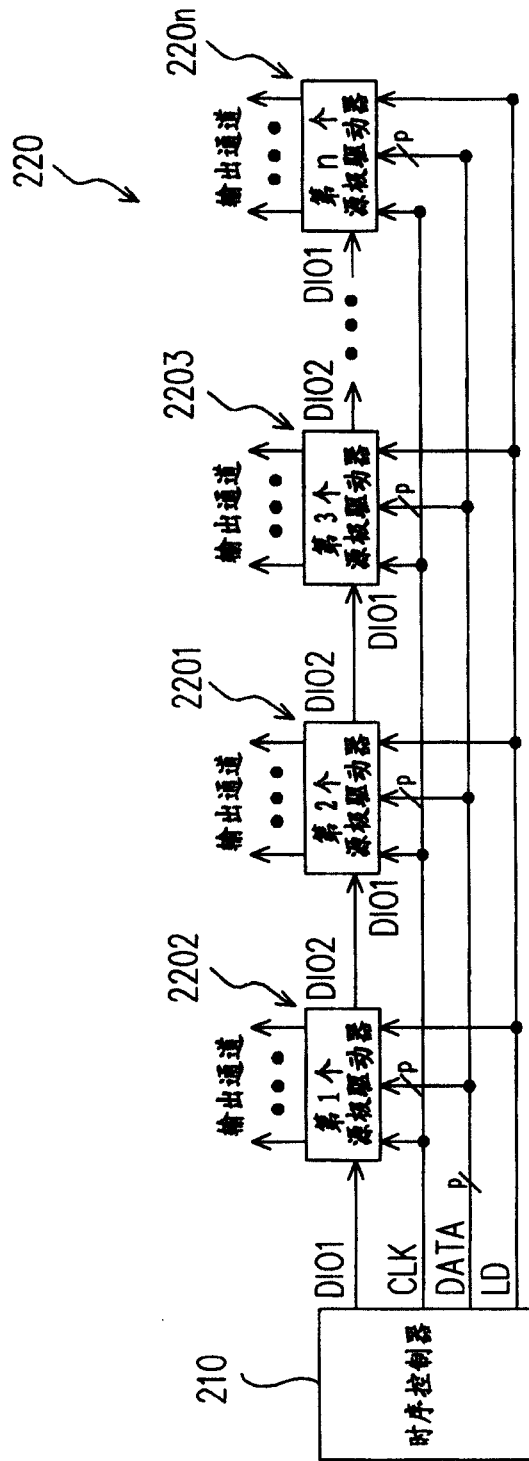


图 2

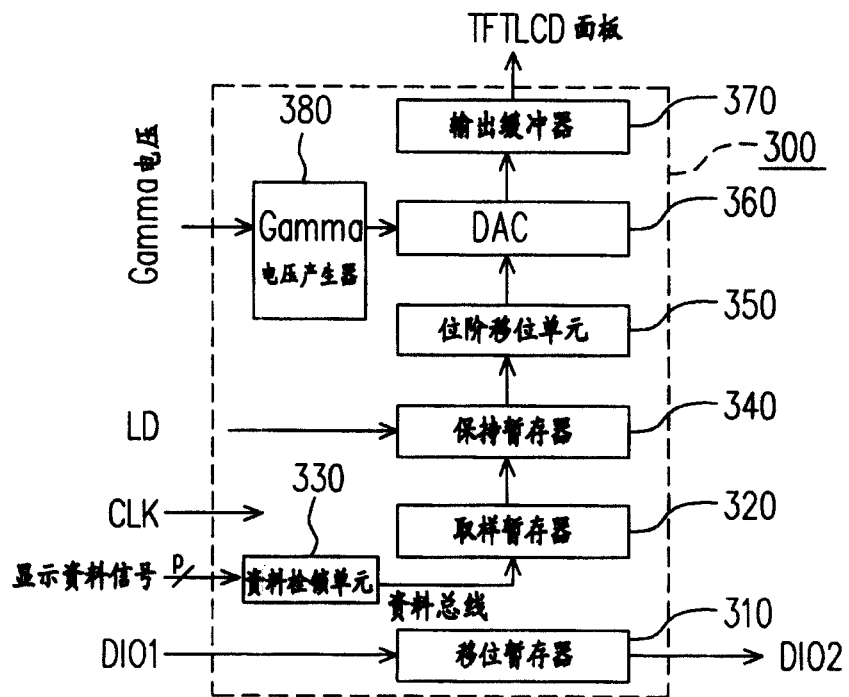


图 3

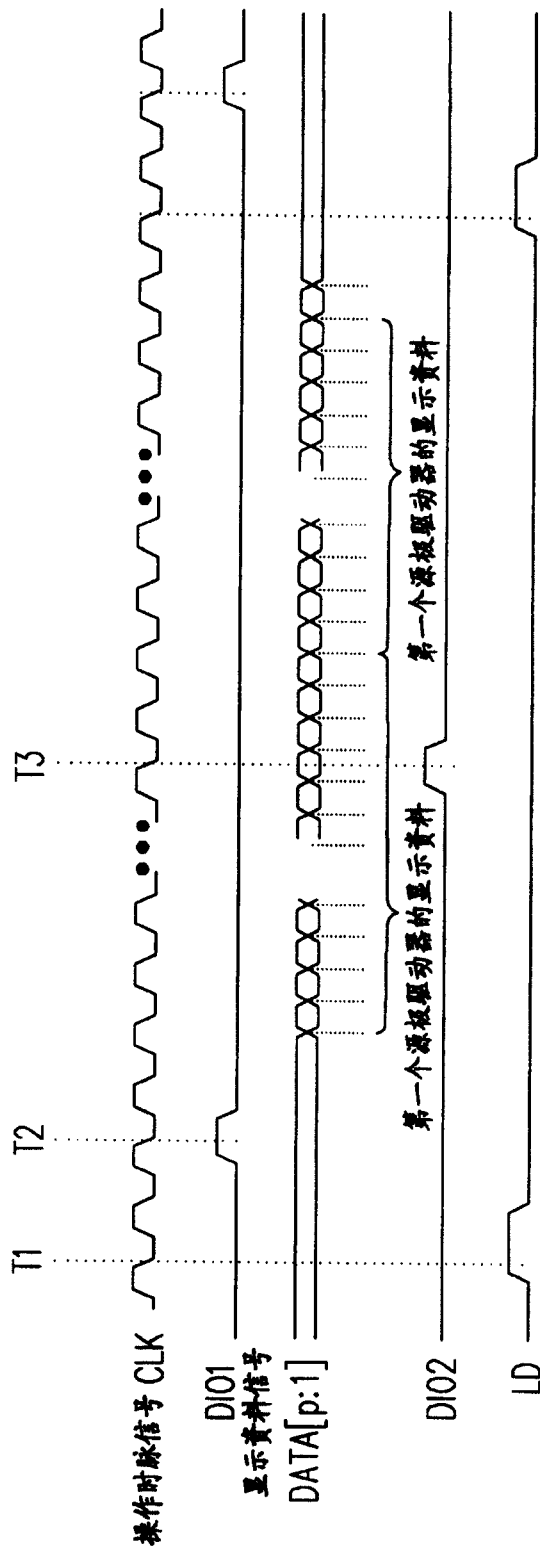


图 4

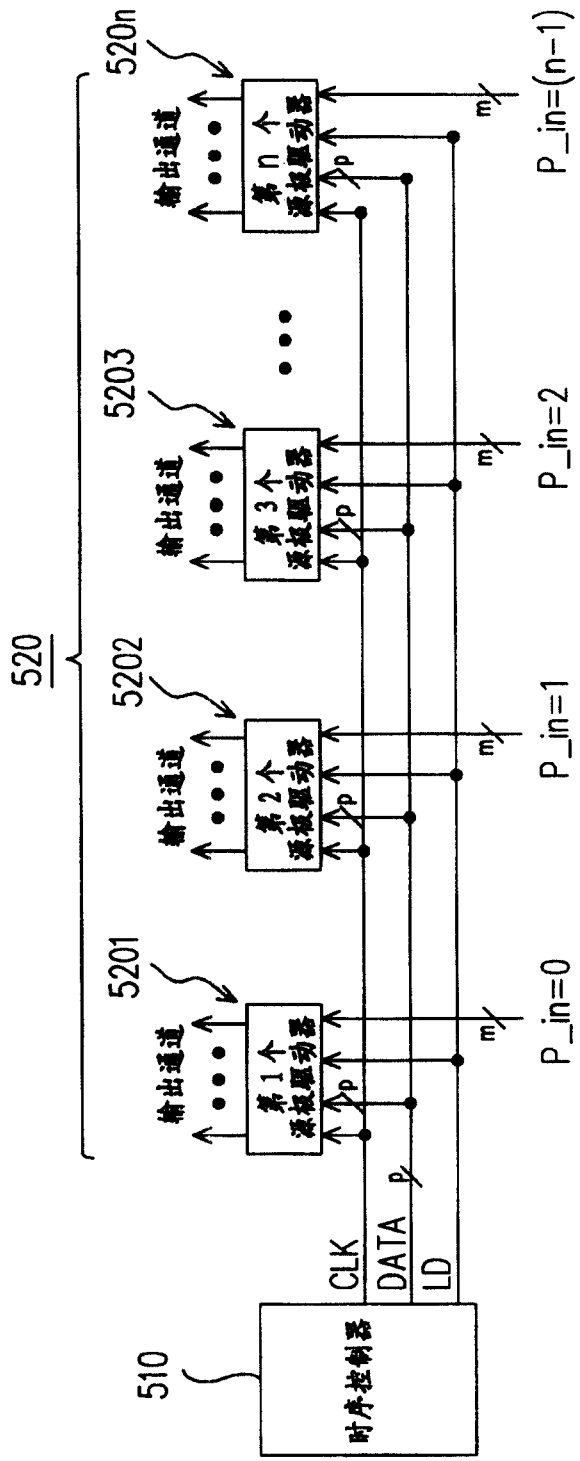


图 5

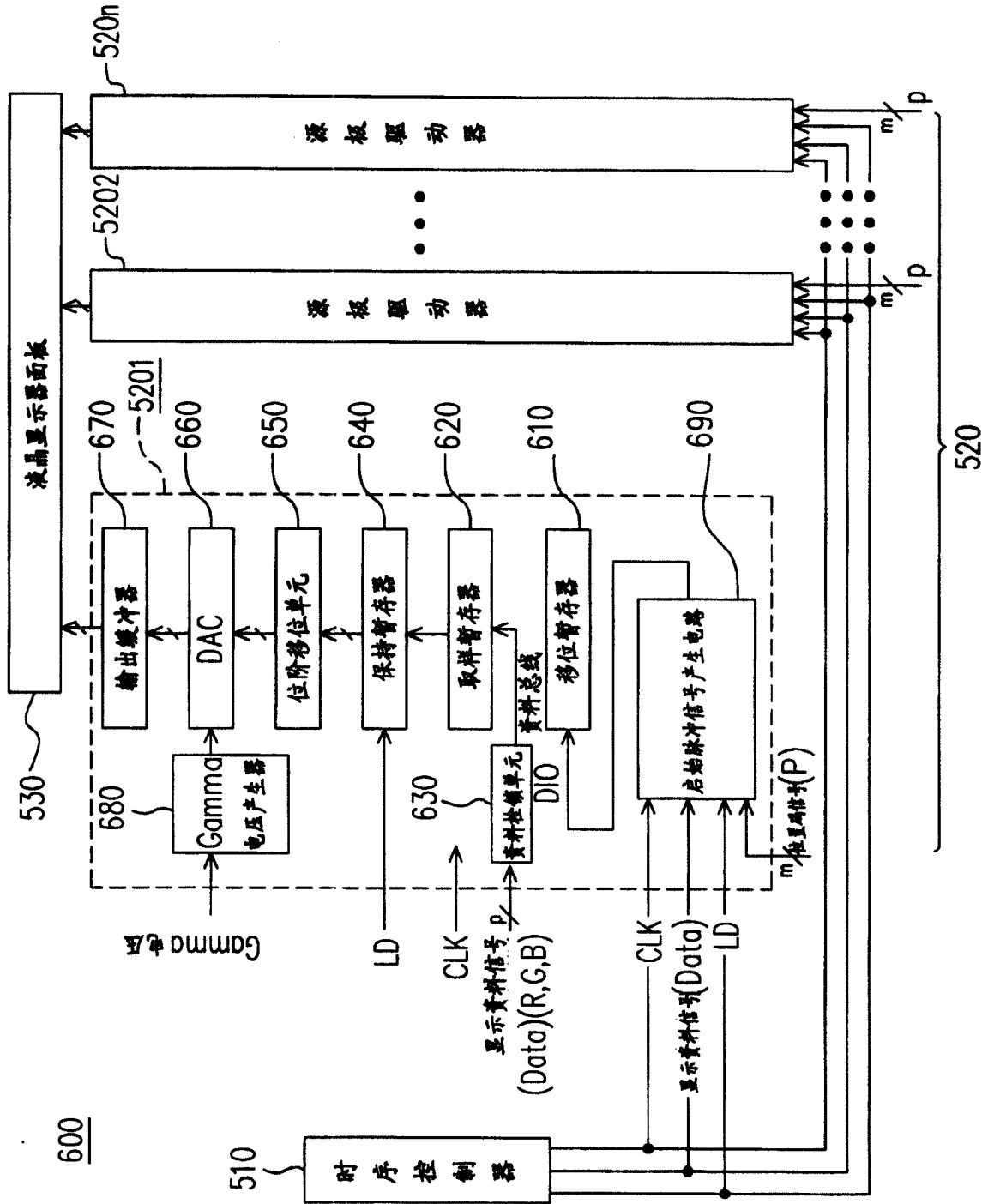


图 6

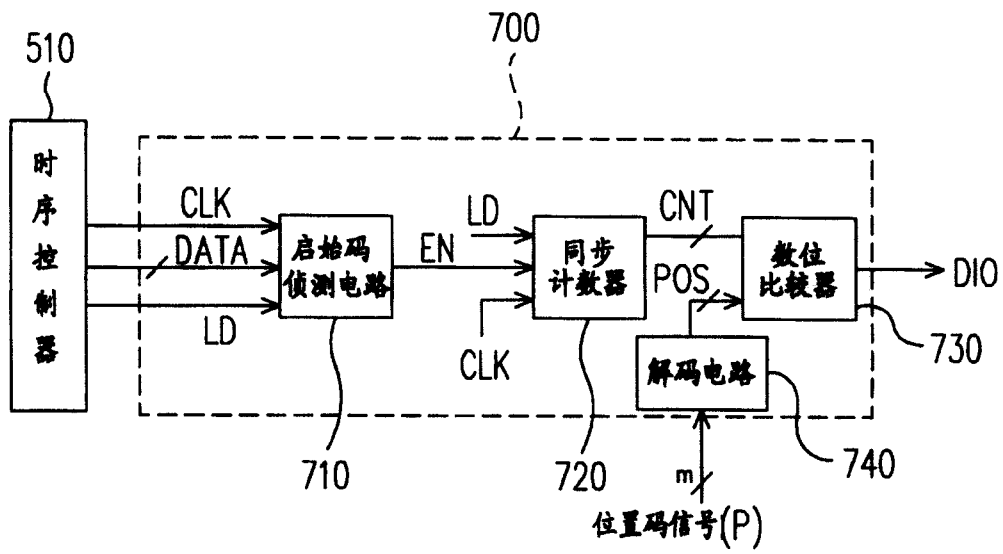


图 7

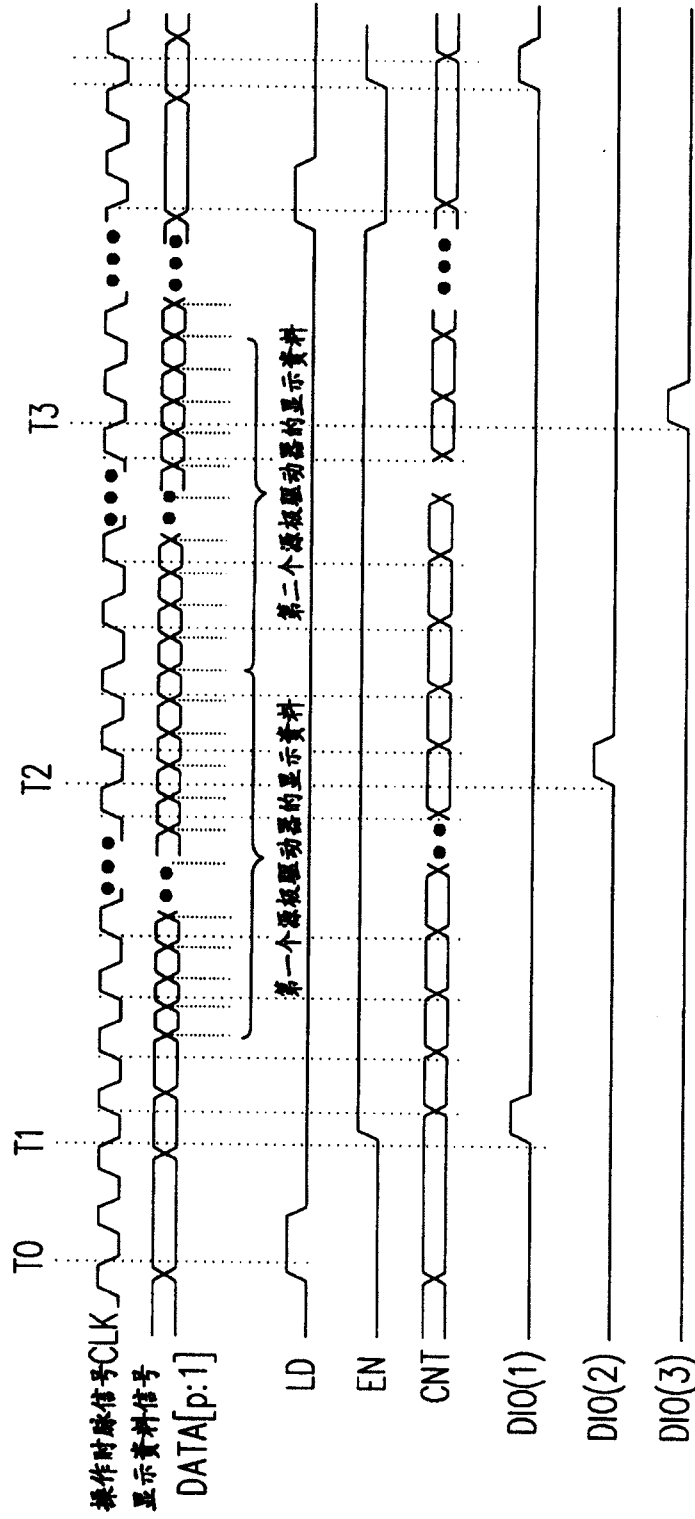


图 8