

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 3 月 18 日 (18.03.2004)

PCT

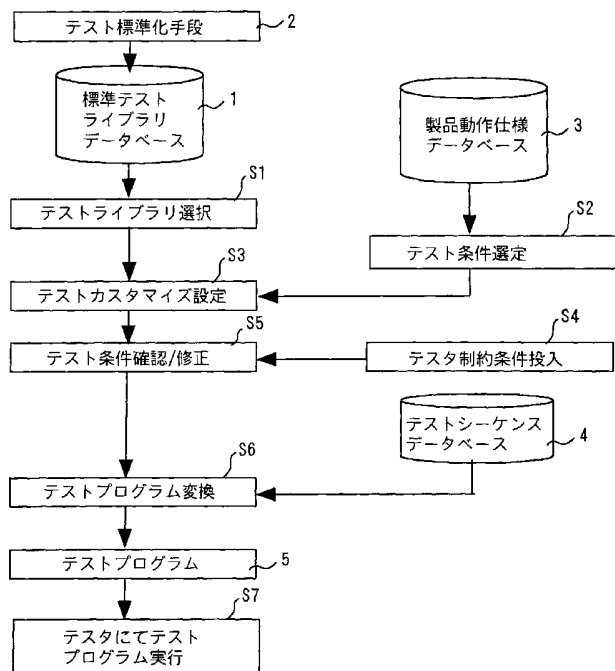
(10) 国際公開番号
WO 2004/023554 A1

- (51) 国際特許分類: H01L 27/04, 21/66, G06F 17/50, G01R 31/28, H01L 21/02
- (21) 国際出願番号: PCT/JP2002/008758
- (22) 国際出願日: 2002 年 8 月 29 日 (29.08.2002)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): 株式会社ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 Tokyo (JP).
- (72) 発明者; および (75) 発明者/出願人 (米国についてのみ): 坂口 雅弘 (SAK-AGUCHI, Masahiro) [JP/JP]; 〒187-8522 東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP). 青木 英之 (AOKI, Hideyuki) [JP/JP]; 〒187-8588 東京都小平市上水本町5丁目20番1号 株式会社日立製作所半導体グループ内 Tokyo (JP). 霧野 啓子 (KIRINO, Keiko) [JP/JP]; 〒244-0817 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内 Kanagawa (JP).
- (74) 代理人: 玉村 静世 (TAMAMURA, Shizuyo); 〒101-0052 東京都千代田区神田小川町2丁目10番地新山城ビル42号 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, KR, SG, US.

/ 続葉有 /

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT TEST METHOD AND SEMICONDUCTOR INTEGRATED CIRCUIT TEST SUPPORT METHOD

(54) 発明の名称: 半導体集積回路のテスト方法及び半導体集積回路のテスト支援方法



2...TEST STANDARDIZING METHOD
1...STANDARD TEST LIBRARY DATABASE
S1...SELECT TEST LIBRARY
S3...CUSTOMIZE TEST
S5...ASCETAIN/MODIFY TEST CONDITION
S6...CHANGE TEST PROGRAM
5...TEST PROGRAM
S7...EXECUTE TEST PROGRAM BY TESTER
3...PORODUCT OPERATION SPECIFICATION DATABASE
S2...SELECT TEST CONDITION
S4...INPUT TESTER RESTRICTION CONDITION
4...TEST SEQUENCE DATABASE

(57) Abstract: A semiconductor integrated circuit test method comprises a step (S1) of selecting a required test library defining a test step of a semiconductor integrated circuit, steps (S3, S5) of specifying individual conditions of the test depending on the operating mode of the semiconductor integrated circuit under test of the test step defined by the selected test library, a step (S6) of creating a test program for effecting the test at the test step the individual conditions of which are specified, and a step (S7) of conducting a test on the semiconductor integrated circuit by using the created

/ 続葉有 /

WO 2004/023554 A1



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

test program. The test library functions as a template for specifying a test step for each test operation of the semiconductor integrated circuit. Since the individual conditions are incorporated in the template, a specific test execution procedure is defined.

(57) 要約:

本発明に係る半導体集積回路のテスト方法は、半導体集積回路のテスト工程を規定する所要のテストライブラリを選択する処理 (S 1) と、選択されたテストライブラリが規定するテスト工程に対してテスト対象の半導体集積回路の動作形態に応ずるテストの個別条件を指定する処理 (S 3、S 5) と、前記個別条件が指定されたテスト工程をテストで実現するためのテストプログラムを生成する処理 (S 6) と、生成されたテストプログラムを用いて半導体集積回路のテストを行なう処理 (S 7) と、を含む。テストライブラリは、半導体集積回路のテスト動作毎のテスト工程を指示するテンプレートとして機能する。これに個別条件が組み込まれることによって具体的なテスト実行手順が規定される。

明 細 書

半導体集積回路のテスト方法及び半導体集積回路のテスト支援方法

5 技術分野

本発明は、半導体集積回路のテスト方法及びテスト支援方法に関し、例えば、テストプログラムを実行して半導体メモリのテストを行なう方法に適用して有効な技術に関する。

10 背景技術

製造された半導体集積回路の不良を検出するテストにはテストが用いられる。テストにテストプログラムを実行させてテストを行なう。例えば半導体メモリの場合には、所定の順序でメモリセルを選択しながらテストパターンを書き込み、書き込んだデータを読み出してテストパターンと比較するテスト動作を繰り返して、デバイスのフェイル又はパスを判定する。このときの印加電圧や電流、信号印加のインターバルなども所望に設定してバーン・インテストを兼ね、更には種々の動作モードを切換えて機能チェックなども行なったりする。テスト動作の具体的内容はテスト対象半導体集積回路の構成や機能にしたがって決定される。

20 上記テストで実現するテストの内容は、例えば半導体集積回路の設計者がテスト仕様の一部をテスト図面形式で表現したテストプログラム作成指示書等によって指示される。テストプログラムは、テスト技術者が上記テスト図面を見て仕様を理解し、テキストエディタを用いてテスト固有のテスト専用プログラム言語により記述される。テスト専用プログラム言語は、一般的なアセンブラ言語に似た言語仕様であり、かつテストのハードウェアに依存した記述形式であり、テストメーカ／テスト

の機種により異なる場合が多い。

しかしながら、テスト図面はテスト条件パラメータを羅列したものであり、テスト手順の指示が無いために自製品や他製品で発生した不良テストなどをフィードバックする場合に、そのときのテスト仕様を把握する
5 るのが難しく、テストプログラム変更の迅速な対応が遅れるという問題点のある事が本発明者によって見出された。

また、テストプログラム作成指示書にテスト手順の指示が無い場合には、半導体集積回路の設計者とテスト技術者との間でテスト手順に関する思い違いや、それに起因してプログラム記述にミスを生じたりして、
10 テスト品質の低下やデバッグ工数の増加を招く虞もある。

更に、テスト図面形式は、テスト技術者によるテストプログラム作成が容易になる形式であるため、テスト専用プログラム言語を知らない人にとっては図面作成工数増大となり、プログラム作成効率が低下し、テストプログラムコーディングミスも生じ、設計仕損となる。

また、半導体集積回路を製造するビジネス形態も、設計から製造を一貫する旧来の形態の他に、半導体集積回路の設計を請け負うファブレス、半導体集積回路の製造を請け負うファブ、更には、半導体集積回路のテストを請け負うファブ（テストファブ若しくはテストハウス）、設計部品としての検証済み回路の回路データ（IPモジュールデータ等とも称する）を流通させるIPベンダ、ファブとファブレスの間を仲介するサービスプロバイダ等が介在する新たなビジネス形態が予想されるに至り、テストプログラムの作成指示若しくはテスト手順の指示についてもそのようなビジネス形態に対応することの必要性が本発明者によって見出された。

25 本発明の目的は、テストプログラムの作成指示にテスト手順の指示が明確化されていないことによる不都合を除去することができる、半導体

集積回路のテスト方法、更には半導体集積回路のテスト支援方法を提供することにある。

本発明の別の目的は、テスト品質及びテスト効率の双方を向上させることができる、半導体集積回路のテスト方法、更には半導体集積回路の
5 テスト支援方法を提供することにある。

本発明のその他の目的は、ファブレス、ファブ、テストファブ、I P
ベンダ、又はサービスプロバイダ等が介在する半導体集積回路の製造に
関する新たなビジネス形態において、テストプログラムの作成指示若し
くはテスト手順の指示を明確化することができる半導体集積回路のテ
10 スト方法、更には半導体集積回路のテスト支援方法を提供することにあ
る。

本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の
記述と添付図面から明らかにされるであろう。

15 発明の開示

〔1〕本発明に係る半導体集積回路のテスト方法は、半導体集積回路の
テスト工程を規定する所要のテストライブラリを選択する処理（S 1）
と、選択されたテストライブラリが規定するテスト工程に対してテスト
対象の半導体集積回路の動作形態に応ずるテストの個別条件を指定す
20 る処理（S 3、S 5）と、前記個別条件が指定されたテスト工程をテス
タで実現するためのテストプログラムを生成する処理（S 6）と、生成
されたテストプログラムを用いて半導体集積回路のテストを行なう処
理（S 7）と、を含む。

前記テストライブラリは、例えばテスト対象の半導体集積回路の所要
25 の動作形態に対する、テスト準備、テスト実行、及びテスト終了の手順
を規定するデータから成る。

前記テストプログラムを生成する処理は、例えばテストの動作制御シーケンスを規定する複数のプログラムモジュールの組み合わせとプログラムモジュールに対するパラメータ設定とにより行われる。

- 上記半導体集積回路のテスト方法によれば、前記テストライブラリは、
- 5 半導体集積回路のテスト動作毎のテスト工程を指示するテンプレートとして位置付けられる。テストに際して必要なテストプログラムを取得するとき、前記テストの個別条件を特定する処理により、選択したテンプレートで規定されるテスト工程に対して、テストの制約を満足させ且つテストに必要な印加電圧等のテストの条件を満足させるというカスタマイズが実現される。要するに、テストライブラリに個別条件が組み込まれることによって具体的なテスト実行手順が規定される。カスタマイズされたテストライブラリのデータに基づいてテストのテストプログラムが生成されることにより、そのテスト工程と個別条件を満足して半導体集積回路のテストが可能になる。半導体集積回路の設計者は、テスト仕様をテストライブラリとテストの個別条件の組合せによりテスト技術者に指示すればよい。テスト技術者はそのテスト仕様をテストプログラムに変換して、所要のテストプログラムを入手することができる。また、テスト技術者側に予め各種テストライブラリを備えておけば、半導体集積回路の設計者にはテスト工程に対するテストの個別条件を支給するだけでよい。
- 10 15 20

テスト仕様は標準化されたテストライブラリのテスト工程指示データを用いて作成されるから、上記テスト方法は製品若しくはテスト固有ではなく汎用的な展開も可能になる。

- テスト手順（テスト工程）と使用するテスト条件（テストの個別条件）とを分けて、夫々設定可能とされるから、テスト仕様の作成合理化と修正指示のミス低減とに寄与する。
- 25

更に、作成されたテストプログラムも標準化の傾向を採るので、プログラムを得る為のコーディング工数の低減も可能になると予想される。そして、テスト仕様として再利用できるものを明確化すれば、製品展開時のテスト検討が容易になり、また、不良に対するスクリーニングの対応も容易化でき、テスト品質の向上に寄与する。

〔2〕次に、半導体集積回路の製造とテストの双方を請け負うファブ、又は半導体集積回路のテストを請け負うファブ等による半導体集積回路のテスト方法に着目する。この場合のテスト方法は、ネットワーク(25)に接続されるコンピュータ装置を介して、半導体集積回路のテスト工程を示すテストライブラリと前記半導体集積回路の動作形態に応ずるテストの個別条件を受領する処理と、前記受領した個別条件が指定され前記受領したテストライブラリが規定するテスト工程をテストで実現するためのテストプログラムを生成する処理と、生成されたテストプログラムを用いて半導体集積回路のテストを行なう処理と、を含む。これにより、ファブやファブレス等が介在するビジネス形態においても、テストプログラムの作成指示もしくはテスト手順の指示を明確化でき、半導体集積回路のテスト品質及びテスト効率の双方を向上させることが可能になる。

〔3〕次に、半導体集積回路の製造部門やテスト部門を持たないファブレスと前記ファブとの間の取り引きを仲介するサービスプロバイダ等による半導体集積回路のテスト支援方法に着目する。このテスト支援方法は、ネットワークに接続されるコンピュータ装置を介して、半導体集積回路のテスト工程を規定するテストライブラリを送出する第1送出处理と、前記テストライブラリが規定するテスト工程に対してテスト対象の半導体集積回路の動作形態に応ずるテストの個別条件を受領する処理と、受領したテストの個別条件を前記テストライブラリとの対応関

6

係を把握可能に送出する第2送出処理と、を含む。前記テストライブラリは例えばIPモジュールとしての回路データに付随して送出される。

上記方法においてサービスプロバイダ等による前記第1送出処理は、ファブレスに対する設計支援などの目的でIPモジュールと共に、それ

5 を利用して設計した半導体集積回路のテスト工程検討用にテストライブラリを提供しようとする処理である。ファブレスは、設計した半導体集積回路の製造をファブに依頼し、そのテストをファブ或はテストハウス（テストファブ）に依頼することになる。このとき、ファブレスはその仲介を行なうサービスプロバイダにテストライブラリが規定するテスト工程に対するテストの個別条件を与える。サービスプロバイダは前記受領処理によりそのテストの個別条件を受領し、受領した前記個別条件を前記第2送出処理にて、テストライブラリとの対応関係を把握可能に送出する。送出先は、サービスプロバイダがそのファブレスに斡旋若しくは紹介するファブである。

15 これにより、ファブやファブレスの間にサービスプロバイダ等が介在するビジネス形態においても、テストプログラムの作成指示もしくはテスト手順の指示を明確化でき、半導体集積回路のテスト品質及びテスト効率の双方を向上させることが可能になる。

〔4〕更に別のテスト支援方法は、前記サービスプロバイダ等が介在する場合に前記第2送出処理に着目する。このテスト支援方法は、ネットワークに接続されるコンピュータ装置を介して、半導体集積回路のテスト工程を示す複数のテストライブラリと、前記半導体集積回路の動作形態に應ずるテストの個別条件とを送出する処理を含み、前記送出されるテストの個別条件は前記テストライブラリとの対応関係が把握可能に20 される。送出先は、例えばサービスプロバイダがファブレスに斡旋若しくは紹介するファブである。

これにより、ファブやファブレスの間にサービスプロバイダ等が介在するビジネス形態においても、テストプログラムの作成指示もしくはテスト手順の指示を明確化でき、半導体集積回路のテスト品質及びテスト効率の双方を向上させることが可能になる。

5

図面の簡単な説明

第1図は本発明に係る半導体集積回路のテスト方法を例示する説明図である。

第2図はフラッシュメモリの標準テストライブラリデータベースを階層的に例示する説明図である。

第3図はテストライブラリが規定するテスト工程の内容を標準テンプレートとの関係を考慮して例示した説明図である。

第4図はテストカスタマイズの具体的内容を例示する説明図である。

第5図はフラッシュメモリのテストを想定した場合におけるテスト実行手順とそれに基づいて生成されるプログラムを例示的に示す説明図である。

第6図はテストにテストプログラムを実行させてメモリLSIをテストするときの状態を模式的に示す説明図である。

第7図は本発明に係る半導体集積回路のテスト方法の別の例を示す説明図である。

第8図は半導体集積回路の設計及び製造を一貫メーカーで行なう場合の処理フローを例示する説明図である。

第9図は設計部門又は製造部門からテスト部門が分離しテストライブラリやテスト条件をインターネット等のネットワークを介してデータファイル等で媒介させるビジネス形態が例示される説明図である。

第10図はファブとファブレスの間にサービスプロバイダが介在し

てテストライブラリやテスト条件をインターネット等のネットワークを介してデータファイル等で媒介させるビジネス形態が例示される説明図である。

第 11 図は第 9 図と第 10 図で説明したテスト支援方法によるインタフェースと支援業務内容を整理して示す説明図である。

第 12 図は第 9 図及び第 10 図のビジネス形態におけるファブ、ファブレス及びサービスプロバイダがネットワークに接続された状態を例示する説明図である。

10 発明を実施するための最良の形態

第 1 図には本発明に係る半導体集積回路のテスト方法が例示される。同図に示されるテスト方法では、テスト工程を規定する複数のデータライブラリがデータベース化された標準テストライブラリデータベース 1 を用いる。この標準テストライブラリデータベース 1 はテスト標準化手段 2 によって基本テンプレートから展開された、テスト対象半導体集積回路の動作形態毎にそのテスト手順が設定された複数のテストライブラリが定義されている。

電氣的に書換え可能な不揮発性メモリ、例えばフラッシュメモリの標準テストライブラリデータベース 1 は、第 2 図に階層的に例示されるように、消去、読み出し、及び書込み（プログラム）動作毎に、その動作のテスト工程を規定するテストライブラリが複数用意されている。第 2 図には、レディー／ビジー信号出力端子（RB）をオープン状態にしてテストを行なう場合のテスト工程を規定するテストライブラリ ERS-RBOPEN, RD-RBOPEN, PGM-RBOPEN と、不良セクタをテスト対象にするテスト工程を規定するテストライブラリ ERS-BADSCT, RD-BADSCT, PGM-BADSCT が例

示される。

前記テストライブラリが規定するテスト工程の内容は第3図に例示される。特に第3図では標準テンプレートからの展開の様子が明示されている。テスト工程はテスト準備、テスト実行、及びテスト終了の手順に大別される。基本テンプレートでは、テスト準備は、(1)フェイルメモリ初期化、(2)電源電圧設定、(3)信号電圧等の電圧条件設定、(4)タイミング条件設定、(5)インピーダンスなどのピン条件設定、(6)信号などの投入順序設定、(7)出力負荷などの負荷条件設定、(8)テストパターンなどのパターン設定とされる。テスト実行は、(9)テスト実行とされる。テスト終了は、(10)電圧条件解除、(11)電源条件解除、(12)フェイル結果の処理とされる。基本テンプレートはフラッシュメモリに限らずその他のメモリなどに対しても適用可能とされる性質の内容を有している。フラッシュメモリに特化して展開された一つのリード用のテストライブラリRD-RBOPENは、テスト準備として(5)RBピンオープンとしてピン条件を設定するというテスト工程等が含まれる。フラッシュメモリに特化して展開されたリード用の他のテストライブラリRD-BAD SCTは、テスト準備として(6)レジスタに不良セクタ(SCT)設定パターンを設定するというテスト工程等が含まれる。要するに、展開されたテストライブラリは半導体集積回路の機能と動作形態に即したテスト工程を規定することになる。

第1図のテスト方法の説明に戻る。前記標準テストライブラリデータベース1からテストに必要なテストライブラリを選択する(S1)。例えばフラッシュメモリに対して信号RBをオープン状態でテストする場合には第2図のテストライブラリERS-RBOPEN, RD-RBOPEN, PGM-RBOPENを選択する。

次に、選択されたテストライブラリが規定するテスト工程に対してテスト対象の半導体集積回路の動作形態に応ずるテストの個別条件を指定する（S 2，S 3）。すなわち、製品動作仕様データベース 3 にはテスト対象とされる半導体集積回路の動作電圧や動作周波数などの動作仕様データが格納され、それを参照してテスト条件を選定する（S 2）。例えば動作電圧を選定する場合には、バーンインを考慮した電圧を選定する。テストパターンを選定する場合には回路構成や印加電圧などに起因して生ずる虞のあるディスタークの影響を考慮したりする。選定されたテスト条件によってテストライブラリが規定するテスト工程をカスタマイズする（S 3）。ここまでの処理内容は、テストの機能や能力を考慮していない。換言すれば、テストの具体的な機能や能力に依存しない処理となる。

次に、前記個別条件が指定されたテスト工程をテストで実現するためのテストプログラムを生成する処理が行われる（S 4～S 6）。すなわち、前記ステップ S 3 でカスタマイズされた結果に対してテスト制約条件が与えられ（S 4）、テスト条件の確認が行なわれる（S 5）。要するに、テスト条件が供給電圧／電流や動作周波数の点で、利用しようとするテストの能力を超えることにならないかの判定が行われる。能力を超えている場合にはテスト条件の修正が行われる（S 5）。テスト条件の確認が完了した後、テスト条件とテストライブラリに基づいてテストプログラムを生成する（S 6）。前記テストプログラムを生成する処理は、テストの動作制御シーケンスを規定する複数のプログラムモジュールの組み合わせとプログラムモジュールに対するパラメータ設定とによって行われる。プログラムモジュールはテスト固有のプログラム言語を用いて記述されており、テストシーケンスデータベース 4 から選択して用いる。これによってテストに対応するテストプログラム 5 が生成さ

れ、これを実行して半導体集積回路のテストが行われる（S7）。

第4図には前記テストカスタマイズの具体的内容が例示される。例えば標準テストライブラリから1つのテストライブラリRD-RBOPENを選択し、テスト条件RD-CDTを組み込む。テスト条件が組み込まれたテストライブラリデータは実際のリードテスト実行手順を具体的に規定し、RD-SQCとして図示される。

前述のようなテスト条件（テストの個別条件）は半導体集積回路の設計者がデータシート等の製品動作仕様から、テストに関する規格、動作定義を抽出し、不良品スクリーニングのための微調整を行った後、テストライブラリRD-RBOPENにおける変数記号へ直値を代入して、記述される。

RD-SQCに代表されるテスト条件が組み込まれ具体的なテスト実行手順を規定するテストライブラリ（単にテスト実行手順とも称する）は、特に制限されないが、テスト番号（No.）、ライブラリ名（例えばRD-RBOPENの識別名）、及びテスト条件名（例えばテスト条件RD-CDTの識別名）の相関リスト（テストラベル）RD-LSTで管理される。

前記テストラベルをテストの実施順に並べて、半導体集積回路のテスト動作を規定することになる。第5図のフラッシュメモリのテストを想定した場合、消去（ERASE）、書き込み（PROGRAM）、及びベリファイのための読み出し（READ）の一連の動作が基本単位とされて、個々のテストを構成する。個々のテストの読み出し（READ）には具体的なテスト条件が組み込まれたテスト実行手順RD-SQCを用い、同様に、書き込み（PROGRAM）及び消去（ERASE）にも夫々詳細な説明を省略する具体的なテスト条件が組み込まれたテスト実行手順PGM-SQC、ERS-SQCを用いる。テスト実行手

順は前記リード動作の相関リスト（テストラベル）RD-LSTで特定される。同様に、書き込み（PROGRAM）及び読み出し（READ）のテスト実行手順PGM-SQC, ERS-SQCは書き込み動作のテストラベルPGM-LST及び読み出し動作のテストラベルRD-LSTで特定される。

前記テスト実行手順PGM-SQC, ERS-SQC, RD-SQCが、個々の試験装置（テスト）毎に設定されている制約事項に合致するかのチェックは前記ステップS5で行われる。テスト制約のチェックは、例えば、電圧設定値、波形タイミング設定値、ファイルメモリ最大容量、テストピン数等が制限内で有るかどうかをテスト制約ファイルに記載された値とチェックすることによって行われる。

前記テスト実行手順PGM-SQC, ERS-SQC, RD-SQCは、前記ステップS6のテストプログラムの生成処理において対応するテストプログラムモジュールを前記テストシーケンスデータベース4から参照するのに用いられると共に、参照されたテストプログラムモジュールに代入する個々のテスト条件値を提供する。例えば第5図では、IDリード、Xテスト、Yテスト、及びXテストから成るテストプログラムT-PGMの一部を構成するプログラムPGMi（Yテスト）がテスト実行手順PGM-SQC, ERS-SQC, RD-SQCに基づいて生成される。テストプログラムT-PGMにはテストによる同時試験実行制御、製品ハンドラ装置との通信制御、試験結果のホスト転送等の試験全体を上位で制御するためのプログラムを組み込むことも可能である。

第6図にはテストにテストプログラムを実行させてメモリLSIをテストするときの状態が模式的に示される。同図においてはテスト10とテスト11で夫々異なるメモリLSI12, 13のテストを可能にしている。各テスト10, 11には、テストプログラム格納部10A, 1

1 A、テスト実行制御部 1 0 B、1 1 B、測定及び特性判定部 1 0 C、
1 1 C、フェールメモリとしてのテスト結果格納部 1 0 D、1 1 Dを有
する。テストプログラム 5 はテスト更新手段 1 4 を介してテスト 1 0、
1 1 のテストプログラム格納部 1 0 A、1 1 Aに供給される。供給され
5 たテストプログラムが実行され、それによって得られる内部状態に対し
て測定及び特性判定部 1 0 C、1 1 Cがテスト結果を取得し、そのテスト
結果はテスト結果格納部 1 0 D、1 1 Dに一時的に蓄えられて、テスト
結果データベース 1 5 に蓄積される。テストプログラム更新手段 1 4
は、テスト結果等に応じてテストプログラムを部分的に修正したりする
10 必要性に応ずる。

第 7 図には本発明に係る半導体集積回路のテスト方法の別の例が示
される。第 1 図の基づいて説明したテスト方法との相違点は、標準テス
トライブラリ 1 にテスト条件を組み込んだテスト実行手順をデータベ
ース（テスト実行手順データベース） 1 8 に保管して、テスト条件をま
15 とめて最後に確認するようにした。この方法によれば、テスト条件修正
時にはテストカスタマイズ設定処理 S 3 にて実施し、修正後のテスト実
行手順をテスト実行手順データベース 1 8 に再登録する。実際に使用する
テストに依存しないテスト実行手順をデータベース化することができ
るので、これを各種仕様のテストに対して汎用的に展開して利用させ
20 ることも可能になる。

第 8 図には半導体集積回路の設計及び製造の一貫メーカー（単に製造メ
ーカと称する）で行なう場合の処理フローが例示される。例えば半導体
集積回路の製造メーカー 2 0 は設計部門、製造部門、及びテスト部門を持
ち、設計処理、ウエハプロセス処理、組立て、テスト、完成チップの出
25 荷を行なう。

以上説明した半導体集積回路のテスト方法によれば、前記テストライ

ブラリは、半導体集積回路のテスト動作毎のテスト工程を指示するテンプレートとして位置付けられ、テストに際して必要なテストプログラムを取得するとき、前記テストの個別条件を特定する処理により、選択したテンプレートで規定されるテスト工程に対して、テストの制約を満足させ且つテストに必要な印加電圧等のテストの条件を満足させるというカスタマイズを実現することができる。これによってカスタマイズされたテストライブラリのデータ（テスト実行手順）に基づいてテストのテストプログラムが生成されることにより、そのテスト工程と個別条件を満足して半導体集積回路のテストが可能になる。したがって、半導体集積回路の設計者は、テスト仕様をテストライブラリとテストの個別条件の組合せによりテスト技術者に指示すればよい。テスト技術者はそのテスト仕様をテストプログラムに変換して、所要のテストプログラムを入手することができる。

テスト仕様は標準化されたテストライブラリのテスト工程指示データを用いて作成されるから、上記テスト方法は製品若しくはテスト固有ではなく汎用的な展開も可能になる。テスト工程と使用するテスト条件とを分けて、夫々設定可能とされるから、テスト仕様の作成合理化と修正指示のミス低減とに寄与する。更に、作成されたテストプログラムも標準化の傾向を採るので、プログラムを得る為のコーディング工数の低減も可能になると予想される。そして、テスト仕様として再利用できるものを明確化すれば、製品展開時のテスト検討が容易になり、また、不良に対するスクリーニングの対応も容易化でき、テスト品質の向上に寄与する。

第9図には設計部門又は製造部門からテスト部門が分離し、前記テストライブラリやテスト条件をインターネット等のネットワークを介してデータファイルで媒介させるビジネス形態が例示される。例えばファ

ブレス 2 1 は半導体集積回路の設計部門を持つ。ファブ 2 2 は、ファブ
レス 2 1 からの依頼に応じて、ウエハプロセス処理、組立て、テストを
行なって、完成チップをファブレス 2 1 に供給する。別のファブ（ウエ
ハファブ） 2 3 はファブレス 2 1 からの依頼に応じて、ウエハプロセス
5 処理を行なう。テスト部門を持つファブ（テストファブ） 2 4 は、ファ
ブレス 2 1 からの依頼に応じて、ファブ 2 3 で製造されたウエハの供給
を受けて、組立て、テストを行い、完成チップをファブレス 2 1 に供給
する。

第 9 図のビジネス形態における前記テスト方法について説明する。例
10 えばファブレス 2 1 とファブ 2 2 ～ 2 4 はネットワーク 2 5 を介して
接続され、ファブレス 2 1 がファブ 2 2 又は 2 4 にテストを依頼する形
態を想定する。この依頼形態において必要なテストのための情報インタ
フェースは第 9 図の経路 A で行われる。

テスト部門を持つファブ 2 2 , 2 4 による半導体集積回路のテストで
15 は、ネットワーク 2 5 に接続されるファブ 2 2 , 2 4 は、その通信端末
コンピュータ装置（図示を省略する）を介して、対象とする半導体集積
回路に応ずる前記テストライブラリとその半導体集積回路の動作形態
に応ずるテストの個別条件（テスト条件）をファブレス 2 1 から受領す
る。ファブ 2 2 又は 2 4 は、前記受領した個別条件が組み込まれ、前記
20 受領したテストライブラリが規定するところの前記テスト実行手順を
生成し、これを所要のテストで実現するためのテストプログラムを生成
する。このテストプログラムの生成処理は第 1 図のステップ S 3 ～ S 6
の処理と同様である。生成されたテストプログラムを用いて半導体集積
回路のテストが行なわれる。これにより、ファブやファブレス等が介在
25 するビジネス形態においても、テストプログラムの作成指示もしくはテ
スト手順の指示を明確化でき、半導体集積回路のテスト品質及びテスト

効率の双方を向上させることが可能になる。

第10図にはファブとファブレスの間にサービスプロバイダが介在して、前記テストライブラリやテスト条件をインターネット等のネットワークを介してデータファイルで媒介させる、ビジネス形態が例示される。

サービスプロバイダ27は前記ファブレス21とファブ28との間の取り引きを仲介する。第10図ではファブ28はウエハファブ28A、組立てファブ28B、テストファブ28C等を総称する。ここでは、前記テストライブラリがテストIPモジュールとして、ファブレス21、サービスプロバイダ（例えばIPプロバイダ若しくはIPベンダ）27、ファブ28の間で流通するようになる場合を想定する。例えばテストファブ28Cがビジネスとして成立すると、カスタマであるファブレス21に対するテスト品質を維持した上でテストファブ28C自らの努力工夫により、テストコストを削減するようになることは必然である。この際、カスタマであるファブレス21が指示したテスト条件は変更できないので、テストファブ28Cは所有するテストを最大限活用するようにテスト時間の短縮等を行うことになる。例としてテストピンの電圧を設定する時に複数ピン間で一定の時間を空けて順番に電圧投入するテスト手順を変更してテスト時間短縮を行うことがある。そのような場合に、テスト手順に関する前記テスト方法を流用する。これは、サービスプロバイダ等による半導体集積回路のテスト支援方法として位置付けることができる。

先ず、ファブレス21とサービスプロバイダ27との間における経路Bのインタフェースにおけるサービスプロバイダ27による半導体集積回路のテスト支援方法に着目する。

サービスプロバイダ27は回路設計やプロセス設計などのチップ設

計に関するフロントエンドと、テストに関するバックエンドを有する。バックエンドでは前記テスト I P モジュールの提供を行なう。当然、サービスプロバイダ 27 は、I P モジュール毎に最適なファブを斡旋することになる。バックエンドのテスト I P モジュールの提供はテストの支援として位置付けられる。

サービスプロバイダ 27 が主体となるテスト支援方法は、ネットワークに接続されるコンピュータ装置を介して、半導体集積回路のテスト工程を規定するテストライブラリを送出する第 1 送出处理と、前記テストライブラリが規定するテスト工程に対してテスト対象の半導体集積回路の動作形態に応ずるテストの個別条件を受領する処理と、受領したテストの個別条件を前記テストライブラリとの対応関係を把握可能に送出する第 2 送出处理と、を含む。前記テストライブラリは例えば I P モジュールとしての回路データに付随して送出される。

上記方法においてサービスプロバイダ 27 等による前記第 1 送出处理は、ファブレス 21 に対する設計支援などの目的で I P モジュールと共に、それを利用して設計した半導体集積回路のテスト工程検討用にテストライブラリを提供しようとする処理である。ファブレス 21 は、設計した半導体集積回路の製造をファブ 28 に依頼し、そのテストをテストファブ 28 C に依頼することになる。このとき、ファブレス 21 はその仲介を行なうサービスプロバイダ 27 にテストライブラリが規定するテスト工程に対するテストの個別条件を与える。サービスプロバイダ 27 はそのテストの個別条件を受領し、受領した前記個別条件を前記第 2 送出处理にて、テストライブラリとの対応関係を把握可能に送出する。この送出先は、サービスプロバイダ 27 がそのファブレス 21 に斡旋若しくは紹介するファブである。

これにより、ファブ 28 やファブレス 21 の間にサービスプロバイダ

27等が介在するビジネス形態においても、テストプログラムの作成指示もしくはテスト手順の指示を明確化でき、半導体集積回路のテスト品質及びテスト効率の双方を向上させることが可能になる。

5 サービスプロバイダ27によるバックエンドのテストIPモジュールの提供というテスト支援は、見方を変えればテストファブ28Cに対するテストライブラリやテスト条件を与えることになる。この観点によるテスト支援方法は、前記サービスプロバイダ27等が介在する場合に前記第2送出処理に着目するのと等価である。すなわち、そのテスト支援方法は、ネットワークに接続されるコンピュータ装置を介して、半導体集積回路のテスト工程を示す複数のテストライブラリと、前記半導体集積回路の動作形態に應ずるテストの個別条件と、を送出する処理を含み、前記送出されるテストの個別条件は前記テストライブラリとの対応関係が把握可能にされる。送出先は、例えばサービスプロバイダ27がファブレスに斡旋若しくは紹介するファブである。この時のファブにおけるテスト処理は第9図の経路Aのインタフェースでテストライブラリとテスト条件を受け取るファブ22, 24の処理と同じである。例えばこれによりファブはREADテスト実行手順中における『投入間隔50ms』とう定義で、投入間隔時間を最適化し、投入間隔時間を短縮することでテスト時間を削減する工夫が実現可能になる。

20 上記ビジネス形態により、ファブやファブレスの間にサービスプロバイダ等が介在するビジネス形態においても、テストプログラムの作成指示もしくはテスト手順の指示を明確化でき、半導体集積回路のテスト品質及びテスト効率の双方を向上させることが可能になる。

25 第11図には第9図と第10図で説明したテスト支援方法によるインタフェース(I/F)と支援業務内容についての具体例を整理してある。

第 12 図には第 9 図及び第 10 図のビジネス形態におけるファブ 22, 23, 24, 28、ファブレス 21、サービスプロバイダ 27 がネットワーク 25 に接続された状態が例示される。30 はネットワークに接続する通信端末コンピュータ装置を意味するコンピュータ装置である。特に図示はしないが、前記コンピュータ装置はファブ 22, 23, 28、ファブレス 21、サービスプロバイダ 27 も夫々保有している。31 はサービスプロバイダ 27 又はファブレス 21 から受領したテストライブラリとテスト条件等を一時的に蓄積する受信バッファである。

以上本発明者によってなされた発明を実施例に基づいて具体的に説明したが本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。

例えば、第 4 図に例示したフラッシュメモリのテスト手順は一例であり、本発明はテスト手順の具体的内容を限定する趣旨はない。半導体集積回路の種類や機能などに則して適宜決定されればよい。また、本発明はメモリ L S I に限定されず、論理 L S I のテストにも適用可能である。また、B I S T (Built In Self Test) 回路を有す半導体集積回路に対しても B I S T でカバーしていない範囲のテストを行なう場合に本発明は適用可能である。本発明は組立て後のテストに限らずウエハ段階のテストにも適用可能である。要するに第 9 図で言えばファブ 23 も本発明のテスト方法を実施して有効な場合がある。また、テスト技術者側に予め各種テストライブラリを備えておけば、半導体集積回路の設計者にはテスト工程に対するテストの個別条件を支給するだけでよい。

産業上の利用可能性

本発明は、フラッシュメモリやダイナミック・ランダム・アクセス・メモリなどのメモリ L S I 更には論理 L S I 等の半導体集積回路のデ

バイステスト等に広く適用することができる。

請 求 の 範 囲

1. 半導体集積回路のテスト工程を規定する所要のテストライブラリを選択する処理と、
- 5 選択されたテストライブラリが規定するテスト工程に対してテスト対象の半導体集積回路の動作形態に応ずるテストの個別条件を指定する処理と、
前記個別条件が指定されたテスト工程をテストで実現するためのテストプログラムを生成する処理と、
- 10 生成されたテストプログラムを用いて半導体集積回路のテストを行なう処理と、を含むことを特徴とする半導体集積回路のテスト方法。
2. 前記テストライブラリは、テスト対象の半導体集積回路の所要の動作形態に対する、テスト準備、テスト実行、及びテスト終了の手順を規定するデータから成ることを特徴とする請求の範囲第1項記載の半導体集積回路のテスト方法。
- 15 3. 前記テストプログラムを生成する処理は、テストの動作制御シーケンスを規定する複数のプログラムモジュールの組み合わせとプログラムモジュールに対するパラメータ設定とにより行われることを特徴とする請求の範囲第1項記載の半導体集積回路のテスト方法。
- 20 4. ネットワークに接続されるコンピュータ装置を介して、半導体集積回路のテスト工程を示すテストライブラリと前記半導体集積回路の動作形態に応ずるテストの個別条件を受領する処理と、
前記受領した個別条件が指定され前記受領したテストライブラリが規定するテスト工程をテストで実現するためのテストプログラムを生成
- 25 する処理と、
生成されたテストプログラムを用いて半導体集積回路のテストを行な

う処理と、を含むことを特徴とする半導体集積回路のテスト方法。

- 5 5. 前記コンピュータ装置は、半導体集積回路の製造とテストの双方を請け負うファブ、又は半導体集積回路のテストを請け負うファブが保有するものであることを特徴とする請求の範囲第4項記載の半導体集積回路のテスト方法。

6. 前記テストライブラリは、テスト対象の半導体集積回路の所要の動作形態に対する、テスト準備、テスト実行、及びテスト終了の手順を規定するデータから成ることを特徴とする請求の範囲第4項記載の半導体集積回路のテスト方法。

- 10 7. ネットワークに接続されるコンピュータ装置を介して、半導体集積回路のテスト工程を規定するテストライブラリを送出する処理と、前記テストライブラリが規定するテスト工程に対してテスト対象の半導体集積回路の動作形態に應ずるテストの個別条件を受領する処理と、受領したテストの個別条件を前記テストライブラリとの対応関係を把握可能に送出的る処理と、を含むことを特徴とするデータ処理方法。
- 15

8. 前記テストライブラリはIPモジュールとしての回路データに付随して送出的ることを特徴とする請求の範囲第7項記載の半導体集積回路のテスト支援方法。

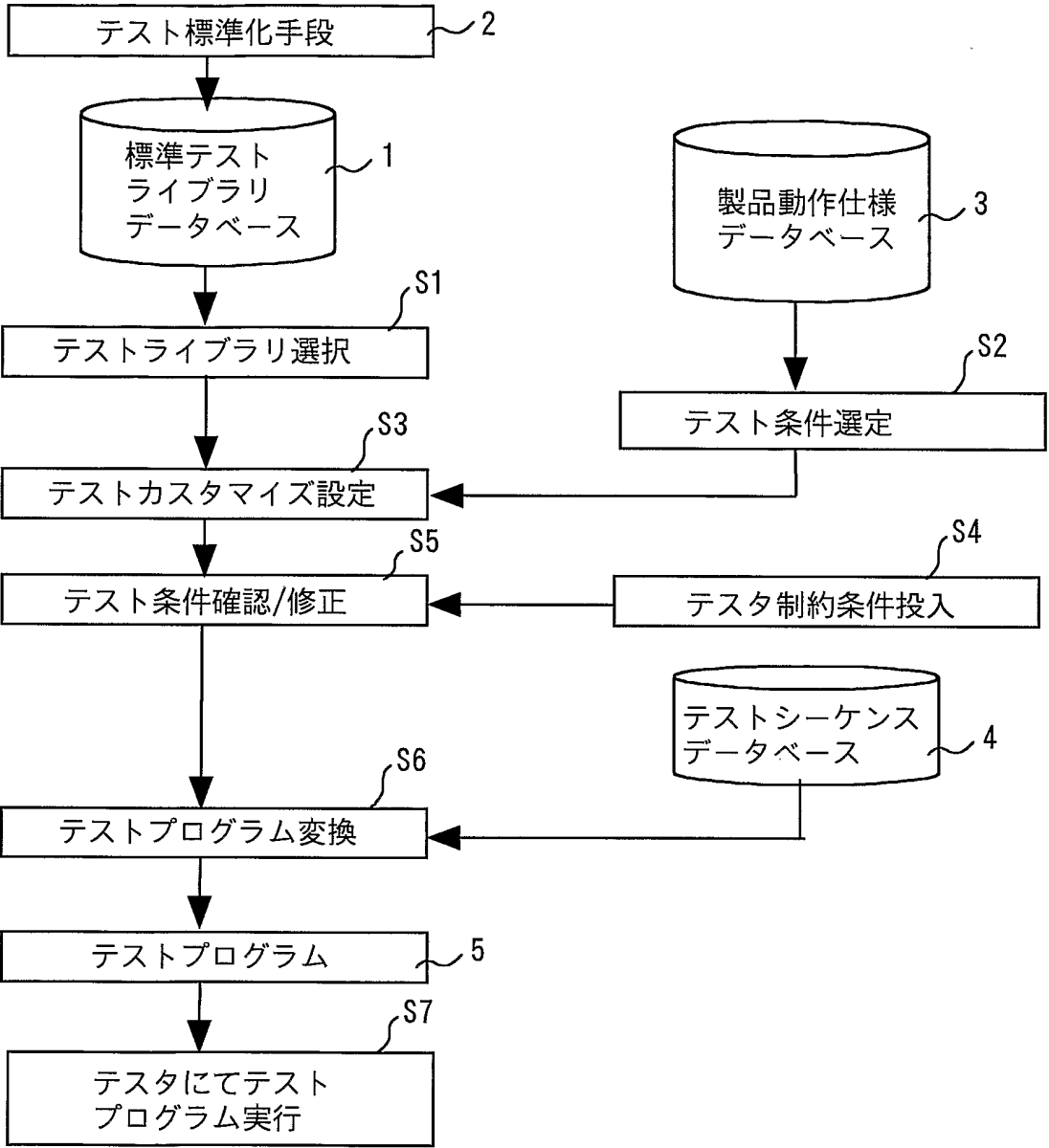
- 20 9. 前記コンピュータ装置は、半導体集積回路の製造及びテストを請け負うファブ又は半導体集積回路のテストを請け負うファブと、半導体集積回路の設計を請け負うファブレスと、の間の取り引きを仲介するサービスプロバイダが保有するものであることを特徴とする請求の範囲第7項記載の半導体集積回路のテスト支援方法。

- 25 10. ネットワークに接続されるコンピュータ装置を介して、半導体集積回路のテスト工程を示す複数のテストライブラリと、前記半導体集積回路の動作形態に應ずるテストの個別条件とを送出する処理を含み、

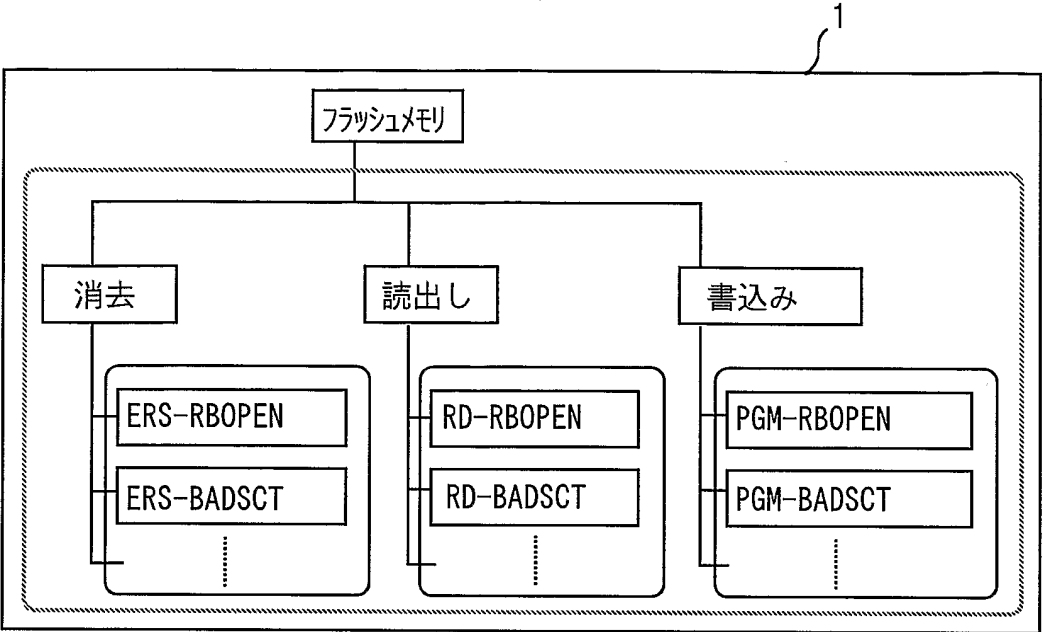
前記送出されるテストの個別条件は前記テストライブラリとの対応関係が把握可能にされることを特徴とする半導体集積回路のテスト支援方法。

- 5 1 1 . 前記コンピュータ装置は、半導体集積回路の製造及びテストを請け負うファブ又は半導体集積回路のテストを請け負うファブと、半導体集積回路の設計を請け負うファブレスと、の間の取り引きを仲介するサービスプロバイダが保有するものであることを特徴とする請求の範囲第 1 0 項記載の半導体集積回路のテスト支援方法。

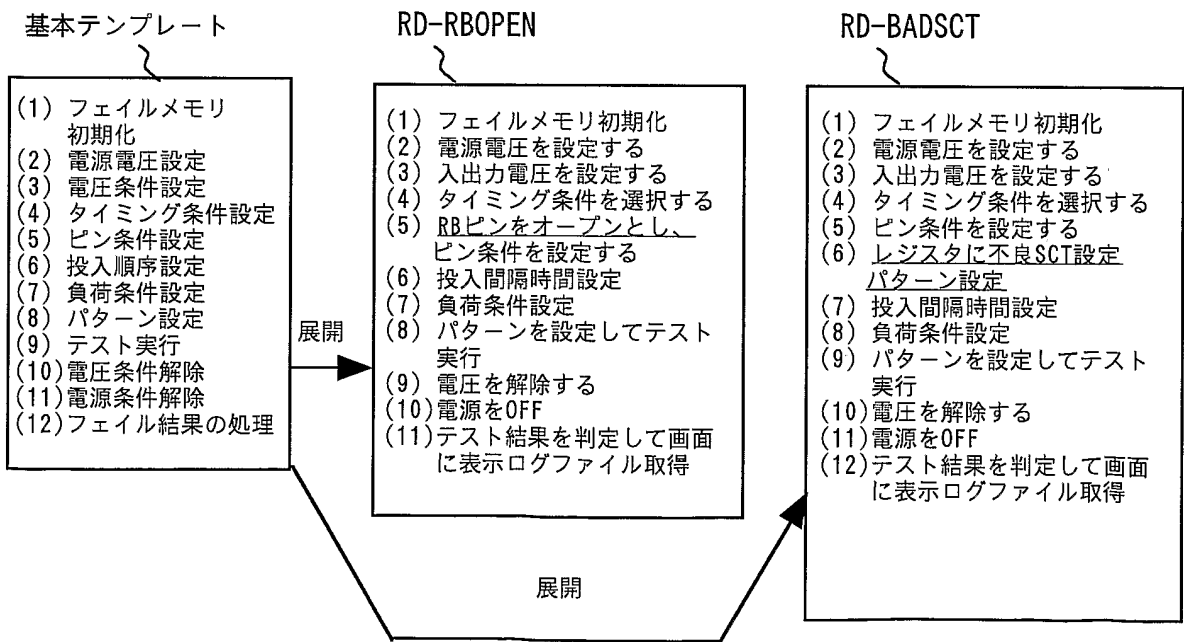
第1図



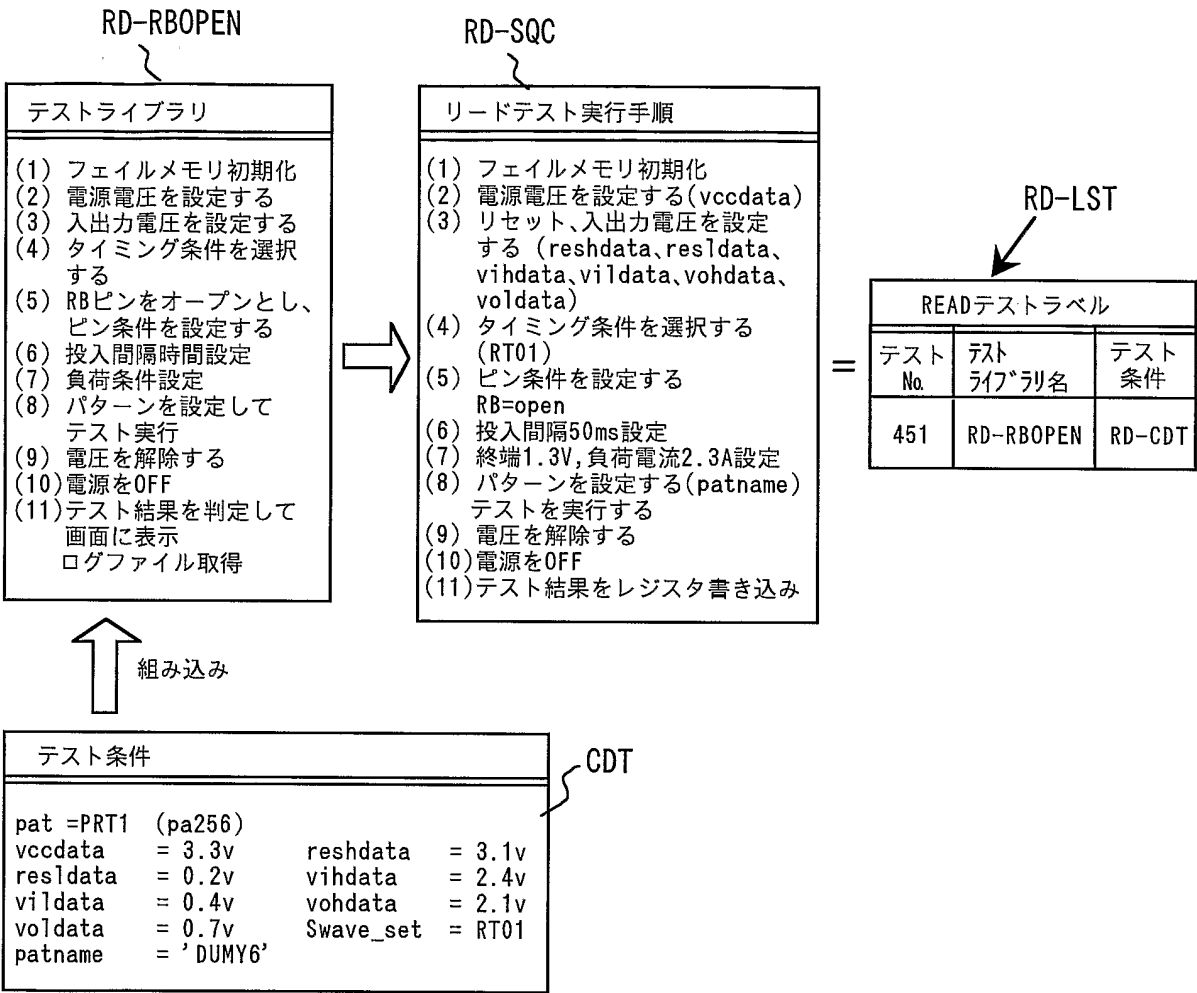
第2図



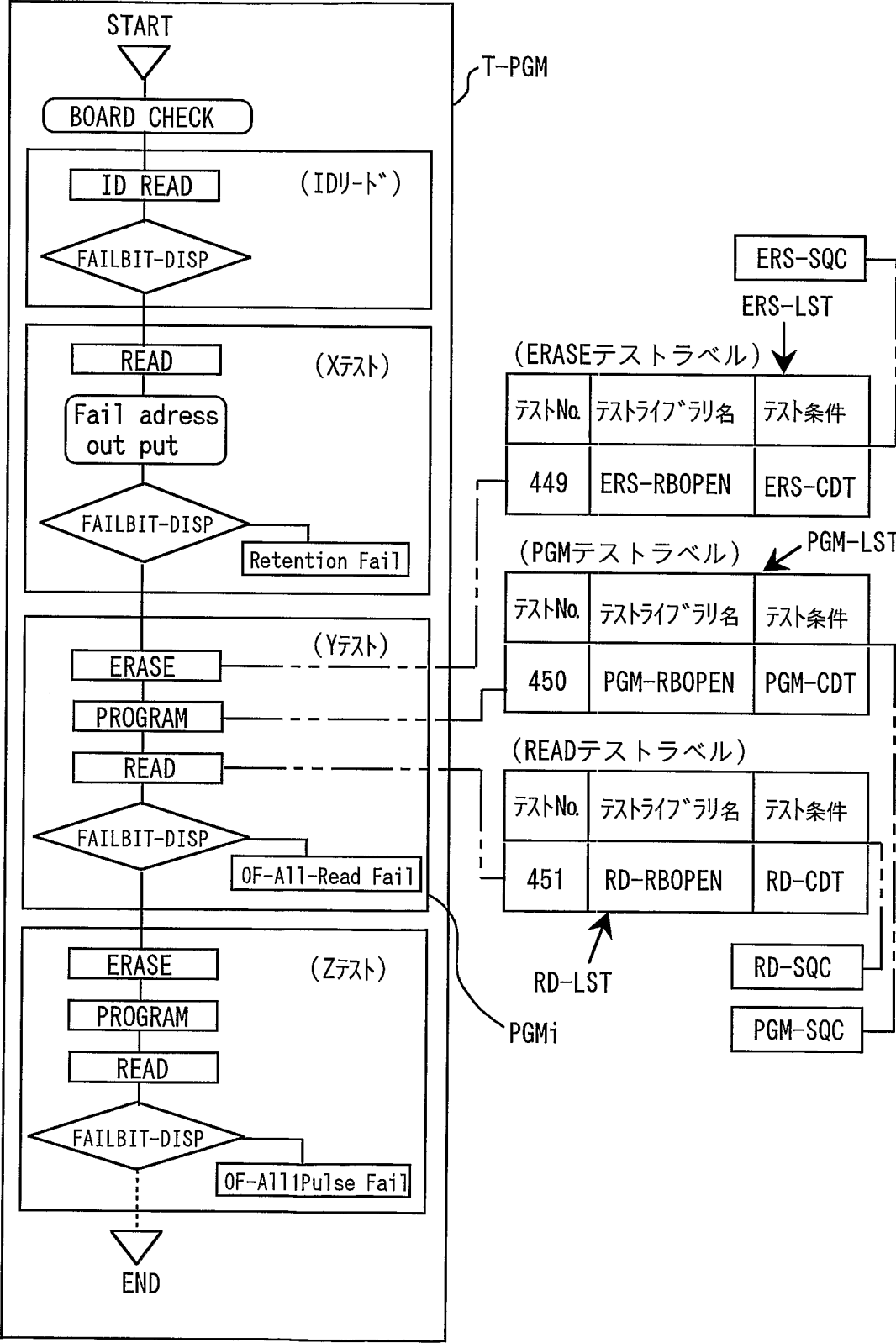
第3図



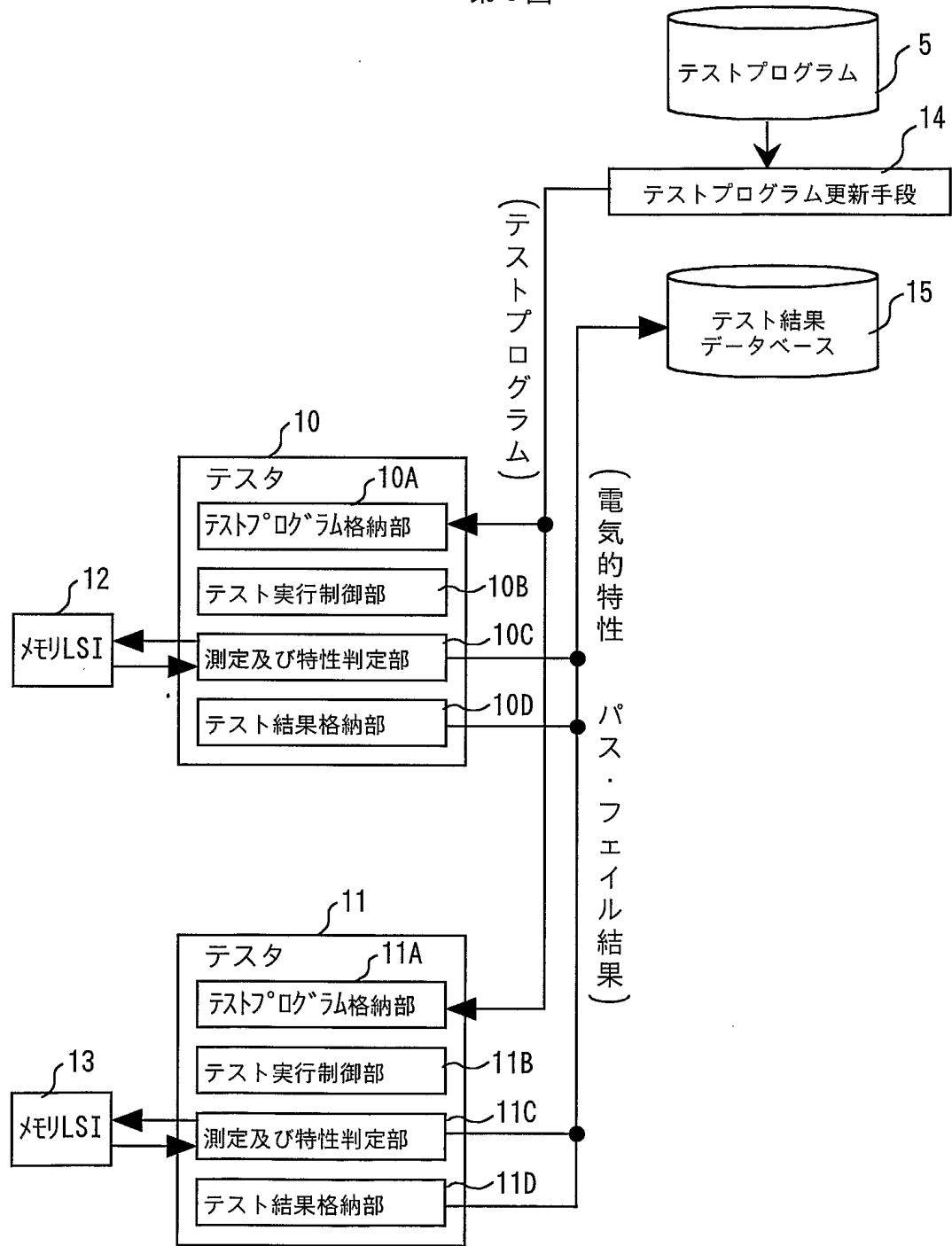
第 4 図



第 5 図

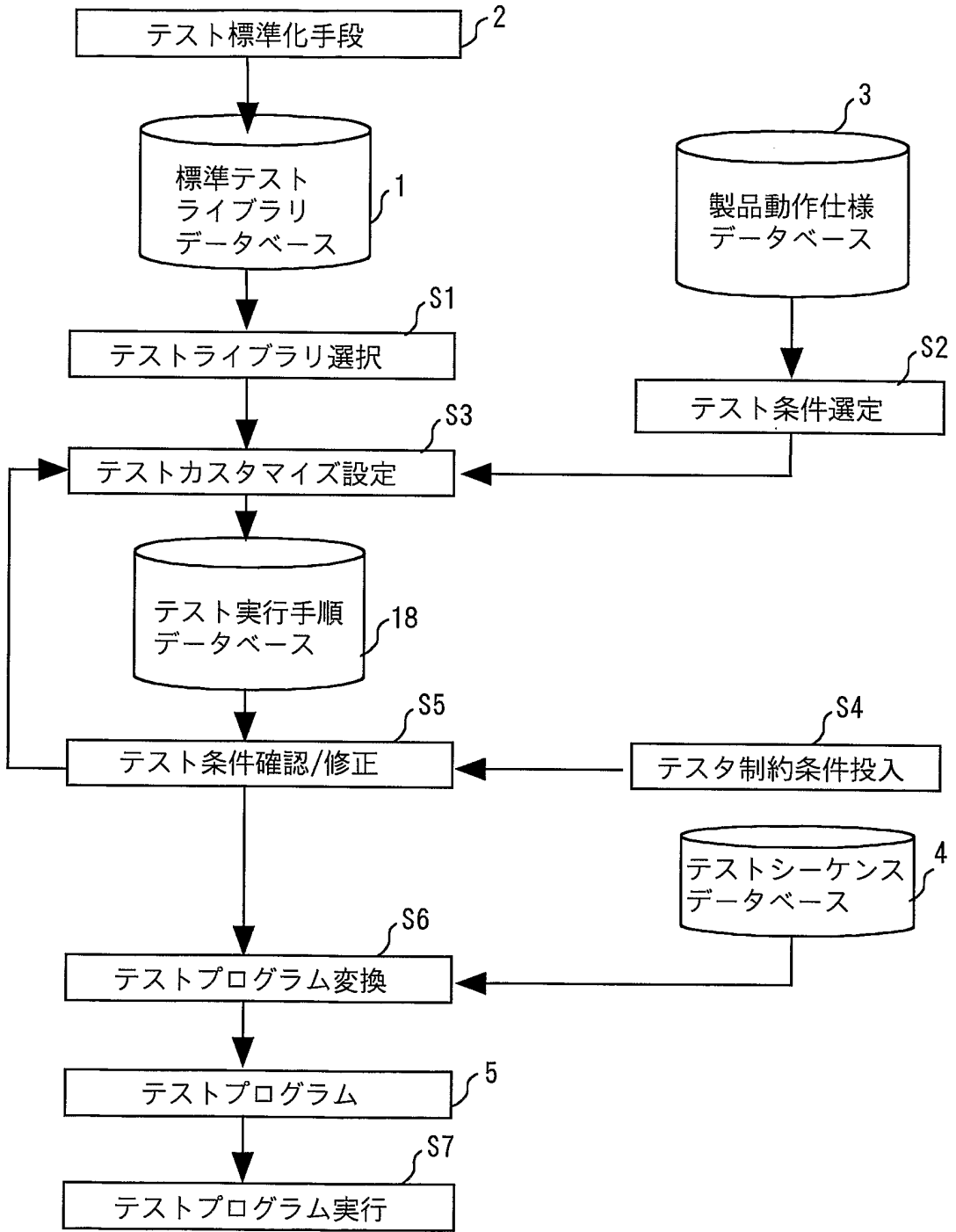


第 6 図

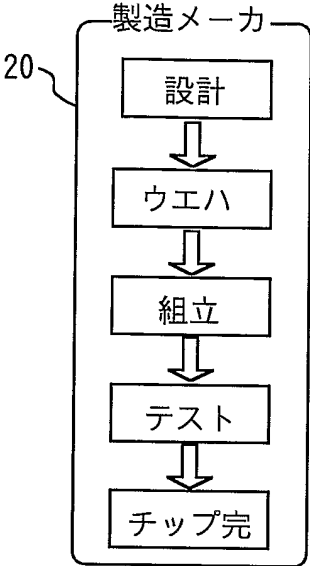


6 / 9

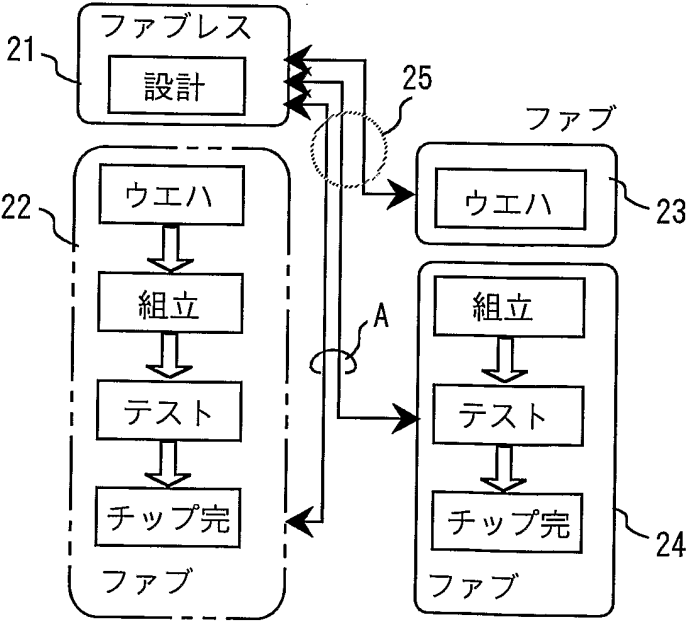
第7図



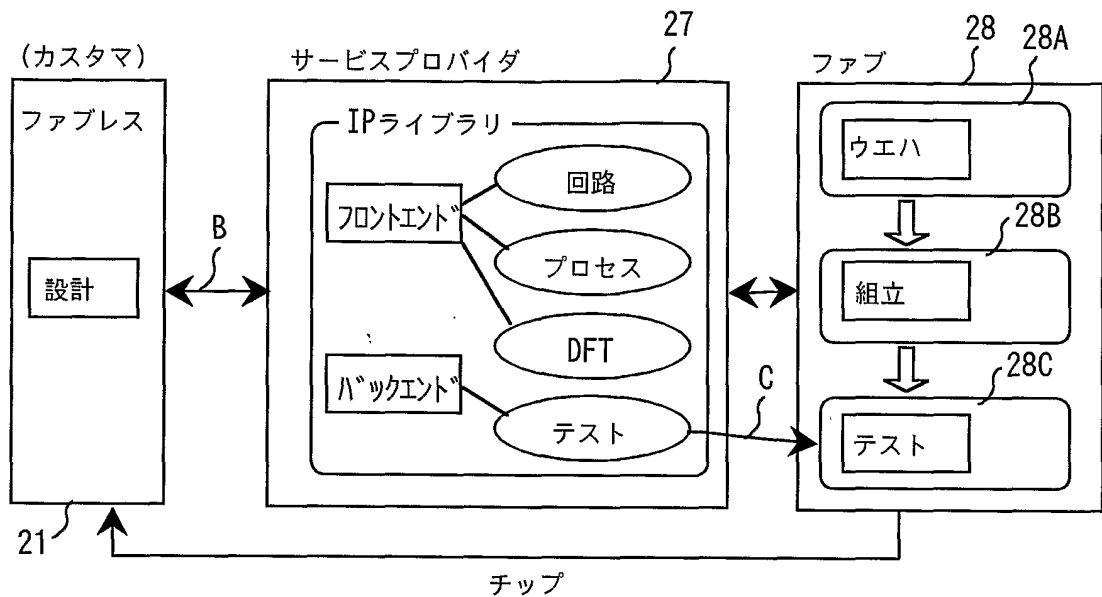
第 8 図



第 9 図



第 10 図

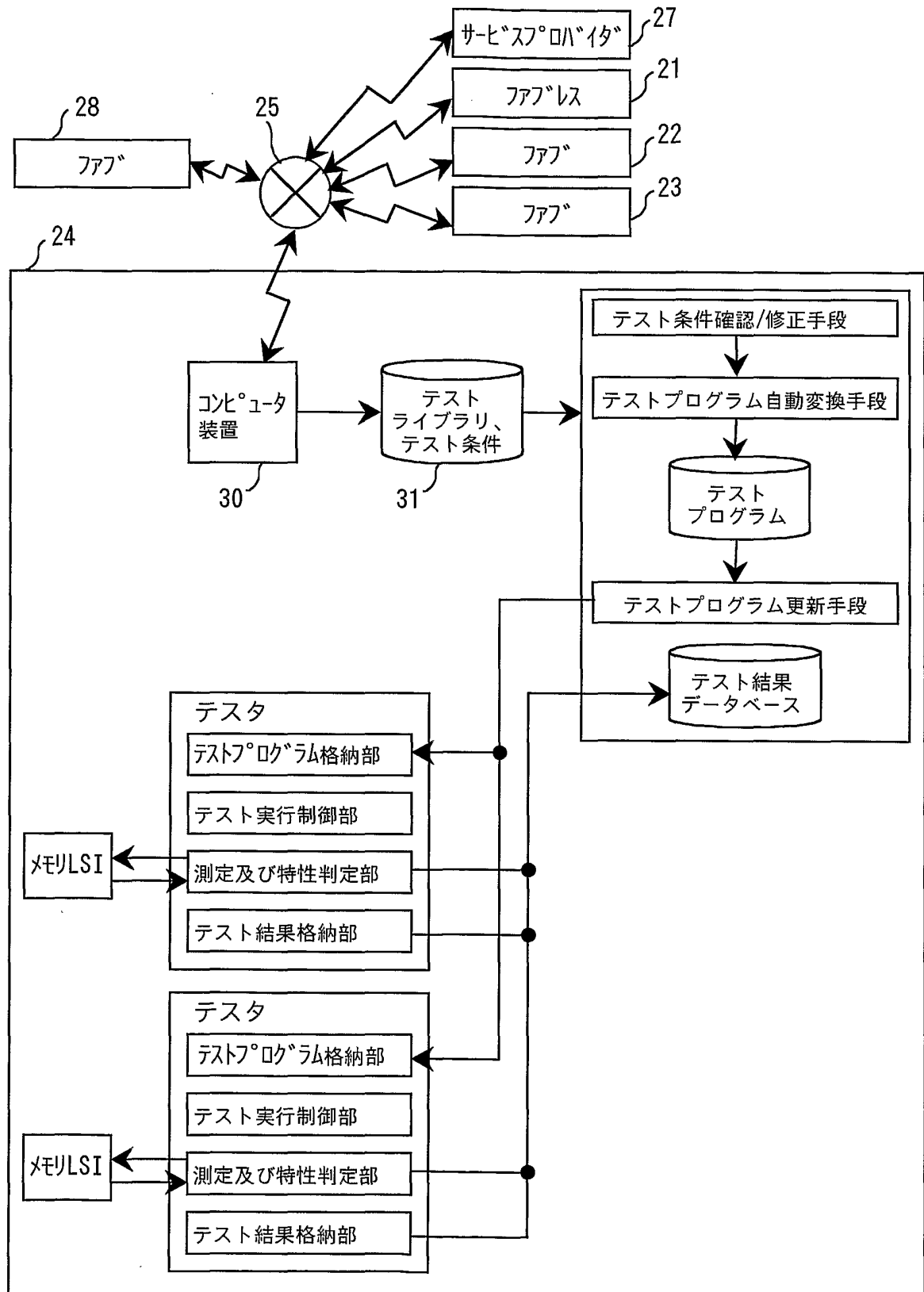


第 11 図

ファブレス(設計)とファブ(テスト)間のI/F		プロバイダ、ファブ業務
A	設計からファブ、テストハウスにプログラム開発依頼orプログラム支給	受託プログラムコーディングorプログラム変更手作業
B	設計からサービスプロバイダ経由でテストファブにテスト条件支給	サービスプロバイダは、設計にテストライブラリ供給、テスト条件の受け取り。
C	設計からサービスプロバイダ経由でテストファブにテスト条件支給	サービスプロバイダは、ファブにテストライブラリ、テスト条件の供給。ファブは、テストライブラリ、テスト条件の組合せでプログラム生成

9 / 9

第12図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/08758

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/04, H01L21/66, G06F17/50, G01R31/28, H01L21/02

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/04, H01L21/66, G06F17/50, G01R31/28, H01L21/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2001-156176 A (Hitachi, Ltd.), 08 June, 2001 (08.06.01), Full text; Fig. 3 (Family: none)	1-7, 10
Y	Full text; Fig. 3 (Family: none)	8
Y	JP 2002-83010 A (Hitachi, Ltd.), 22 March, 2002 (22.03.02), Par. Nos. [0010] to [0012] (Family: none)	8
A	WO 01/84397 A1 (Toshiba Corp.), 08 November, 2001 (08.11.01), Full text; Figs. 1, 2, 6 & JP 2001-312611 A Full text; Figs. 1, 2, 6	9, 11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 07 October, 2002 (07.10.02)	Date of mailing of the international search report 22 October, 2002 (22.10.02)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/08758

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 1156431 A2 (NEC Corp.), 21 November, 2001 (21.11.01), Full text; Fig. 9 & JP 2001-326151 A Full text; Fig. 9	9, 11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/04, H01L21/66, G06F17/50, G01R31/28,
H01L21/02

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/04, H01L21/66, G06F17/50, G01R31/28,
H01L21/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2002年
日本国実用新案登録公報 1996-2002年
日本国登録実用新案公報 1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	JP 2001-156176 A (株式会社日立製作所) 2001.06.08, 全文, 図3 (ファミリーなし) 全文, 図3 (ファミリーなし)	1-7, 10 8
Y	JP 2002-83010 A (株式会社日立製作所) 2002.03.22, 段落番号【0010】-【0012】 (ファミリーなし)	8

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

07.10.02

国際調査報告の発送日

22.10.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
大嶋 洋一

4L 9170

電話番号 03-3581-1101 内線 6764

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 01/84397 A1 (株式会社東芝) 2001. 11. 08, 全文, 第1, 2, 6図 & JP 2001-312611 A 全文, 第1, 2, 6図	9, 11
A	EP 1156431 A2 (NEC CORPORATION) 2001. 11. 21, 全文, 第9図 & JP 2001-326151 A 全文, 第9図	9, 11