(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2006-196687
(P2006-196687A)
(43)公開日　平成18年7月27日(2006.7.27)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 43/08	(2006.01)	H01L	43/08	Z	5F083
H01L 29/82	(2006.01)	H01L	29/82	Z	
H01L 27/105	(2006.01)	H01L	27/10	447	
H01L 21/8246	(2006.01)				

審査請求 未請求　請求項の数 7　ＯＬ　（全 16 頁）

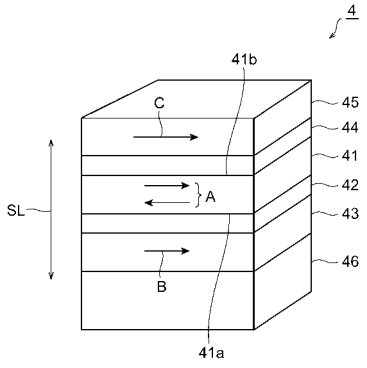
(21)出願番号　特願2005-6647(P2005-6647)
(22)出願日　平成17年1月13日(2005.1.13)

(71)出願人　000003067
ＴＤＫ株式会社
東京都中央区日本橋１丁目１３番１号
(74)代理人　100088155
弁理士　長谷川　芳樹
(74)代理人　100092657
弁理士　寺崎　史朗
(74)代理人　100129296
弁理士　青木　博昭
(72)発明者　細渕　利一
東京都中央区日本橋一丁目１３番１号　ＴＤＫ株式会社内

Ｆターム(参考)　5F083 FZ10　JA02　JA36　JA37　JA38　JA39　JA60　KA01　KA05　MA06　MA19　PR04

(54)【発明の名称】磁気メモリ

(57)【要約】
【課題】　誤書き込みを防止でき、且つ高集積化が容易な磁気メモリを提供する。
【解決手段】　磁気メモリ１が備えるＴＭＲ素子４は、積層方向に流れる電流の密度及びスピン方向に応じて磁化方向Ａが変化する第１磁性層４１と、第１磁性層４１の一方の面４１ａ上に設けられ、磁化方向Ｂが一定である第２磁性層４３と、第１磁性層４１と第２磁性層４３との間に設けられた非磁性絶縁層４２と、第１磁性層４１の他方の面４１ｂ上に設けられ、磁化方向Ｃが一定である第３磁性層４５と、第１磁性層４１と第３磁性層４５との間に設けられた第１非磁性導電層４４とを備え、第１磁性層４１における積層方向ＳＬと直交する断面の面積が０．００１μm^2 以上であり且つ０．０２μm^2 を超えないことを特徴とする。
【選択図】　図４



【特許請求の範囲】
【請求項１】
磁気抵抗効果素子を有する複数の記憶領域を備える磁気メモリであって、
前記磁気抵抗効果素子は、
強磁性材料を含み、積層方向に流れる電流の密度及びスピン方向に応じて磁化方向が変化する第１磁性層と、
強磁性材料を含み、前記第１磁性層の一方の面上に設けられ、磁化方向が一定である第２磁性層と、
非磁性材料を含み、前記第１磁性層と前記第２磁性層との間に設けられた非磁性層と、
強磁性材料を含み、前記第１磁性層の他方の面上に設けられ、磁化方向が一定である第３磁性層と、
非磁性且つ導電性の材料を含み、前記第１磁性層と前記第３磁性層との間に設けられた第１非磁性導電層と
を含み、
前記第１磁性層における前記積層方向と直交する断面の面積が０．００１μｍ^{2}以上であり且つ０．０２μｍ^{2}を超えないことを特徴とする、磁気メモリ。
【請求項２】
トンネル磁気抵抗効果素子を有する複数の記憶領域を備える磁気メモリであって、
前記トンネル磁気抵抗効果素子は、
強磁性材料を含み、積層方向に流れる電流の密度及びスピン方向に応じて磁化方向が変化する第１磁性層と、
強磁性材料を含み、前記第１磁性層の一方の面上に設けられ、磁化方向が一定である第２磁性層と、
非磁性且つ絶縁性の材料を含み、前記第１磁性層と前記第２磁性層との間に設けられた非磁性絶縁層と、
強磁性材料を含み、前記第１磁性層の他方の面上に設けられ、磁化方向が一定である第３磁性層と、
非磁性且つ導電性の材料を含み、前記第１磁性層と前記第３磁性層との間に設けられた第１非磁性導電層と
を含み、
前記第１磁性層における前記積層方向と直交する断面の面積が０．００１μｍ^{2}以上であり且つ０．０２μｍ^{2}を超えないことを特徴とする、磁気メモリ。
【請求項３】
前記第２磁性層の前記積層方向の厚さが、前記第１磁性層の前記積層方向の厚さよりも大きいことを特徴とする、請求項１または２に記載の磁気メモリ。
【請求項４】
前記第３磁性層の前記積層方向の厚さが、前記第１磁性層の前記積層方向の厚さよりも大きいことを特徴とする、請求項１～３のいずれか一項に記載の磁気メモリ。
【請求項５】
前記第２磁性層における前記積層方向と直交する断面の面積が、前記第１磁性層における前記積層方向と直交する断面の面積よりも大きいことを特徴とする、請求項１～４のいずれか一項に記載の磁気メモリ。
【請求項６】
反強磁性材料を含み、前記第２磁性層における前記第１磁性層と対向する面とは反対側の面上に設けられた反強磁性層を更に備えることを特徴とする、請求項１～５のいずれか一項に記載の磁気メモリ。
【請求項７】
強磁性材料を含み、前記第２磁性層における前記第１磁性層と対向する面とは反対側の面上に設けられた第４磁性層と、
非磁性且つ導電性の材料を含み、前記第２磁性層と前記第４磁性層との間に設けられた

第２非磁性導電層と
を更に備えることを特徴とする、請求項１～６のいずれか一項に記載の磁気メモリ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、磁気抵抗効果素子にデータを記憶する磁気メモリに関するものである。
【背景技術】
【０００２】
現在、コンピュータや通信機器等の情報処理装置に用いられる記憶デバイスとして、磁気抵抗効果素子を備えるＭＲＡＭ（Magnetic Random Access Memory）が注目されている。ＭＲＡＭは、磁気によってデータを記憶するので、揮発性メモリであるＤＲＡＭ（Dynamic Random Access Memory）やＳＲＡＭ（Static ＲＡＭ）のように電源断によって情報が失われるといった不都合がない。また、従来のフラッシュＥＥＰＲＯＭ（Electronically Erasable and Programmable Read Only Memory）やハードディスク装置のような不揮発性記憶手段と比較して、アクセス速度、信頼性、消費電力等において非常に優れている。従って、ＭＲＡＭは、ＤＲＡＭやＳＲＡＭなどの揮発性メモリの機能、及びフラッシュＥＥＰＲＯＭやハードディスク装置などの不揮発性記憶手段の機能をすべて代替できる可能性を有している。現在、いつ、どこにいても情報処理を行うことができる、いわゆるユビキタスコンピューティングを目指した情報機器の開発が急速に進められているが、ＭＲＡＭは、このような情報機器におけるキーデバイスとしての役割が期待されている。
【０００３】
磁気抵抗効果素子は、例えば巨大磁気抵抗効果（ＧＭＲ：Giant magneto-Resistive）やトンネル磁気抵抗効果（ＴＭＲ：Tunneling Magneto-Resistive）を利用している。ＧＭＲ効果とは、非磁性層を挟んだ２つの強磁性層間の磁化方向の相対角度に応じて、積層方向と直交する方向における強磁性層の抵抗値が変化する現象である。すなわち、ＧＭＲ効果を利用した巨大磁気抵抗効果素子（ＧＭＲ素子）においては、２つの強磁性層の磁化方向が互いに平行である場合に強磁性層の抵抗値が最小となり、反平行である場合に最大となる。また、ＴＭＲ効果とは、薄い絶縁層を挟んだ２つの強磁性層間の磁化方向の相対角度に応じて、この２つの強磁性層間の抵抗値が変化する現象である。すなわち、ＴＭＲ効果を利用したトンネル磁気抵抗効果素子（ＴＭＲ素子）においては、２つの強磁性層の磁化方向同士が平行な場合に強磁性層間の抵抗値が最小になり、反平行の場合に最大となる。これらのような磁気抵抗効果素子を備えるＭＲＡＭは、２つの強磁性層間の磁化方向の状態（平行または反平行）によって二値データ（０または１）を記憶することができる。そして、磁化方向の状態に基づく抵抗値を測定することにより、磁気抵抗効果素子から二値データを読み出すことができる。
【０００４】
なお、これらの磁気抵抗効果素子のうち、特にＴＭＲ素子は、その抵抗変化率を例えば４０％以上と大きくできる。また、ＴＭＲ素子は、抵抗値が比較的高いためＭＯＳ－ＦＥＴなどの半導体デバイスとの組み合わせが容易である。従って、記憶したデータを比較的小さな電流によって安定して読み出すことができるので、記憶容量の増大や動作速度の向上が期待されている。ＴＭＲ効果を用いたＭＲＡＭとしては、例えば特許文献１に開示された磁気メモリがある。
【０００５】
【特許文献１】特開２００４－１５３１８２号公報
【発明の開示】
【発明が解決しようとする課題】
【０００６】
磁気抵抗効果素子を備えるＭＲＡＭは、上述したように多くの利点を有する。しかしながら、現時点においては、特許文献１に開示された構成のように、磁気抵抗効果素子の近傍に配設された書き込み配線からの電流磁界によって一方の強磁性層（感磁層）の磁化方

向を変化させる構成となっている。このような構成では、書き込み配線からの電流磁界は書き込み対象の磁気抵抗効果素子以外の方向へも放出されるため、他の磁気抵抗効果素子への誤書き込みを招くおそれがある。

【０００７】

さらに、書き込み配線からの電流磁界によって感磁層の磁化方向を変化させる場合、感磁層の平面寸法と厚さとの比率が小さいほど、感磁層の内部における反磁界が増大する。従って、ＭＲＡＭを高集積化するために磁気抵抗効果素子を小型化するほど、感磁層の磁化方向を変化させるために必要な磁界強度が増大し、大きな書き込み電流が必要となる。そして、書き込み電流が大きくなると、書き込み電流を制御するためのトランジスタが大型化する。このことから、電流磁界によって感磁層の磁化方向を変化させる構成のＭＲＡＭでは、高集積化することが難しい。

【０００８】

本発明は、上記した問題点を鑑みてなされたものであり、誤書き込みを防止でき、且つ高集積化が容易な磁気メモリを提供することを目的とする。

【課題を解決するための手段】

【０００９】

上記した課題を解決するために、本発明による第１の磁気メモリは、磁気抵抗効果素子を有する複数の記憶領域を備える磁気メモリであって、磁気抵抗効果素子は、強磁性材料を含み、積層方向に流れる電流の密度及びスピン方向に応じて磁化方向が変化する第１磁性層と、強磁性材料を含み、第１磁性層の一方の面上に設けられ、磁化方向が一定である第２磁性層と、非磁性材料を含み、第１磁性層と第２磁性層との間に設けられた非磁性層と、強磁性材料を含み、第１磁性層の他方の面上に設けられ、磁化方向が一定である第３磁性層と、非磁性且つ導電性の材料を含み、第１磁性層と第３磁性層との間に設けられた第１非磁性導電層とを含み、第１磁性層における積層方向と直交する断面の面積が０．００１μｍ^{2}以上であり且つ０．０２μｍ^{2}を超えないことを特徴とする。

【００１０】

また、本発明による第２の磁気メモリは、トンネル磁気抵抗効果素子を有する複数の記憶領域を備える磁気メモリであって、トンネル磁気抵抗効果素子は、強磁性材料を含み、積層方向に流れる電流の密度及びスピン方向に応じて磁化方向が変化する第１磁性層と、強磁性材料を含み、第１磁性層の一方の面上に設けられ、磁化方向が一定である第２磁性層と、非磁性且つ絶縁性の材料を含み、第１磁性層と第２磁性層との間に設けられた非磁性絶縁層と、強磁性材料を含み、第１磁性層の他方の面上に設けられ、磁化方向が一定である第３磁性層と、非磁性且つ導電性の材料を含み、第１磁性層と第３磁性層との間に設けられた第１非磁性導電層とを含み、第１磁性層における積層方向と直交する断面の面積が０．００１μｍ^{2}以上であり且つ０．０２μｍ^{2}を超えないことを特徴とする。

【００１１】

上記した第１及び第２の磁気メモリでは、（トンネル）磁気抵抗効果素子が、磁化方向が変化する第１磁性層と磁化方向が一定の第３磁性層との間に第１非磁性導電層を含んで構成されている。このような積層体に対して積層方向に電流を流すと、第３磁性層と第１非磁性導電層との界面（接合面）において電流のスピン方向がフィルタリングされ、スピン方向が偏ったスピン分極電流が生成される。そして、或る電流密度以上のスピン分極電流が第１磁性層に流れると、第１磁性層の磁化方向の変化（磁化反転）が生じる。

【００１２】

このように、上記した第１及び第２の磁気メモリにおいては、第１磁性層の磁化方向を、電流磁界といった外部磁界ではなく、磁気抵抗効果素子に電流を直接流すことによって変化させることができる。しかも、第３磁性層及び第１非磁性導電層によってスピン分極電流を生成しているので、比較的小さな電流によって磁化方向を変化させることができる。従って、上記した第１または第２の磁気メモリによれば、書き込み対象の磁気抵抗効果素子以外の他の磁気抵抗効果素子への誤書き込みを防止できる。

【００１３】

また、上記した第１及び第２の磁気メモリにおいては、スピン分極電流によって第１磁性層の磁化方向を変化させるので、第１磁性層の内部において反磁界が増大しないだけでなく、第１磁性層の平面寸法が小さいほど磁化方向の変化に必要な電流値が小さくなる。従って、上記した第１または第２の磁気メモリによれば、磁気抵抗効果素子の小型化が可能になり、磁気メモリの高集積化を容易にできる。

【００１４】

更に、上記した第１及び第２の磁気メモリにおいては、磁気抵抗効果素子の第１磁性層における積層方向と直交する断面の面積が０．００１μｍ^{2}以上となっている。ここで、磁気抵抗効果素子に記憶されたデータが読み出される際には、磁気抵抗効果素子に読み出し電流が供給され、例えば磁気抵抗効果素子における電圧降下が検出されることによって磁気抵抗効果素子の抵抗値が測定される。本発明者の知見によれば、この読み出し電流の電流量は、磁気抵抗効果による抵抗値をノイズ等に影響されず精度良く測定するために、少なくとも０．１ｍＡであることが好ましい。他方、磁気抵抗効果素子にデータを書き込む際にスピン分極電流によって第１磁性層の磁化反転を行う場合、磁化方向を確実に反転させるためには、第１磁性層に供給される書き込み電流の密度が１×１０^{7}Ａ／ｃｍ^{2}以上であることが好ましい。また、第１磁性層の磁化方向が反転するために最低限必要な書き込み電流の電流量は、読み出し電流によって第１磁性層の磁化方向が反転しないように、読み出し電流量よりも大きくなければならない。これらのことから、第１磁性層における積層方向と直交する断面の面積が、電流密度１×１０^{7}Ａ／ｃｍ^{2}のときに電流量０．１ｍＡとなる０．００１μｍ^{2}以上であることにより、データ読み出しの際に磁気抵抗効果による抵抗値を精度良く測定できるとともに、データ書き込みの際にスピン分極電流による第１磁性層の磁化反転を好適に行うことができる。

【００１５】

また、上記した第１及び第２の磁気メモリにおいては、磁気抵抗効果素子の第１磁性層における積層方向と直交する断面の面積が０．０２μｍ^{2}を超えないこととなっている。ここで、本発明者の知見によれば、書き込み電流の電流量が１０ｍＡ以上になると、各記憶領域において書き込み電流の導通を制御するトランジスタといったスイッチング素子の寸法が大きくなり過ぎ、磁気抵抗効果素子を小型化したとしても、磁気メモリの高集積化が制限されてしまう。また、第１磁性層の磁化方向を確実に反転させるためには、第１磁性層に供給される書き込み電流の密度が５×１０^{7}Ａ／ｃｍ^{2}あれば充分である。従って、第１磁性層における積層方向と直交する断面の面積が、電流密度５×１０^{7}Ａ／ｃｍ^{2}のときに電流量１０ｍＡとなる０．０２μｍ^{2}を超えないことにより、スイッチング素子及び磁気抵抗効果素子を共に小型化し、磁気メモリを高集積化できる。

【００１６】

また、上記した第２の磁気メモリは、磁気抵抗効果素子としてトンネル磁気抵抗効果素子（ＴＭＲ素子）を備えている。すなわち、第１磁性層と第２磁性層との間の非磁性層として、非磁性絶縁層が設けられている。これにより、第１磁性層と第２磁性層との間にＴＭＲ効果が生じるので、第１磁性層の磁化方向の変化による抵抗変化率を比較的大きくできる。従って、第１磁性層の磁化方向によって記憶されたデータを高速且つ安定に読み出すことができる。

【００１７】

また、第１または第２の磁気メモリは、第２磁性層の積層方向の厚さが、第１磁性層の積層方向の厚さよりも大きいことを特徴としてもよい。また、第１または第２の磁気メモリは、第２磁性層における積層方向と直交する断面の面積が、第１磁性層における積層方向と直交する断面の面積よりも大きいことを特徴としてもよい。これらのうち少なくとも一方の構成により、第１磁性層の磁化方向を変化させるための電流による第２磁性層の磁化方向の乱れを効果的に防止し、第２磁性層の磁化方向を安定して保持できる。

【００１８】

また、第１または第２の磁気メモリは、第３磁性層の積層方向の厚さが、第１磁性層の積層方向の厚さよりも大きいことを特徴としてもよい。これにより、第１磁性層の磁化方

向を変化させるための電流による第３磁性層の磁化方向の乱れを効果的に防止し、第３磁性層の磁化方向を安定して保持できる。

【００１９】

また、第１または第２の磁気メモリは、反強磁性材料を含み、第２磁性層における第１磁性層と対向する面とは反対側の面上に設けられた反強磁性層を更に備えることを特徴としてもよい。或いは、第１または第２の磁気メモリは、強磁性材料を含み、第２磁性層における第１磁性層と対向する面とは反対側の面上に設けられた第４磁性層と、非磁性且つ導電性の材料を含み、第２磁性層と第４磁性層との間に設けられた第２非磁性導電層とを更に備えることを特徴としてもよい。これらのうちいずれか一方の構成により、反強磁性層または第４磁性層と第２磁性層との間に交換結合または反強磁性結合が生じ、第２磁性層の磁化方向を安定して保持することができる。

【発明の効果】

【００２０】

本発明による磁気メモリによれば、誤書き込みを防止でき、且つ高集積化を容易にできる。

【発明を実施するための最良の形態】

【００２１】

以下、添付図面を参照しながら本発明による磁気メモリの実施の形態を詳細に説明する。なお、図面の説明において同一の要素には同一の符号を付し、重複する説明を省略する。

【００２２】

まず、本発明による磁気メモリの一実施形態の構成について説明する。図１は、本実施形態による磁気メモリ１の平面図である。磁気メモリ１は、複数の記憶領域３を備える。複数の記憶領域３は、ｍ行ｎ列（ｍ、ｎは２以上の整数）からなる二次元状に配列されている。複数の記憶領域３のそれぞれは、ＴＭＲ素子といった磁気抵抗効果素子を有する。

【００２３】

図２は、図１に示した磁気メモリ１を行方向に沿ったＩ－Ｉ線で切断した断面図である。また、図３は、図１及び図２に示した磁気メモリ１を列方向に沿ったII－II線で切断した断面図である。図２及び図３を参照すると、磁気メモリ１は、半導体層６、配線層７、及び磁性材料層８を備える。また、磁気メモリ１は、ＴＭＲ素子４、ビット配線１３ａ及び１３ｂ、ワード配線１４、半導体基板２１、及びトランジスタ３２を備える。

【００２４】

半導体層６は、半導体基板２１を含み磁気メモリ１全体の機械的強度を維持するとともに、トランジスタ等の半導体デバイスが形成される層である。磁性材料層８は、ＴＭＲ素子４といった磁性材料による構成物が形成される層である。配線層７は、半導体層６と磁性材料層８との間に設けられる。配線層７は、ビット配線１３ａ、１３ｂ、及びワード配線１４といった領域間配線が形成される層である。また、配線層７には、磁性材料層８に形成されたＴＭＲ素子４などの磁性体デバイスと、半導体層６に形成されたトランジスタなどの半導体デバイスと、ビット配線１３ａ、１３ｂ、及びワード配線１４とを、互いに電気的に接続するための配線が形成される。

【００２５】

まず、半導体層６について説明する。半導体層６は、半導体基板２１と、絶縁領域２２と、トランジスタ３２とを有する。半導体基板２１は、例えばＳｉ基板からなり、ｐ型またはｎ型の不純物がドープされている。絶縁領域２２は、半導体基板２１上においてトランジスタ３２以外の領域に形成されており、互いに隣接する記憶領域３のトランジスタ３２同士を電気的に分離している。絶縁領域２２は、例えばSiO_2といった絶縁性材料からなる。

【００２６】

図３を参照すると、トランジスタ３２は、半導体基板２１とは反対導電型のドレイン領域３２ａ及びソース領域３２ｃ、ゲート電極３２ｂ、並びに半導体基板２１の一部によっ

て構成されている。ドレイン領域３２ａ及びソース領域３２ｃは、例えばＳｉ基板の表面近傍に、半導体基板２１とは反対導電型の不純物がドープされて形成されている。ドレイン領域３２ａとソース領域３２ｃとの間には半導体基板２１が介在しており、その半導体基板２１上にゲート電極３２ｂが配置されている。このような構成により、トランジスタ３２では、ゲート電極３２ｂに電圧が印加されると、ドレイン領域３２ａ及びソース領域３２ｃが互いに導通する。

【００２７】

次に、磁性材料層８について説明する。図２を参照すると、磁性材料層８は、ＴＭＲ素子４と、絶縁領域２４と、電極３１及び３５とを有する。なお、磁性材料層８においては、以下に説明する構成（ＴＭＲ素子４、電極３１及び３５）及び他の配線以外の領域は、絶縁領域２４によって占められている。絶縁領域２４の材料としては、半導体層６の絶縁領域２２と同様に、SiO_2といった絶縁性材料を用いることができる。

【００２８】

ここで、図４は、ＴＭＲ素子４の拡大斜視図である。図４を参照すると、ＴＭＲ素子４は、第１磁性層４１、非磁性絶縁層４２、第２磁性層４３、第１非磁性導電層４４、第３磁性層４５、及び反強磁性層４６を有する。

【００２９】

第１磁性層４１は、内部の磁化方向Ａによって二値データ（例えば０または１）を記録する層である。すなわち、第１磁性層４１は、強磁性材料を含んで構成されており、その磁化容易軸方向が積層方向（図中の矢印ＳＬ）と略直交するように形成されている。第１磁性層４１では、積層方向に流れる電流の密度が或る閾値を超えると、その電流のスピン方向に応じて内部の磁化方向Ａが変化（反転）する。第１磁性層４１は、その積層方向ＳＬと直交する断面の面積が０．００１μm^2以上であり且つ０．０２μm^2を超えない大きさに形成されている。なお、第１磁性層４１の材料としては、例えばＣｏ、ＣｏＦｅ、ＮｉＦｅ、ＮｉＦｅＣｏ、ＣｏＰｔなどの強磁性材料、またはこれらのうち任意の組み合わせの材料を用いることができる。

【００３０】

第２磁性層４３は、磁化方向Ｂが一定に保たれる層である。第２磁性層４３は、強磁性材料を含んで構成され、その磁化容易軸方向が第１磁性層４１の磁化容易軸方向と略平行になるように、第１磁性層４１の一方の面４１ａ上に設けられる。第２磁性層４３は、第１磁性層４１の磁化方向Ａを反転させるための書き込み電流によって第２磁性層４３内部の磁化方向Ｂが乱れないように、積層方向ＳＬと直交する断面の面積及び積層方向ＳＬに沿った厚さのうち少なくとも一方の値が、第１磁性層４１よりも大きいことが好ましい。これにより、第２磁性層４３内部の磁化方向Ｂを変化させるためには非常に大きな電流が必要となるので、第１磁性層４１の磁化方向Ａを反転させる書き込み電流による第２磁性層４３内部の磁化方向Ｂの乱れを低減できる。例えば、第２磁性層４３における積層方向ＳＬと直交する断面積が、第１磁性層４１における積層方向ＳＬと直交する断面積の２倍以上であれば、第２磁性層４３の磁化方向Ｂを安定に保持できる。なお、第２磁性層４３の材料としては、第１磁性層４１と同様に、例えばＣｏ、ＣｏＦｅ、ＮｉＦｅ、ＮｉＦｅＣｏ、ＣｏＰｔなどの強磁性材料、またはこれらのうち任意の組み合わせの材料を用いることができる。

【００３１】

非磁性絶縁層４２は、第１磁性層４１と第２磁性層４３との間に設けられる非磁性層である。本実施形態の非磁性絶縁層４２は、非磁性且つ絶縁性の材料を含んで構成される。また、非磁性絶縁層４２は、第１磁性層４１と第２磁性層４３との間においてこれらの層よりも薄く形成される。第１磁性層４１と第２磁性層４３との間に非磁性絶縁層４２が介在することにより、第１磁性層４１と第２磁性層４３との間には、トンネル磁気抵抗（ＴＭＲ）効果が生じる。すなわち、第１磁性層４１と第２磁性層４３との間の電気抵抗値は、第１磁性層４１の磁化方向Ａと第２磁性層４３の磁化方向Ｂとの相対関係（平行または反平行）によって大きく変化する。非磁性絶縁層４２の材料としては、例えばＡｌ、Ｚｎ

、Ｍｇといった金属の酸化物または窒化物が好適である。なお、本実施形態において、非磁性絶縁層４２の代わりにＲｕ、Ｒｈ、Ｉｒ、Ｃｕ、Ａｇといった非磁性導電材料を含む非磁性導電層を設けると、第１磁性層４１にＧＭＲ効果が発現することとなる。

【００３２】

第１非磁性導電層４４及び第３磁性層４５は、スピン方向が偏ったスピン分極電流を第１磁性層４１に注入するための層である。第３磁性層４５は、強磁性材料を含んで構成され、その磁化容易軸方向が第１磁性層４１の磁化容易軸方向と略平行になるように、第１磁性層４１の他方の面４１ｂ上に設けられる。また、第３磁性層４５の磁化方向Ｃは、一定に保持される。第３磁性層４５は、第１磁性層４１の磁化方向Ａを反転させるための書き込み電流によって第３磁性層４５内部の磁化方向Ｃが乱れないように、その積層方向ＳＬに沿った厚さが、第１磁性層４１の厚さよりも大きいことが好ましい。これにより、第３磁性層４５内部の磁化方向Ｃを変化させるためには非常に大きな電流が必要となるので、第１磁性層４１の磁化方向Ａを反転させる書き込み電流による第３磁性層４５内部の磁化方向Ｃの乱れを低減できる。また、第１非磁性導電層４４は、非磁性且つ導電性の材料を含んで構成され、第１磁性層４１の他方の面４１ｂ上において第１磁性層４１と第３磁性層４５との間に設けられる。なお、第３磁性層４５の材料としては、第１磁性層４１と同様に、例えばＣｏ、ＣｏＦｅ、ＮｉＦｅ、ＮｉＦｅＣｏ、ＣｏＰｔなどの強磁性材料、またはこれらのうち任意の組み合わせの材料を用いることができる。また、第１非磁性導電層４４の材料としては、例えばＲｕ、Ｒｈ、Ｉｒ、Ｃｕ、Ａｇなどの非磁性導電材料、またはこれらのうち任意の組み合わせの材料を用いることができる。

【００３３】

反強磁性層４６は、第２磁性層４３の磁化方向Ｂを一定方向に保持するための層である。反強磁性層４６は、反強磁性材料を含んで構成され、第２磁性層４３における第１磁性層４１と対向する面とは反対側の面上に設けられる。そして、反強磁性層４６と第２磁性層４３との間に交換結合が生じることにより、第２磁性層４３の磁化方向Ｂを安定化させることができる。反強磁性層４６の材料としては、ＩｒＭｎ、ＰｔＭｎ、ＦｅＭｎ、ＰｔＰｄＭｎ、ＮｉＯ、またはこれらのうち任意の組み合わせの材料を用いることができる。

【００３４】

再び図２を参照すると、ＴＭＲ素子４上には、電極３１が設けられている。電極３１は導電性の金属からなり、記憶領域３の行方向に延びている。電極３１は、図４に示したＴＭＲ素子４の第３磁性層４５上に設けられ、ＴＭＲ素子４の第３磁性層４５側の端面に電気的に接続されるとともに、垂直配線１６ａ及び１６ｂを介して配線層７内部のビット配線１３ａに電気的に接続されている。また、ＴＭＲ素子４は、電極３５上に設けられている。そして、ＴＭＲ素子４の反強磁性層４６（図４参照）側の端面は、電極３５と電気的に接続されている。電極３５は、配線層７内部に設けられた配線（後述）を介してトランジスタ３２に電気的に接続されている。そして、電極３１と電極３５との間に書き込み電流または読み出し電流を流すことにより、これらの電流を積層方向ＳＬ（図４参照）に沿ってＴＭＲ素子４へ流すことができる。

【００３５】

再び図２及び図３を参照して、配線層７について説明する。配線層７は、絶縁領域２３と、ビット配線１３ａ及び１３ｂと、ワード配線１４と、複数の垂直配線及び水平配線とを有する。なお、配線層７においては、各配線以外の領域は、すべて絶縁領域２３によって占められている。絶縁領域２３の材料としては、半導体層６の絶縁領域２２と同様に、SiO_2といった絶縁性材料を用いることができる。また、垂直配線の材料としては例えばＷを、ビット配線１３ａ及び１３ｂ、ワード配線１４、及び水平配線の材料としては例えばＡｌを、それぞれ用いることができる。

【００３６】

ビット配線１３ａ及び１３ｂは、記憶領域３の各列に対応して配設された配線である。ビット配線１３ａは、対応する列の記憶領域３それぞれが有する電極３１に、垂直配線１６ａ及び１６ｂを介して電気的に接続されている。これにより、ビット配線１３ａは、Ｔ

ＭＲ素子４における第３磁性層４５側の一端に電気的に接続される。また、ビット配線１３ｂは、対応する列の記憶領域３それぞれが有するトランジスタ３２のソース領域３２ｃに電気的に接続されている。具体的には、ビット配線１３ｂは、図３に示す水平配線１８ｂを介して垂直配線１６ｅに電気的に接続されており、垂直配線１６ｅはトランジスタ３２のソース領域３２ｃとオーミック接合されている。

【００３７】

ワード配線１４は、記憶領域３の各行に対応して配設された配線である。ワード配線１４は、対応する行の記憶領域３それぞれが有するトランジスタ３２の制御端子であるゲート電極３２ｂに電気的に接続されている。本実施形態では、ワード配線１４の一部は、トランジスタ３２のゲート電極３２ｂを兼ねている。すなわち、図３に示すゲート電極３２ｂは、記憶領域３の行方向に延びるワード配線１４の一部によって構成されている。

【００３８】

また、磁性材料層８の電極３５は、配線層７の垂直配線１６ｃ及び水平配線１８ａを介して垂直配線１６ｄに電気的に接続されており、垂直配線１６ｄはトランジスタ３２のドレイン領域３２ａとオーミック接合されている。これにより、ＴＭＲ素子４における反強磁性層４６側の一端が、トランジスタ３２のドレイン領域３２ａと電気的に接続される。

【００３９】

以上の構成を備える磁気メモリ１は、次のように動作できる。すなわち、或る記憶領域３に二値データを書き込む際には、当該記憶領域３を通るワード配線１４に対して制御電圧を印加する。これにより、当該記憶領域３に含まれるトランジスタ３２において、制御電圧がゲート電極３２ｂに印加され、ドレイン領域３２ａとソース領域３２ｃとの間が導通状態となる。更に、当該記憶領域３を通るビット配線１３ａとビット配線１３ｂとの間に、二値データに応じた正または負の書き込み電流を供給する。これにより、ＴＭＲ素子４の第１磁性層４１の磁化方向Ａが反転する。

【００４０】

また、記憶領域３から二値データを読み出す際には、当該記憶領域３を通るワード配線１４に対して制御電圧を印加するとともに、ビット配線１３ａとビット配線１３ｂとの間に、第１磁性層４１の磁化方向Ａが反転しない程度の大きさの読み出し電流を供給する。そして、ＴＭＲ素子４における積層方向ＳＬと交差する両端間の抵抗値を測定することにより、記憶領域３に記憶された二値データを読み出すことができる。なお、ＴＭＲ素子４の両端間の抵抗値を測定する際には、例えば読み出し電流を供給したときのＴＭＲ素子４における電圧降下量を測定するとよい。

【００４１】

ここで、本実施形態のＴＭＲ素子４の動作について更に詳細に説明する。まず、ＴＭＲ素子４に二値データを書き込む際の、第１非磁性導電層４４及び第３磁性層４５によるスピン分極作用について説明する。通常、ＴＭＲ素子４を積層方向ＳＬに沿って流れる電流においては、上向きスピン（アップスピン）の電子のエネルギー状態と下向きスピン（ダウンスピン）の電子のエネルギー状態とが互いに異なっている。従って、強磁性層と非磁性層との接合面（界面）においては、アップスピンの電子の透過率（または反射率）とダウンスピンの電子の透過率（または反射率）との間に差が生じることとなる。これにより、第１磁性層４１に対して第３磁性層４５側から流入しようとする電子のスピン方向は第３磁性層４５の磁化方向Ｃに偏り、また、第１磁性層４１に対して第２磁性層４３側から流入した電子のスピン方向は第３磁性層４５の磁化方向Ｃとは反対の方向に偏る。こうして、第１磁性層４１には、電流の向きに応じてスピン方向が異なるスピン分極電流が注入される。

【００４２】

第１磁性層４１にスピン分極電流が注入されると、このスピン分極電流に含まれるスピン偏極電子と第１磁性層４１内部の電子との間に交換相互作用が生じ、これらの電子間に発生したトルクによって第１磁性層４１の磁化方向Ａが変化する。また、第１磁性層４１に対して第３磁性層４５側から流入しようとするスピン偏極電子のスピン方向と、第２磁

性層４３側から流入したスピン偏極電子のスピン方向とは互いに逆向きなので、スピン分極電流が流れる向きによって第１磁性層４１の磁化方向Ａの変化の向き（すなわち反転方向）が定まる。従って、第１磁性層４１の磁化方向Ａは、ＴＭＲ素子４を流れる電流の向きに応じた方向となるので、ＴＭＲ素子４に供給する書き込み電流の正負によって二値データを書き込むことができる。

【００４３】

図５は、ＴＭＲ素子４における電流値と抵抗値との相関を示すグラフである。なお、図５のグラフにおいては、例えば反強磁性層４６側から第３磁性層４５側へ電流が流れる場合を正の電流値とし、第３磁性層４５側から反強磁性層４６側へ電流が流れる場合を負の電流値とする。いま、第１磁性層４１の磁化方向Ａと第２磁性層４３の磁化方向Ｂとが互いに平行である場合、ＴＭＲ素子４の両端間の抵抗値は、比較的小さな値$Ｒ_2$である。そして、ＴＭＲ素子４を流れる電流値（絶対値）を０ｍＡから正方向へ次第に大きくすると、この電流値が閾値（臨界電流）$Ｉ_1$を超えたときに第１磁性層４１の磁化方向Ａが完全に反転する。従って、第１磁性層４１の磁化方向Ａと第２磁性層４３の磁化方向Ｂとが互いに反平行となり、ＴＭＲ素子４の両端間の抵抗値が、ＴＭＲ効果によって値$Ｒ_2$よりも大きな値$Ｒ_1$へ増大する。逆に、第１磁性層４１の磁化方向Ａと第２磁性層４３の磁化方向Ｂとが反平行である場合、ＴＭＲ素子４を流れる電流値（絶対値）を０ｍＡから負方向へ次第に大きくすると、この電流値が閾値（臨界電流）$Ｉ_2$を超えたときに第１磁性層４１の磁化方向Ａが再度反転する。従って、第１磁性層４１の磁化方向Ａと第２磁性層４３の磁化方向Ｂとが互いに平行となり、ＴＭＲ素子４の両端間の抵抗値が、ＴＭＲ効果によって値$Ｒ_1$よりも小さな値$Ｒ_2$へ減少する。

【００４４】

以上のことから、ＴＭＲ素子４に二値データの一方（例えば０）を書き込む際には、閾値$Ｉ_1$よりも絶対値が大きい（例えば図５に示す範囲$Ｄ_1$に含まれる）正の書き込み電流をＴＭＲ素子４に供給するとよい。また、ＴＭＲ素子４に二値データの他方（例えば１）を書き込む際には、閾値$Ｉ_2$よりも絶対値が大きい（例えば範囲$Ｄ_2$に含まれる）負の書き込み電流をＴＭＲ素子４に供給するとよい。また、ＴＭＲ素子４に書き込まれた二値データを読み出す際には、第１磁性層４１の磁化方向Ａが反転しないように、閾値$Ｉ_1$、$Ｉ_2$よりも絶対値が小さい（例えば範囲$Ｄ_3$に含まれる）正または負の読み出し電流をＴＭＲ素子４に供給するとよい。

【００４５】

以上に説明した本実施形態の磁気メモリ１が有する効果について説明する。本実施形態の磁気メモリ１では、ＴＭＲ素子４の第１磁性層４１の磁化方向Ａを、電流磁界といった外部磁界ではなく、ＴＭＲ素子４に電流を直接流すことによって変化させることができる。しかも、第１非磁性導電層４４及び第３磁性層４５によってスピン分極電流を生成しているので、比較的小さな書き込み電流によって第１磁性層４１の磁化方向Ａを変化させることができる。従って、本実施形態の磁気メモリ１によれば、書き込み対象のＴＭＲ素子以外の他のＴＭＲ素子への磁界の洩れがなく、誤書き込みを効果的に防止できる。

【００４６】

また、本実施形態のＴＭＲ素子４においては、第１磁性層４１の磁化方向Ａをスピン分極電流によって反転させるので、第１磁性層４１の内部において反磁界が増大しないだけでなく、第１磁性層４１の平面寸法が小さいほど磁化方向Ａの反転に必要な電流値が小さくなる。従って、本実施形態のＴＭＲ素子４及び磁気メモリ１によれば、ＴＭＲ素子４の小型化が容易になり、磁気メモリ１の高集積化を容易にできる。

【００４７】

また、本実施形態のＴＭＲ素子４においては、磁化方向が変化する第１磁性層４１と磁化方向が一定の第２磁性層４３との間に、非磁性絶縁層４２が設けられている。これにより、第１磁性層４１と第２磁性層４３との間にＴＭＲ効果が生じるので、第１磁性層４１の磁化方向Ａの変化による抵抗変化率（すなわち図５に示したグラフにおける$（Ｒ_2－Ｒ_1）／Ｒ_1$）を比較的大きくできる。従って、本実施形態のＴＭＲ素子４及び磁気メモリ

１によれば、第１磁性層４１の磁化方向Ａによって記憶されたデータを高速且つ安定に読み出すことができる。

【００４８】

また、本実施形態の磁気メモリ１においては、ＴＭＲ素子４の第１磁性層４１における積層方向ＳＬと直交する断面の面積が０．００１μｍ^{2}以上となっている。ここで、図６は、第１磁性層４１における積層方向ＳＬと直交する断面の面積を０．０００５μｍ^{2}から５μｍ^{2}まで変化させたときの書き込み電流値を、電流密度が５×１０^7（Ａ／ｃｍ^2）の場合、電流密度が１×１０^7（Ａ／ｃｍ^2）の場合、及び電流密度が２×１０^6（Ａ／ｃｍ^2）の場合のそれぞれにおいて求めた結果を示す図表である。また、図７に示すグラフは、縦軸に書き込み電流値をとり、横軸に第１磁性層４１の断面積をとって、図６に示した図表をグラフ化したものである。なお、図７において、グラフＧ１は電流密度が５×１０^7（Ａ／ｃｍ^2）の場合を示し、グラフＧ２は電流密度が１×１０^7（Ａ／ｃｍ^2）の場合を示し、グラフＧ３は電流密度が２×１０^6（Ａ／ｃｍ^2）の場合を示している。

【００４９】

本発明者の知見によれば、現在のＴＭＲ素子の磁気抵抗比（ＭＲ比）は約４０％といわれているが、実際には製造上の制約によって２０％以下となる場合が多く、抵抗値のばらつきも大きい。そのため、読み出し電流の電流量は、ＴＭＲ効果等の磁気抵抗効果による電気抵抗値をノイズ等に影響されず精度良く測定するために、少なくとも０．１ｍＡ以上であることが好ましい。他方、本実施形態のように、ＴＭＲ素子４等の磁気抵抗効果素子に二値データを書き込む際にスピン分極電流によって第１磁性層４１の磁化反転を行う場合、第１磁性層４１に供給される書き込み電流の密度が２×１０^{6}Ａ／ｃｍ^{2}以上であれば、第１磁性層４１の磁化反転が可能であることが一部報告されている。しかしながら、本発明者の知見によれば、第１磁性層４１の磁化方向Ａを確実に反転させるために、書き込み電流の密度は１×１０^{7}Ａ／ｃｍ^{2}以上であることが好ましい。また、第１磁性層４１の磁化方向Ａが反転するために最低限必要な書き込み電流の電流量（図５のI_1、I_2）は、読み出し電流によって第１磁性層４１の磁化方向Ａが反転しないように、読み出し電流量よりも大きくなければならない。これらのことから、第１磁性層４１における積層方向ＳＬと直交する断面の面積が、電流密度１×１０^{7}Ａ／ｃｍ^{2}のときに電流量０．１ｍＡとなる０．００１μｍ^2（図６及び図７参照）以上であることにより、データ読み出しの際に磁気抵抗効果による電気抵抗値を精度良く測定できるとともに、データ書き込みの際にスピン分極電流による第１磁性層４１の磁化反転を好適に行うことができる。なお、読み出し電流による第１磁性層４１の磁化反転を完全に防止するためには、第１磁性層４１の磁化反転に最低限必要な書き込み電流の電流量I_1、I_2が読み出し電流量の５倍以上となるように第１磁性層４１の断面積を設定することが好ましく、１０倍以上となるように設定することが更に好ましい。

【００５０】

また、本実施形態の磁気メモリ１においては、ＴＭＲ素子４の第１磁性層４１における積層方向ＳＬと直交する断面の面積が０．０２μｍ^{2}を超えないこととなっている。本発明者の知見によれば、書き込み電流の電流量が１０ｍＡ以上になると、各記憶領域３において書き込み電流の導通を制御するトランジスタ３２の平面寸法が大きくなり過ぎ、ＴＭＲ素子４を小型化したとしても、磁気メモリ１の高集積化が制限されてしまう。また、第１磁性層４１の磁化方向Ａを確実に反転させるためには、第１磁性層４１に供給される書き込み電流の密度が５×１０^{7}Ａ／ｃｍ^{2}あれば充分である。従って、第１磁性層４１における積層方向ＳＬと直交する断面の面積が、電流密度５×１０^{7}Ａ／ｃｍ^{2}のときに電流量１０ｍＡとなる０．０２μｍ^2（図６及び図７参照）を超えないことにより、トランジスタ３２及びＴＭＲ素子４を共に小型化し、磁気メモリ１を高集積化できる。

【００５１】

ここで、本実施形態による磁気メモリ１の製造方法のうち、ＴＭＲ素子４及びその周辺構造の製造方法について図８及び図９を参照しながら説明する。なお、図８及び図９は、

いずれも図１のＩ－Ｉ線に沿った断面であり、その製造過程を順に示している。

【００５２】

まず、図８（ａ）に示すように、Ｃｕからなる電極３５を配線層上に形成する。そして、高真空スパッタ装置により、反強磁性層となるＩｒＭｎ層６１、第２磁性層となるＣｏＦｅ層６２、及び金属層６３を電極３５上に順に成膜する。このとき、金属層６３の材料としては、例えばＡｌ、Ｚｎ、及びＭｇのうち少なくとも一種類を用いるとよい。続いて、図８（ｂ）に示すように、ラジカル酸素ＯＲにより金属層６３の酸化を行い（ラジカル酸化法）、非磁性絶縁層となるトンネル絶縁層６３ａを形成する。続いて、図８（ｃ）に示すように、トンネル絶縁層６３ａ上に、第１磁性層となるＣｏＦｅ層６４、第１非磁性導電層となるＣｕ層６５、第３磁性層となるＣｏＦｅ層６６、及びＴａ保護層（不図示）を順次成膜する。

【００５３】

続いて、積層方向から見た面積が０．００１μｍ^2～０．０２μｍ^{2}の範囲内であるレジストマスクをＴａ保護層上に形成し、ＩｒＭｎ層６１、ＣｏＦｅ層６２、トンネル絶縁層６３ａ、ＣｏＦｅ層６４、Ｃｕ層６５、及びＣｏＦｅ層６６をイオンミリングにより成形することによって、図９（ａ）に示すように、反強磁性層４６、第２磁性層４３、非磁性絶縁層４２、第１磁性層４１、第１非磁性導電層４４、及び第３磁性層４５を形成する。こうして、ＴＭＲ素子４が形成される。ＴＭＲ素子４を形成した後、ＣＶＤ装置を用いて、例えばＳｉ（ＯＣ$_2$Ｈ$_5$）$_4$により、第３磁性層４５上を除く全域にＳｉＯ$_2$絶縁層２４ａを形成する。この後、レジストマスクを除去する。

【００５４】

続いて、電極３１の平面形状に応じた開口を有するレジストマスクをＳｉＯ$_2$絶縁層２４ａ上に形成する。そして、スパッタによりＴｉ層、Ｃｕ層を順次成膜した後、レジストマスクを除去する。こうして、図９（ｂ）に示すように、電極３１がＴＭＲ素子４上に形成される。

【００５５】

最後に、図９（ｃ）に示すように、ＳｉＯ$_2$絶縁層２４ａと同じ材料からなるＳｉＯ$_2$絶縁層２４ｂを、ＳｉＯ$_2$絶縁層２４ａ上及び電極３１上の全面にわたってＣＶＤ法により形成する。こうして、ＳｉＯ$_2$絶縁層２４ａ及び２４ｂからなる絶縁領域２４が形成され、磁性材料層８が完成する。

【００５６】

（変形例）

ここで、本実施形態による磁気メモリ１の変形例について説明する。図１０～図１２は、それぞれ本変形例に係るＴＭＲ素子４ａ～４ｃの構成を示す断面図である。上記実施形態のＴＭＲ素子４に代えて本変形例に係るＴＭＲ素子４ａ～４ｃを磁気メモリが備えることによって、上記実施形態の磁気メモリ１と同様の効果を得ることができる。

【００５７】

まず、図１０及び図１１を参照すると、ＴＭＲ素子４ａ及び４ｂは、第１磁性層４１、非磁性絶縁層４２、第２磁性層４３、第１非磁性導電層４４、及び第３磁性層４５によって構成されている。本変形例のＴＭＲ素子４ａ及び４ｂと上記実施形態のＴＭＲ素子４との相違点は、反強磁性層４６をＴＭＲ素子が有しておらず、第２磁性層４３が電極３５と接している点である。このように、第２磁性層４３の磁化方向を安定に保持するための層を備えない場合であっても、図１０に示すように第２磁性層４３における積層方向と直交する断面の面積を第１磁性層４１よりも大きくすることや、図１１に示すように第２磁性層４３における積層方向の厚さを第１磁性層４１よりも大きくすることにより、第２磁性層４３の磁化方向を一定に保持することができる。

【００５８】

次に、図１２を参照すると、ＴＭＲ素子４ｃは、第１磁性層４１、非磁性絶縁層４２、第２磁性層４３、第１非磁性導電層４４、第３磁性層４５、第２非磁性導電層４７、及び第４磁性層４８によって構成されている。本変形例のＴＭＲ素子４ｃと上記実施形態のＴ

ＭＲ素子４との相違点は、反強磁性層４６の代わりに、第２非磁性導電層４７及び第４磁性層４８が設けられた点である。

【００５９】

第２非磁性導電層４７及び第４磁性層４８は、第２磁性層４３の磁化方向を一定方向に保持するための層である。第４磁性層４８は、強磁性材料を含んで構成され、第２磁性層４３における第１磁性層４１と対向する面とは反対側の面上に設けられる。また、第４磁性層４８の磁化方向は一定となっている。第２非磁性導電層４７は、非磁性且つ導電性の材料を含んで構成され、第１磁性層４１の一方の面４１ａ上において第２磁性層４３と第４磁性層４８との間に設けられる。第４磁性層４８が第２非磁性導電層４７を介して第２磁性層４３と反強磁性結合を形成することにより、第２磁性層４３の磁化方向をさらに安定化させることができる。また、第２磁性層４３から第１磁性層４１への静磁界の影響を防止できるので、第１磁性層４１の磁化反転を容易にすることができる。なお、第４磁性層４８の材料としては、第１磁性層４１と同様に、例えばＣｏ、ＣｏＦｅ、ＮｉＦｅ、ＮｉＦｅＣｏ、ＣｏＰｔなどの強磁性材料、またはこれらのうち任意の組み合わせの材料を用いることができる。また、第２非磁性導電層４７の材料としては、例えばＲｕ、Ｒｈ、Ｉｒ、Ｃｕ、Ａｇなどの非磁性導電材料、またはこれらのうち任意の組み合わせの材料を用いることができる。また、第２非磁性導電層４７の厚さは、第２磁性層４３と第４磁性層４８との間に強い反強磁性結合を得るために２ｎｍ以下であることが好ましい。

【００６０】

本発明による磁気メモリは、上記した実施形態に限られるものではなく、他に様々な変形が可能である。例えば、上記実施形態では磁気抵抗効果素子としてＴＭＲ素子を備えているが、ＧＭＲ素子を備えてもよい。この場合、上記した実施形態のＴＭＲ素子における非磁性絶縁層に代えて、非磁性且つ導電性の材料を含む非磁性導電層を設けるとよい。

【図面の簡単な説明】

【００６１】

【図１】磁気メモリの平面図である。

【図２】図１に示した磁気メモリを行方向に沿ったＩ－Ｉ線で切断した断面図である。

【図３】図１及び図２に示した磁気メモリを列方向に沿ったII－II線で切断した断面図である。

【図４】ＴＭＲ素子の拡大斜視図である。

【図５】ＴＭＲ素子における電流値と抵抗値との相関を示すグラフである。

【図６】第１磁性層における積層方向と直交する断面の面積を変化させたときの書き込み電流値を示す図表である。

【図７】図６に示した図表をグラフ化した図である。

【図８】ＴＭＲ素子及びその周辺構造の製造方法を示す図である。

【図９】ＴＭＲ素子及びその周辺構造の製造方法を示す図である。

【図１０】ＴＭＲ素子の変形例の構成を示す断面図である。

【図１１】ＴＭＲ素子の変形例の構成を示す断面図である。

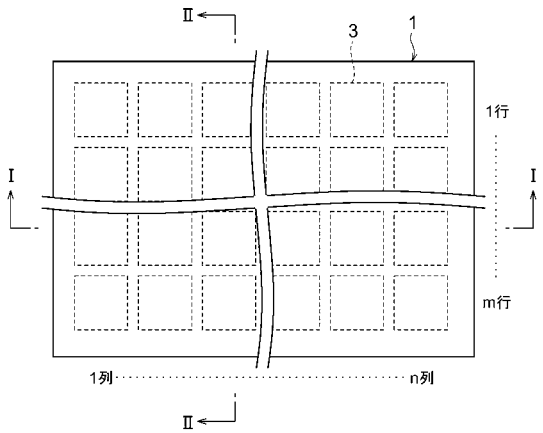
【図１２】ＴＭＲ素子の変形例の構成を示す断面図である。

【符号の説明】

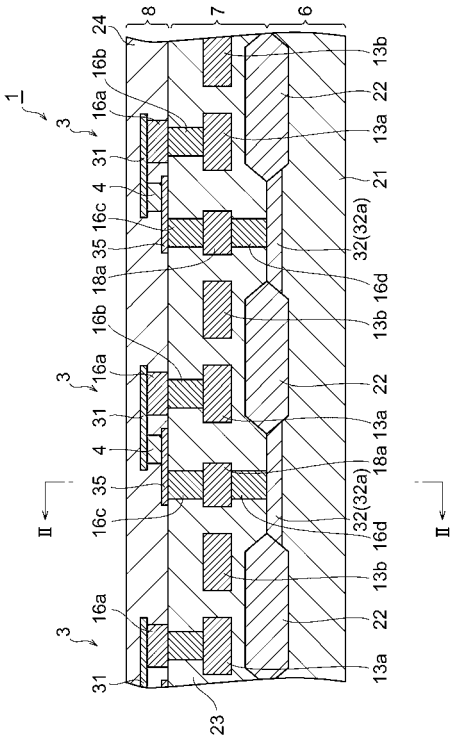
【００６２】

１…磁気メモリ、３…記憶領域、４…ＴＭＲ素子、６…半導体層、７…配線層、８…磁性材料層、１３ａ，１３ｂ…ビット配線、１４…ワード配線、１６ａ～１６ｅ…垂直配線、１８ａ，１８ｂ…水平配線、２１…半導体基板、２２～２４…絶縁領域、３１，３５…電極、３２…トランジスタ、３２ａ…ドレイン領域、３２ｂ…ゲート電極、３２ｃ…ソース領域、４１…第１磁性層、４２…非磁性絶縁層、４３…第２磁性層、４４…第１非磁性導電層、４５…第３磁性層、４６…反強磁性層、４７…第２非磁性導電層、４８…第４磁性層。

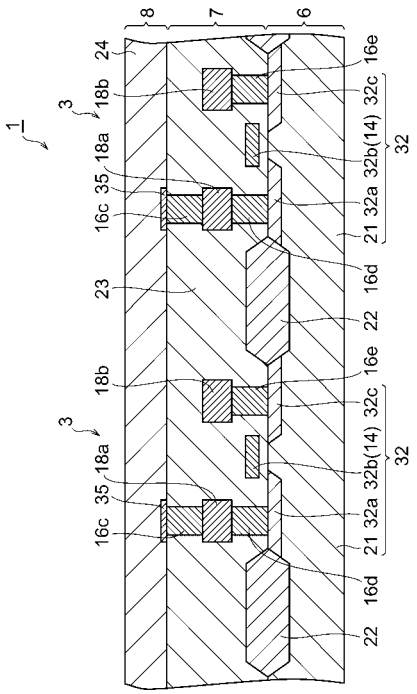
【図１】


Ⅱ
3
1
1行
I
I
m行
1列
n列
Ⅱ

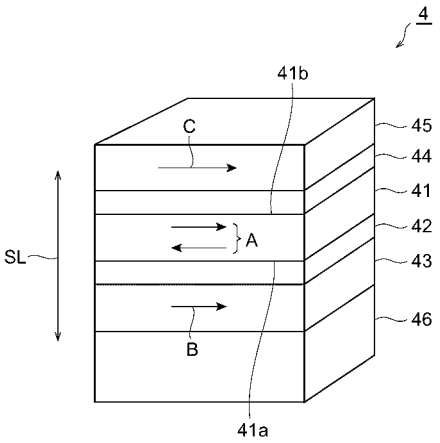
【図２】


8
7
6
24
1
3
16b
16a
31
4
16c
35
18a
16b
16a
31
4
35
16c
16a
31
23
13b
22
13a
21
32(32a)
16d
13b
22
13a
18a
32(32a)
16d
13b
22
13a
Ⅱ
Ⅱ

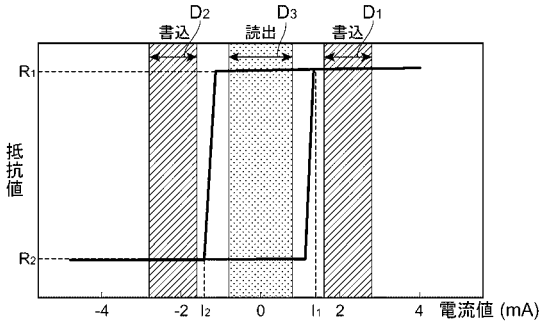
【図３】


8
7
6
24
1
3
18b
18a
35
16c
23
18b
3
18a
35
16c
16d
22
16e
32c
32b(14)
32
32a
21
16e
32c
32b(14)
32
32a
21
16d
22

【図４】


4
41b
C
45
44
41
42
43
46
SL
A
B
41a

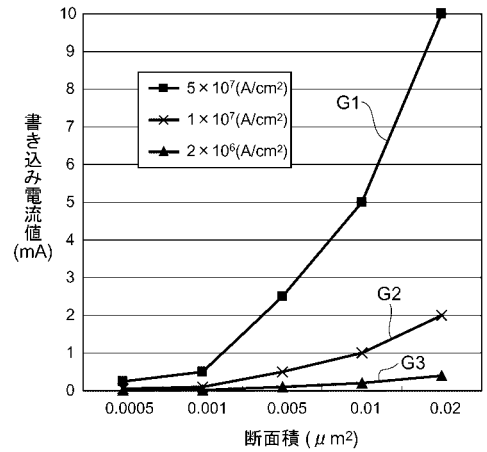
【図５】



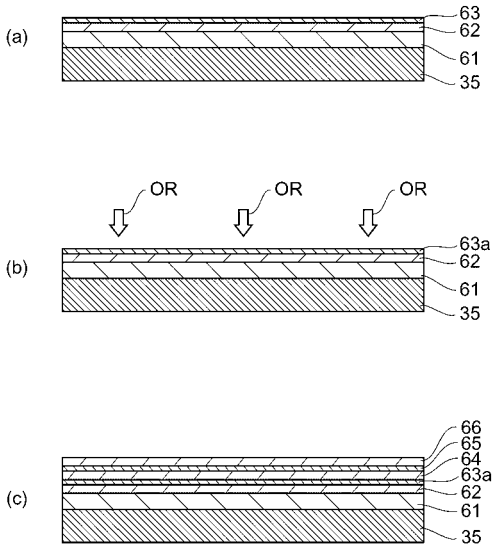
【図６】

断面積	書き込み電流値（mA）		
（μm^2）	電流密度が 5×10^7 (A/cm^2)の場合	電流密度が 1×10^7 (A/cm^2)の場合	電流密度が 2×10^6 (A/cm^2)の場合
0.0005	0.25	0.05	0.01
0.001	0.5	0.1	0.02
0.005	2.5	0.5	0.1
0.01	5	1	0.2
0.02	10	2	0.4
0.05	25	5	1
0.1	50	10	2
0.2	100	20	4
0.8	400	80	16
1	500	100	20
2	1000	200	40
5	2500	500	100

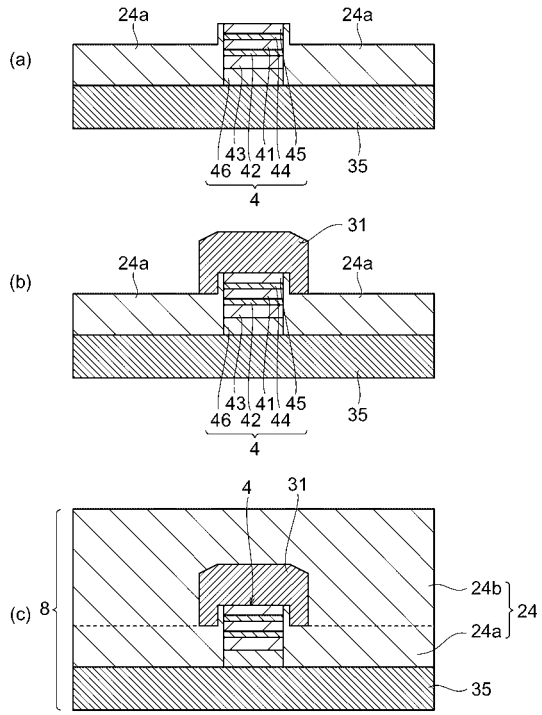
【図７】



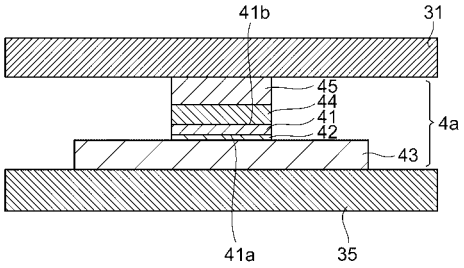
【図８】



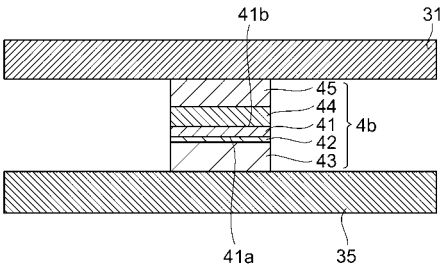
【図９】



【図１０】



【図１１】



【図１２】

