

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019年2月14日 (14.02.2019)



(10) 国际公布号
WO 2019/028934 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) *H01L 29/786* (2006.01)
H01L 29/06 (2006.01)
- (21) 国际申请号: PCT/CN2017/098337
- (22) 国际申请日: 2017年8月21日 (21.08.2017)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201710668038.X 2017年8月7日 (07.08.2017) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430070 (CN)。
- (72) 发明人: 肖东辉 (XIAO, Donghui); 中国湖北省武汉市东湖开发区高新大道666号生物城C5栋, Hubei 430070 (CN)。
- (74) 代理人: 深圳市铭粤知识产权代理有限公司 (MING & YUE INTELLECTUAL PROPERTY LAW FIRM); 中国广东省深圳市南山区南山街道前海路泛海城市广场2栋604室, Guangdong 518066 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(54) Title: LOW TEMPERATURE POLYSILICON THIN FILM TRANSISTOR AND PREPARATION METHOD THEREFOR

(54) 发明名称: 低温多晶硅薄膜晶体管及其制备方法

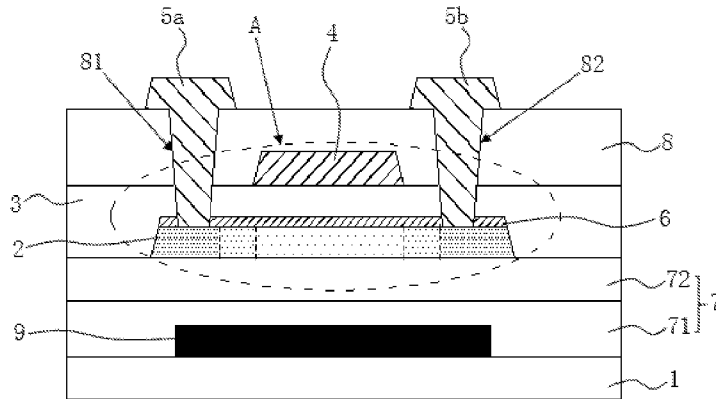


图 1

(57) Abstract: A preparation method for a low temperature polysilicon thin film transistor, comprising steps of: sequentially forming a polysilicon active layer (2) and a gate insulation layer (3) covering the polysilicon active layer (2) on a base substrate (1); using an ion implantation process to implant nitrogen ions to the surface of the polysilicon active layer (2) facing towards the gate insulation layer (3), so as to form an ion implantation layer (6a); and using a high temperature annealing process to recrystallize the ion implantation layer (6a), so as to form a silicon nitride spacer layer (6) between the polysilicon active layer (2) and the gate insulation layer (3). A low temperature crystalline silicon thin film transistor, comprising a polysilicon active layer (2), a gate insulation layer (3), a gate electrode (4), a source electrode (5a), and a drain electrode (5b) which are successively provided on a base substrate (1), a silicon nitride spacer layer (6) being formed on a joint interface between the polysilicon active layer (2) and the gate insulation layer (3), the silicon nitride spacer layer (6) and the polysilicon active layer (2) being of an integrated interconnected structure.

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

(57) 摘要: 一种低温多晶硅薄膜晶体管的制备方法, 其包括: 在衬底基板 (1) 上依次制备形成多晶硅有源层 (2) 和覆盖该多晶硅有源层 (2) 的栅极绝缘层 (3); 应用离子植入工艺, 在该多晶硅有源层 (2) 的朝向该栅极绝缘层 (3) 的表面上注入氮离子, 形成离子注入层 (6a); 应用高温退火工艺, 使该离子注入层 (6a) 重结晶, 在该多晶硅有源层 (2) 和该栅极绝缘层 (3) 之间形成氮化硅间隔层 (6)。一种低温晶硅薄膜晶体管, 包括依次设置在衬底基板 (1) 上的多晶硅有源层 (2)、栅极绝缘层 (3)、栅电极 (4)、源电极 (5a) 和漏电极 (5b), 其中, 该多晶硅有源层 (2) 和该栅极绝缘层 (3) 之间的连接界面形成有氮化硅间隔层 (6), 该氮化硅间隔层 (6) 与该多晶硅有源层 (2) 是一体相互连接的结构。

说明书

低温多晶硅薄膜晶体管及其制备方法

技术领域

本发明涉及半导体器件的制造工艺,尤其涉及一种低温多晶硅薄膜晶体管及其制备方法。

背景技术

平板显示装置具有机身薄、省电、无辐射等众多优点,得到了广泛的应用。现有的平板显示装置主要包括液晶显示装置(Liquid Crystal Display, LCD)及有机电致发光显示装置(Organic Light Emitting Display, OLED)。薄膜晶体管(Thin Film Transistor, TFT)是平板显示装置的重要组成部分,可形成在玻璃基板或塑料基板上,通常作为开光装置和驱动装置用在诸如LCD、OLED。

近年来,显示技术得到快速发展,薄膜晶体管技术由原来的非晶硅(a-Si)薄膜晶体管发展到低温多晶硅(Low Temperature Poly-Silicon, LTPS)薄膜晶体管。LTPS薄膜晶体管具有多方面的优势,例如,LTPS薄膜晶体管具有较高的电子迁移率,其不仅可有效减小薄膜晶体管的面积,提高开口率,而且可以在提高显示亮度的同时降低整体功耗。又如,较高的电子迁移率可以将部分驱动电路集成在基板上,减少驱动集成电路IC,大幅度提升显示面板的可靠度,大幅度降低制造成本。因此,LTPS薄膜晶体管逐步成为显示技术领域的研究热点。

现有的LTPS薄膜晶体管的结构,主要包括衬底基板以及依次设置在衬底基板上的多晶硅有源层、栅极绝缘层、栅电极、源电极和漏电极,源电极和漏电极通过过孔电性连接到多晶硅有源层。其中,覆盖在多晶硅有源层的栅极绝缘层是通过沉积工艺制备形成,栅极绝缘层的缺陷密度较大,多晶硅有源层中的载流子易于扩散到栅极绝缘层中,形成较大的漏电流,增加LTPS薄膜晶体管的电性能的不稳定性。因此,现有技术还有待于改善和发展。

发明内容

有鉴于此,本发明提供了一种低温多晶硅薄膜晶体管及其制备方法,其可以减小多晶硅有源层和栅极绝缘层连接界面的缺陷密度,降低薄膜晶体管的漏

电流，使得薄膜晶体管具有良好且稳定的电性能。

为了实现上述目的，本发明采用了如下的技术方案：

一种低温多晶硅薄膜晶体管的制备方法，其包括：在衬底基板上依次制备形成多晶硅有源层和覆盖所述多晶硅有源层的栅极绝缘层；应用离子植入工艺，在所述多晶硅有源层的朝向所述栅极绝缘层的表面上注入氮离子，形成离子注入层；应用高温退火工艺，使所述离子注入层重结晶，在所述多晶硅有源层和所述栅极绝缘层之间形成氮化硅间隔层。

其中，所述制备方法包括步骤：

S1、在衬底基板上制备形成多晶硅薄膜层；

S21、应用离子植入工艺，在所述多晶硅薄膜层的表面上注入氮离子，形成离子注入层；

S31、将所述多晶硅薄膜层刻蚀形成图案化的多晶硅有源层，所述多晶硅有源层的表面上保留所述离子注入层；

S41、在所述衬底基板上沉积形成覆盖所述多晶硅有源层的栅极绝缘层；

S5、在所述栅极绝缘层上依次制备形成栅电极和层间介质层；

S6、应用高温退火工艺，使所述离子注入层重结晶，在所述多晶硅有源层和所述栅极绝缘层之间形成氮化硅间隔层；

S7、在所述层间介质层和所述栅极绝缘层中刻蚀形成暴露出所述多晶硅有源层的第一过孔和第二过孔；

S8、在所述层间介质层上制备形成图案化的源电极和漏电极，所述源电极通过所述第一过孔连接到所述多晶硅有源层，所述漏电极通过所述第二过孔连接到所述多晶硅有源层。

其中，所述制备方法包括步骤：

S1、在衬底基板上制备形成多晶硅薄膜层；

S22、将所述多晶硅薄膜层刻蚀形成图案化的多晶硅有源层；

S32、在所述衬底基板上沉积形成覆盖所述多晶硅有源层的栅极绝缘层；

S42、应用离子植入工艺，从所述栅极绝缘层的上方注入氮离子，在所述多

晶硅有源层的表面上形成离子注入层；

S5、在所述栅极绝缘层上依次制备形成栅电极和层间介质层；

S6、应用高温退火工艺，使所述离子注入层重结晶，在所述多晶硅有源层和所述栅极绝缘层之间形成氮化硅间隔层；

S7、在所述层间介质层和所述栅极绝缘层中刻蚀形成暴露出所述多晶硅有源层的第一过孔和第二过孔；

S8、在所述层间介质层上制备形成图案化的源电极和漏电极，所述源电极通过所述第一过孔连接到所述多晶硅有源层，所述漏电极通过所述第二过孔连接到所述多晶硅有源层。

其中，步骤 S1 具体包括：S11、在所述衬底基底上依次沉积缓冲层和非晶硅薄膜层；S12、应用准分子激光退火工艺进行处理，使所述非晶硅薄膜层结晶形成多晶硅薄膜层。

其中，所述缓冲层包括依次形成在所述衬底基底上的氮化硅层和氧化硅层。

其中，在进行步骤 S1 之前还包括步骤：S0、在所述衬底基底上制备形成图案化的遮光单元，所述遮光单元正对于后续工艺中制备形成的图案化的多晶硅有源层。

其中，在制备形成所述图案化的多晶硅有源层之后，应用离子植入工艺对所述多晶硅有源层进行掺杂处理，使所述多晶硅有源层从中间向两端依次形成有未掺杂区、轻掺杂区和重掺杂区；其中，所述源电极电性连接到所述多晶硅有源层的其中一端的重掺杂区，所述漏电极电性连接到所述多晶硅有源层的另一端的重掺杂区。

其中，所述栅极绝缘层为氧化硅层或氮化硅层或者是氧化硅层与氮化硅层叠加的复合结构层。

本发明还提供了一种低温晶硅薄膜晶体管，包括依次设置在衬底基板上的多晶硅有源层、栅极绝缘层、栅电极、源电极和漏电极，其中，所述多晶硅有源层和所述栅极绝缘层之间的连接界面形成有氮化硅间隔层，所述氮化硅间隔层与所述多晶硅有源层是一体相互连接的结构。

其中，所述氮化硅间隔层是在所述多晶硅有源层的表面上通过离子植入工

艺和高温退火工艺制备形成，所述栅极绝缘层是通过沉积工艺形成在所述多晶硅有源层上，所述氮化硅间隔层的缺陷密度小于所述栅极绝缘层的缺陷密度。

本发明实施例中提供的低温多晶硅薄膜晶体管及其制备方法，通过离子植入工艺和高温退火工艺，在多晶硅有源层和栅极绝缘层的连接界面制备形成氮化硅间隔层，所述氮化硅间隔层可以减小多晶硅有源层和栅极绝缘层连接界面的缺陷密度，降低了薄膜晶体管的漏电流，增大击穿电压，使得薄膜晶体管具有良好且稳定的电性能。

附图说明

图 1 是本发明实施例 1 提供的低温多晶硅薄膜晶体管的结构示意图；

图 2 是如图 1 中 A 部分的放大示意图；

图 3a~3k 是本发明实施例 2 提供的低温多晶硅薄膜晶体管的制备方法中，各个步骤对应获得的器件结构的示例性图示；

图 4a~4f 是本发明实施例 3 提供的低温多晶硅薄膜晶体管的制备方法中，各个步骤对应获得的器件结构的示例性图示。

具体实施方式

为使本发明的目的、技术方案和优点更加清楚，下面结合附图对本发明的具体实施方式进行详细说明。这些优选实施方式的示例在附图中进行了例示。附图中所示和根据附图描述的本发明的实施方式仅仅是示例性的，并且本发明并不限于这些实施方式。

在此，还需要说明的是，为了避免因不必要的细节而模糊了本发明，在附图中仅仅示出了与根据本发明的方案密切相关的结构和/或处理步骤，而省略了与本发明关系不大的其他细节。

实施例 1

本实施例提供了一种低温晶硅薄膜晶体管，如图 1 所示，所述低温晶硅薄膜晶体管包括依次设置在衬底基板 1 上的多晶硅有源层 2、栅极绝缘层 3、栅电极 4、源电极 5a 和漏电极 5b。其中，所述多晶硅有源层 2 和所述栅极绝缘层 3 之间的连接界面形成有氮化硅间隔层 6，所述氮化硅间隔层 6 与所述多晶硅有源层 2 是一体相互连接的结构。

具体地，如图 1 和图 2 所示，所述衬底基板 1 上首先设置有缓冲层 7，所述缓冲层 7 包括依次形成在所述衬底基底上的氮化硅层 71 和氧化硅层 72。所述多晶硅有源层 2 制备形成在所述缓冲层 7 上。所述氮化硅间隔层 6 通过离子植入工艺和高温退火工艺制备形成在所述多晶硅有源层 2 的表面上。所述栅极绝缘层 3 是通过沉积工艺形成在所述缓冲层 7 上并覆盖所述多晶硅有源层 2 和所述氮化硅间隔层 6，所述氮化硅间隔层 6 形成在所述多晶硅有源层 2 和所述栅极绝缘层 3 的连接界面上。所述栅电极 4 形成在所述栅极绝缘层 3 上并且相对位于所述多晶硅有源层 2 的正上方，所述栅电极 4 上覆设有层间介质层 8。所述源电极 5a 和漏电极 5b 形成在所述层间介质层 8 上，所述源电极 5a 通过设置在所述层间介质层 8 和所述栅极绝缘层 3 中的第一过孔 81 电性连接到所述多晶硅有源层 2 的一端，所述漏电极 5b 则通过设置在所述层间介质层 8 和所述栅极绝缘层 3 中的第二过孔 82 电性连接到所述多晶硅有源层 2 的另一端。

进一步地，如图 1 所示，所述衬底基底 1 和所述缓冲层 7 之间还设置有图案化的遮光单元 9，所述遮光单元 9 正对于上方的图案化的多晶硅有源层 2。

进一步地，如图 2 所示，所述多晶硅有源层 2 还进行分区域掺杂处理，所述多晶硅有源层 2 从中间向两端依次形成有未掺杂（Undoped）区 21、轻掺杂（Lightly Drain Doping, LDD）区 22 和重掺杂（Heavily Drain Doping, HDD）区 23。所述源电极 5a 穿透所述氮化硅间隔层 6 电性连接到所述多晶硅有源层 2 的其中一端的重掺杂区 23，所述漏电极 2b 穿透所述氮化硅间隔层 6 电性连接到所述多晶硅有源层 2 的另一端的重掺杂区 23。

如上实施例提供的低温多晶硅薄膜晶体管，在多晶硅有源层和栅极绝缘层的连接界面制备形成氮化硅间隔层，所述氮化硅间隔层是通过离子植入工艺和高温退火工艺制备形成在多晶硅有源层的表面上，与多晶硅有源层是一体相互连接的结构，其缺陷密度远远小于栅极绝缘层的缺陷密度。所述氮化硅间隔层减小了多晶硅有源层和栅极绝缘层连接界面的缺陷密度，降低了薄膜晶体管的漏电流，增大击穿电压，使得薄膜晶体管具有良好且稳定的电性能。

实施例 2

本实施例提供了一种低温多晶硅薄膜晶体管的制备方法，参阅图 3a~3k，所述制备方法包括步骤：

S0、如图 3a 所示，提供衬底基板 1，在所述衬底基底 1 上制备形成图案化

的遮光单元 9。具体地，所述衬底基板 1 可以是选用玻璃基板，依次通过沉积工艺和光刻工艺，制备形成图案化的遮光单元 9。

S1、在衬底基板 1 上制备形成多晶硅薄膜层 2a。该步骤具体包括：

其中，步骤 S1 具体包括：

S11、如图 3b 所示，应用半导体沉积工艺，在所述衬底基底 1 上依次沉积缓冲层 7 和非晶硅薄膜层 2b，所述缓冲层 7 包括依次形成在所述衬底基底 1 上的氮化硅层 71 和氧化硅层 72，所述缓冲层 7 覆盖所述遮光单元 9。

S12、如图 3c 所示，应用准分子激光退火（ELA）工艺进行处理，使所述非晶硅薄膜层 2b 结晶形成多晶硅薄膜层 2a。

在优选的方案中，在进行步骤 S12 的 ELA 工艺之前，还对所述非晶硅薄膜层 2b 进行加热去氢处理，由此使得最终制备得到的多晶硅薄膜层 2a 具有更良好的电性能。具体地，加热去氢处理的温度可以选择为 350~450℃。

S21、如图 3d 所示，应用离子植入工艺，在所述多晶硅薄膜层 2a 的表面上注入氮离子，形成离子注入层 6a。

S31、如图 3e 所示，应用光刻工艺，将所述多晶硅薄膜层 2a 刻蚀形成图案化的多晶硅有源层 2，所述多晶硅有源层 2 的表面上保留所述离子注入层 6a。其中，所述图案化的多晶硅有源层 2 正对于下方的所述图案化的遮光单元 9。

进一步地，如图 3f 所示，应用离子植入工艺对所述多晶硅有源层 2 进行掺杂处理，使所述多晶硅有源层 2 从中间向两端依次形成有未掺杂（Undoped）区 21、轻掺杂（Lightly Drain Doping, LDD）区 22 和重掺杂（Heavily Drain Doping, HDD）区 23。具体地，可以采用半色调掩膜工艺或者是灰色调掩膜工艺，分两次对所述多晶硅有源层 2 进行离子植入掺杂，从而形成所述未掺杂区 21、轻掺杂区 22 和重掺杂区 23。

S41、如图 3g 所示，在所述衬底基板 1 上沉积形成覆盖所述多晶硅有源层 2 的栅极绝缘层 3。具体地，所述栅极绝缘层 3 形成在所述缓冲层 7 上并覆盖所述多晶硅有源层 2 和所述离子注入层 6a，所述栅极绝缘层 3 可以是氧化硅（ SiO_x ）层或氮化硅（ SiN_x ）层或者是氧化硅层与氮化硅层叠加的复合结构层。

S5、如图 3h 所示，在所述栅极绝缘层 3 上依次制备形成栅电极 4 和层间介质层 8。具体地，首先依次通过沉积工艺和光刻工艺，制备形成图案化的栅电极

4, 所述栅电极 4 相对位于所述多晶硅有源层 2 的正上方, 所述栅电极 4 的材料选自但不限于 Cr、Mo、Al、Cu 中的一种或多种, 可为一层或多层堆叠。然后在通过沉积工艺制备形成层间介质层 8, 所述层间介质层 8 覆盖所述栅电极 4, 所述层间介质层 8 可以是氧化硅 (SiO_x) 层或氮化硅 (SiN_x) 层或者是氧化硅层与氮化硅层叠加的复合结构层。

S6、如图 3i 所示, 应用高温退火工艺对上述步骤制备得到的器件结构进行退火, 使所述离子注入层 6a 重结晶, 在所述多晶硅有源层 2 和所述栅极绝缘层 3 之间形成氮化硅间隔层 6。注入硅中氮大部分被嵌在注入所形成的晶格损失区域内, 而在高温退火时, 损伤区域开始重结晶生长, 形成连续的固溶 Si-N 带, 在多晶硅有源层 2 和栅极绝缘层 3 的界面堆积, 形成氮化硅间隔层以及产生硅表面氧化抑制作用。另外, 氮离子的注入可以有效地抑制热处理中的 TED (Transient enhanced diffusion) 问题, 控制多晶硅有源层 2 沟道长度, 改善 p-n 结的漏电问题。TED 是由于过饱和的自间隙硅原子和替代位的掺杂原子结合形成间隙态, 进而在高温热处理中移动形成的。注入氮离子之后, 氮离子相比于掺杂原子更容易与自间隙原子结合形成可动原子, 从而抑制 TED, 也就是抑制掺杂原子向栅极绝缘层 3 扩散。

S7、如图 3j 所示, 应用光刻工艺, 在所述层间介质层 8 和所述栅极绝缘层 3 中刻蚀形成第一过孔 81 和第二过孔 82, 所述第一过孔 81 和第二过孔 82 穿透所述氮化硅间隔层 6 直至暴露出所述多晶硅有源层 2。所述第一过孔 81 和第二过孔 82 分别连通至所述多晶硅有源层 2 两端的重掺杂区 23。

S8、如图 3k 所示, 在所述层间介质层 8 上制备形成图案化的源电极 5a 和漏电极 5b, 所述源电极 5a 通过所述第一过孔 81 连接到所述多晶硅有源层 2, 所述漏电极 5b 通过所述第二过孔 82 连接到所述多晶硅有源层 2。具体地, 依次通过沉积工艺和光刻工艺, 制备形成图案化的源电极 5a 和漏电极 5b, 所述源电极 5a 电性连接到所述多晶硅有源层 2 的其中一端的重掺杂区 23, 所述漏电极 5b 电性连接到所述多晶硅有源层 2 的另一端的重掺杂区 23, 所述源电极 5a 和漏电极 5b 的材料选自但不限于 Cr、Mo、Al、Cu 中的一种或多种, 可为一层或多层堆叠。

以上的工艺过程中, 在多个步骤中采用了光刻工艺 (构图工艺)。其中, 每一次光刻工艺中又分别包括掩膜、曝光、显影、刻蚀和剥离等工艺, 其中刻蚀工艺包括干法刻蚀和湿法刻蚀。光刻工艺已经是本领域中的比较成熟的工艺技

术，在此不再展开详细说明。

实施例 3

本实施例提供了一种低温多晶硅薄膜晶体管的制备方法，与实施例 2 提供的制备方法相比，本实施例的制备方法在部分步骤的顺序上有所不同。

参照实施例 2 中的步骤 S0 和 S1，在衬底基板 1 上制备形成多晶硅薄膜层 2a，如图 3c 所示的结构。在制备获得多晶硅薄膜层 2a 后，以下的步骤与实施例 2 中的有所不同。

S22、如图 4a 所示，应用光刻工艺，将所述多晶硅薄膜层 2a 刻蚀形成图案化的多晶硅有源层 2。其中，所述图案化的多晶硅有源层 2 正对于下方的图案化的遮光单元 9。

进一步地，如图 4b 所示，应用离子植入工艺对所述多晶硅有源层 2 进行掺杂处理，使所述多晶硅有源层 2 从中间向两端依次形成有未掺杂（Undoped）区 21、轻掺杂（Lightly Drain Doping, LDD）区 22 和重掺杂（Heavily Drain Doping, HDD）区 23。具体地，可以采用半色调掩膜工艺或者是灰色调掩膜工艺，分两次对所述多晶硅有源层 2 进行离子植入掺杂，从而形成所述未掺杂区 21、轻掺杂区 22 和重掺杂区 23。

S32、如图 4c 所示，在所述衬底基板 1 上沉积形成覆盖所述多晶硅有源层 2 的栅极绝缘层 3。具体地，所述栅极绝缘层 3 形成在所述缓冲层 7 上并覆盖所述多晶硅有源层 2，所述栅极绝缘层 3 可以是氧化硅（ SiO_x ）层或氮化硅（ SiN_x ）层或者是氧化硅层与氮化硅层叠加的复合结构层。

S42、如图 4d 所示，应用离子植入工艺，从所述栅极绝缘层 3 的上方注入氮离子，在所述多晶硅有源层 2 的表面上形成离子注入层 6a。

S5、如图 4e 所示，在所述栅极绝缘层 3 上依次制备形成栅电极 4 和层间介质层 8。该步骤参照实施例 2 中的步骤 S5 进行。

S6、如图 4f 所示，应用高温退火工艺对上述步骤制备得到的器件结构进行退火，使所述离子注入层 6a 重结晶，在所述多晶硅有源层 2 和所述栅极绝缘层 3 之间形成氮化硅间隔层 6。该步骤参照实施例 2 中的步骤 S6 进行。

在完成上述步骤之后，参照实施例 2 中的步骤 S7 和 S8，在所述层间介质层 8 上制备形成图案化的源电极 5a 和漏电极 5b，所述源电极 5a 通过所述第一过孔

81 连接到所述多晶硅有源层 2 的其中一端的重掺杂区 23，所述漏电极 5b 通过所述第二过孔 5b 连接到所述多晶硅有源层 2 的另一端的重掺杂区 23，最后制备得到的低温多晶硅薄膜晶体管如图 3k 所示。

综上所述，本发明实施例提供的低温多晶硅薄膜晶体管及其制备方法，在多晶硅有源层和栅极绝缘层的连接界面制备形成氮化硅间隔层，所述氮化硅间隔层是通过离子植入工艺和高温退火工艺制备形成在多晶硅有源层的表面上，与多晶硅有源层是一体相互连接的结构，其缺陷密度远远小于栅极绝缘层的缺陷密度。所述氮化硅间隔层减小了多晶硅有源层和栅极绝缘层连接界面的缺陷密度，降低了薄膜晶体管的漏电流，增大击穿电压，使得薄膜晶体管具有良好且稳定的电性能，进一步地也提高了最终产品（例如 LCD 或 OLED）的品质。

需要说明的是，在本文中，诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来，而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

以上所述仅是本申请的具体实施方式，应当指出，对于本技术领域的普通技术人员来说，在不脱离本申请原理的前提下，还可以做出若干改进和润饰，这些改进和润饰也应视为本申请的保护范围。

权 利 要 求 书

1、一种低温多晶硅薄膜晶体管的制备方法，其中，包括：

在衬底基板上依次制备形成多晶硅有源层和覆盖所述多晶硅有源层的栅极绝缘层；

应用离子植入工艺，在所述多晶硅有源层的朝向所述栅极绝缘层的表面上注入氮离子，形成离子注入层；

应用高温退火工艺，使所述离子注入层重结晶，在所述多晶硅有源层和所述栅极绝缘层之间形成氮化硅间隔层。

2、根据权利要求1所述的低温多晶硅薄膜晶体管的制备方法，其中，所述制备方法包括步骤：

S1、在衬底基板上制备形成多晶硅薄膜层；

S21、应用离子植入工艺，在所述多晶硅薄膜层的表面上注入氮离子，形成离子注入层；

S31、将所述多晶硅薄膜层刻蚀形成图案化的多晶硅有源层，所述多晶硅有源层的表面上保留所述离子注入层；

S41、在所述衬底基板上沉积形成覆盖所述多晶硅有源层的栅极绝缘层；

S5、在所述栅极绝缘层上依次制备形成栅电极和层间介质层；

S6、应用高温退火工艺，使所述离子注入层重结晶，在所述多晶硅有源层和所述栅极绝缘层之间形成氮化硅间隔层；

S7、在所述层间介质层和所述栅极绝缘层中刻蚀形成暴露出所述多晶硅有源层的第一过孔和第二过孔；

S8、在所述层间介质层上制备形成图案化的源电极和漏电极，所述源电极通过所述第一过孔连接到所述多晶硅有源层，所述漏电极通过所述第二过孔连接到所述多晶硅有源层。

3、根据权利要求2所述的低温多晶硅薄膜晶体管的制备方法，其中，步骤S1具体包括：

S11、在所述衬底基底上依次沉积缓冲层和非晶硅薄膜层；

S12、应用准分子激光退火工艺进行处理，使所述非晶硅薄膜层结晶形成多晶硅薄膜层。

4、根据权利要求3所述的低温多晶硅薄膜晶体管的制备方法，其中，所述缓冲层包括依次形成在所述衬底基底上的氮化硅层和氧化硅层。

5、根据权利要求3所述的低温多晶硅薄膜晶体管的制备方法，其中，在进行步骤S1之前还包括步骤：

S0、在所述衬底基底上制备形成图案化的遮光单元，所述遮光单元正对于后续工艺中制备形成的图案化的多晶硅有源层。

6、根据权利要求3所述的低温多晶硅薄膜晶体管的制备方法，其中，在制备形成所述图案化的多晶硅有源层之后，应用离子植入工艺对所述多晶硅有源层进行掺杂处理，使所述多晶硅有源层从中间向两端依次形成有未掺杂区、轻掺杂区和重掺杂区；其中，所述源电极电性连接到所述多晶硅有源层的其中一端的重掺杂区，所述漏电极电性连接到所述多晶硅有源层的另一端的重掺杂区。

7、根据权利要求2所述的低温多晶硅薄膜晶体管的制备方法，其中，所述栅极绝缘层为氧化硅层或氮化硅层或者是氧化硅层与氮化硅层叠加的复合结构层。

8、一种低温多晶硅薄膜晶体管的制备方法，其中，所述制备方法包括步骤：

S1、在衬底基板上制备形成多晶硅薄膜层；

S22、将所述多晶硅薄膜层刻蚀形成图案化的多晶硅有源层；

S32、在所述衬底基板上沉积形成覆盖所述多晶硅有源层的栅极绝缘层；

S42、应用离子植入工艺，从所述栅极绝缘层的上方注入氮离子，在所述多晶硅有源层的表面上形成离子注入层；

S5、在所述栅极绝缘层上依次制备形成栅电极和层间介质层；

S6、应用高温退火工艺，使所述离子注入层重结晶，在所述多晶硅有源层和所述栅极绝缘层之间形成氮化硅间隔层；

S7、在所述层间介质层和所述栅极绝缘层中刻蚀形成暴露出所述多晶硅有

源层的第一过孔和第二过孔；

S8、在所述层间介质层上制备形成图案化的源电极和漏电极，所述源电极通过所述第一过孔连接到所述多晶硅有源层，所述漏电极通过所述第二过孔连接到所述多晶硅有源层。

9、根据权利要求 8 所述的低温多晶硅薄膜晶体管的制备方法，其中，步骤 S1 具体包括：

S11、在所述衬底基底上依次沉积缓冲层和非晶硅薄膜层；

S12、应用准分子激光退火工艺进行处理，使所述非晶硅薄膜层结晶形成多晶硅薄膜层。

10、根据权利要求 9 所述的低温多晶硅薄膜晶体管的制备方法，其中，所述缓冲层包括依次形成在所述衬底基底上的氮化硅层和氧化硅层。

11、根据权利要求 9 所述的低温多晶硅薄膜晶体管的制备方法，其中，在进行步骤 S1 之前还包括步骤：

S0、在所述衬底基底上制备形成图案化的遮光单元，所述遮光单元正对于后续工艺中制备形成的图案化的多晶硅有源层。

12、根据权利要求 9 所述的低温多晶硅薄膜晶体管的制备方法，其中，在制备形成所述图案化的多晶硅有源层之后，应用离子植入工艺对所述多晶硅有源层进行掺杂处理，使所述多晶硅有源层从中间向两端依次形成有未掺杂区、轻掺杂区和重掺杂区；其中，所述源电极电性连接到所述多晶硅有源层的其中一端的重掺杂区，所述漏电极电性连接到所述多晶硅有源层的另一端的重掺杂区。

13、根据权利要求 8 所述的低温多晶硅薄膜晶体管的制备方法，其中，所述栅极绝缘层为氧化硅层或氮化硅层或者是氧化硅层与氮化硅层叠加的复合结构层。

14、一种低温晶硅薄膜晶体管，包括依次设置在衬底基板上的多晶硅有源层、栅极绝缘层、栅电极、源电极和漏电极，其中，所述多晶硅有源层和所述栅极绝缘层之间的连接界面形成有氮化硅间隔层，所述氮化硅间隔层与所述多晶硅有源层是一体相互连接的结构。

15、根据权利要求 14 所述的低温晶硅薄膜晶体管，其中，所述氮化硅间隔层是在所述多晶硅有源层的表面上通过离子植入工艺和高温退火工艺制备形成，所述栅极绝缘层是通过沉积工艺形成在所述多晶硅有源层上，所述氮化硅间隔层的缺陷密度小于所述栅极绝缘层的缺陷密度。

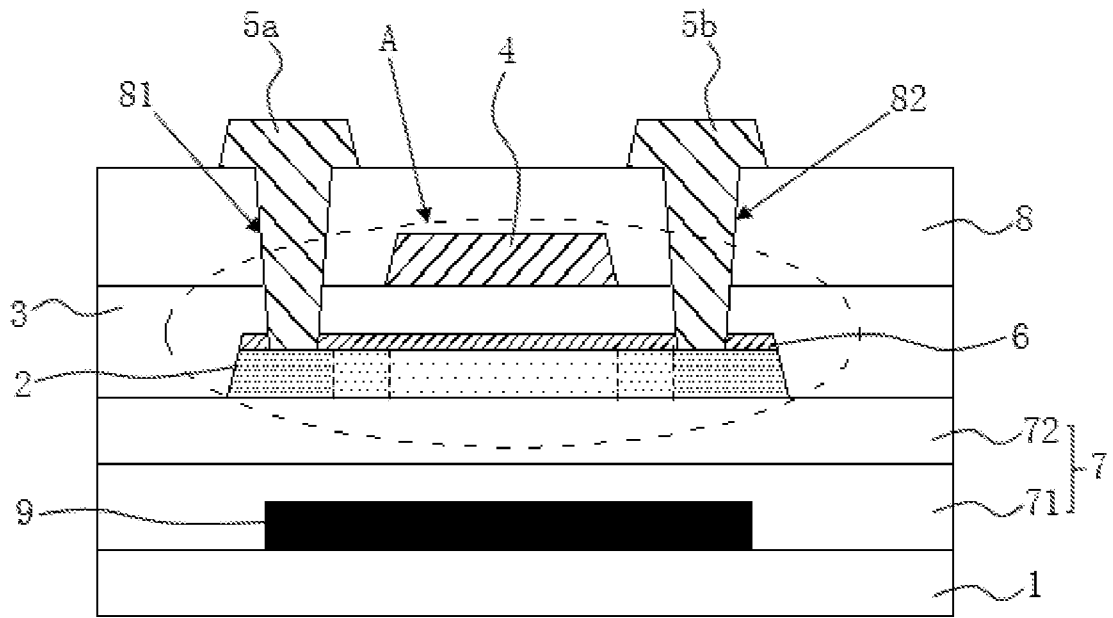


图 1

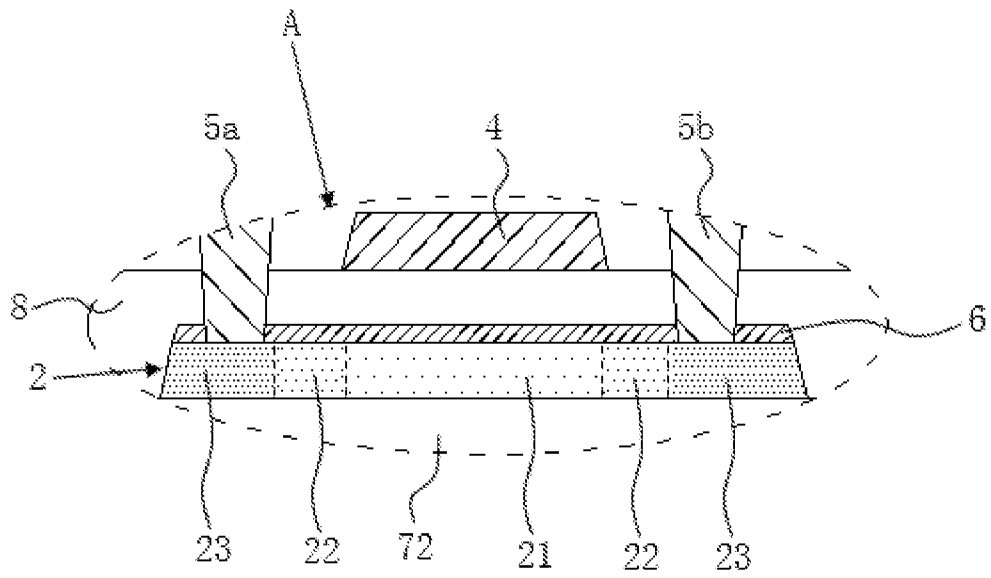


图 2

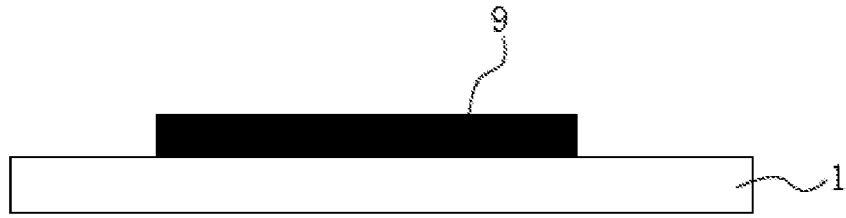


图 3a

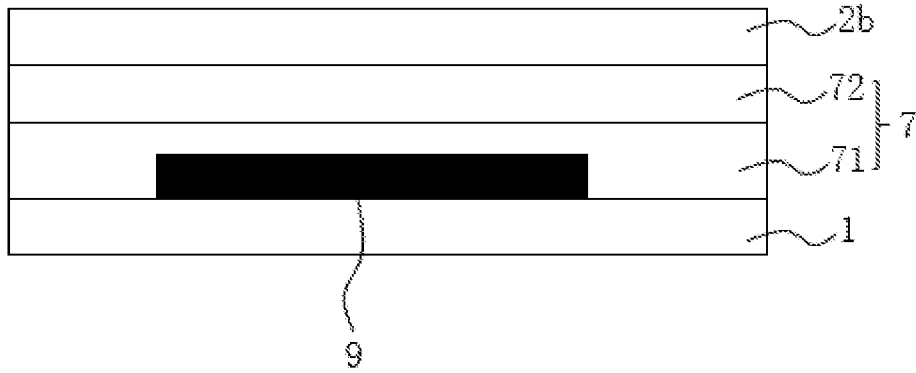


图 3b

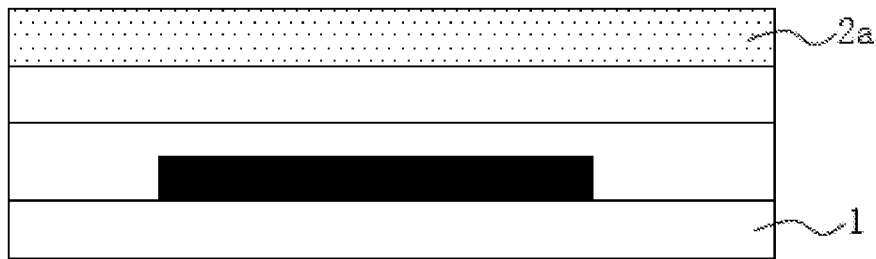


图 3c

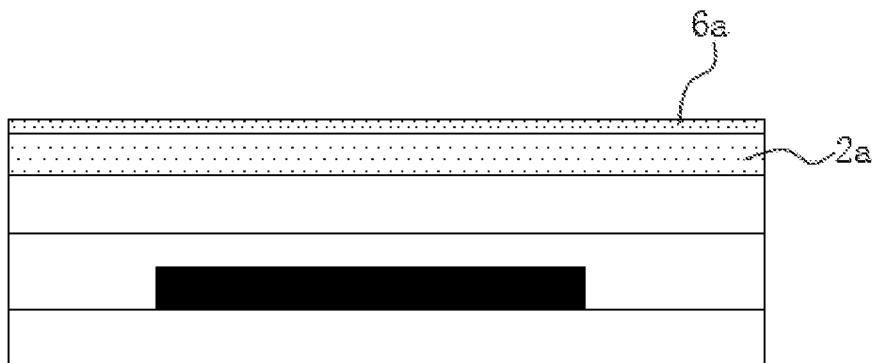


图 3d

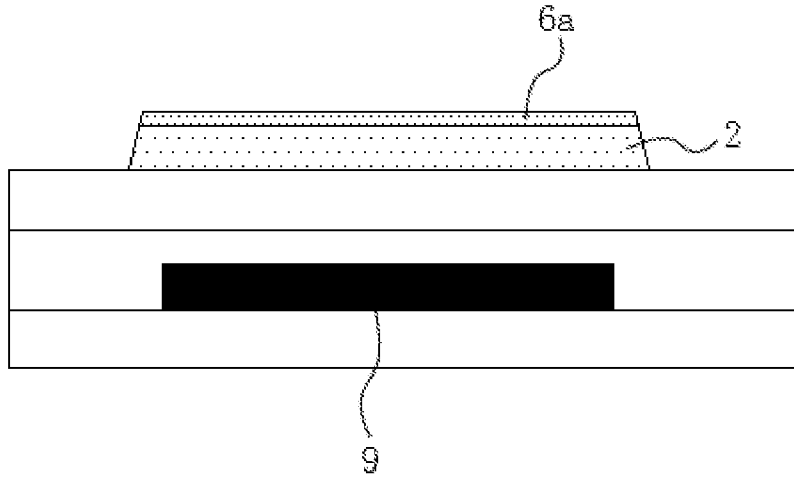


图 3e

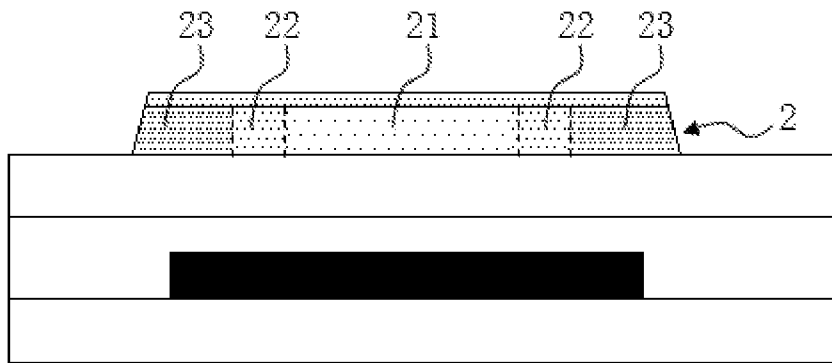


图 3f

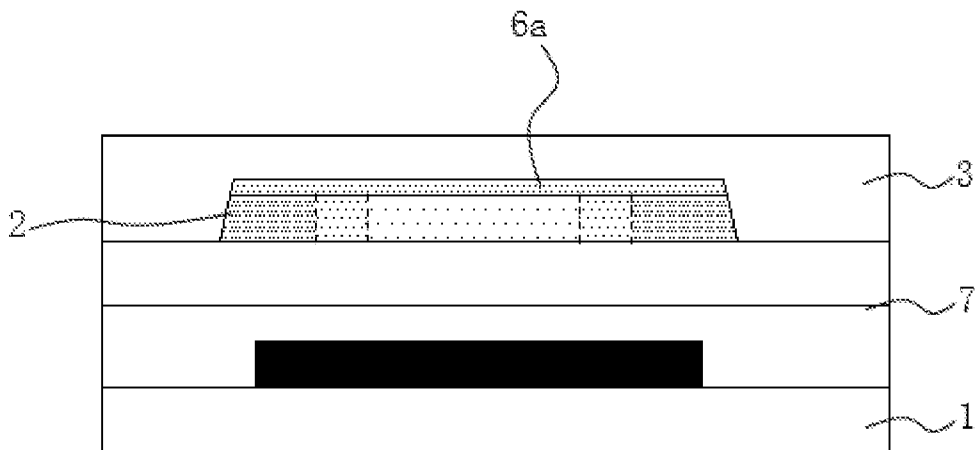


图 3g

4/7

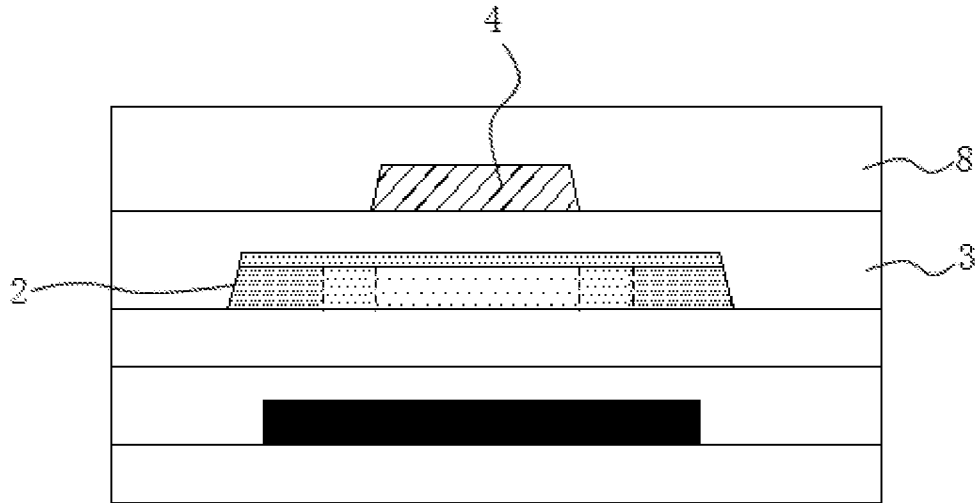


图 3h

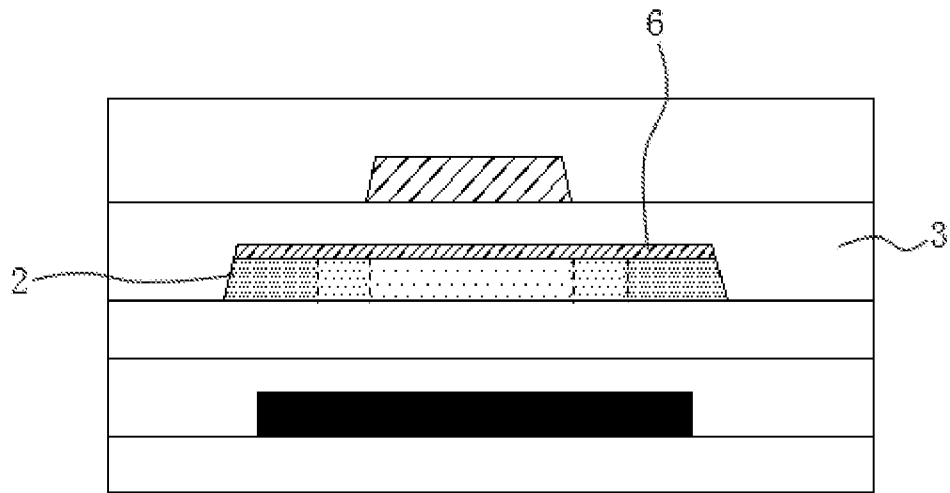


图 3i

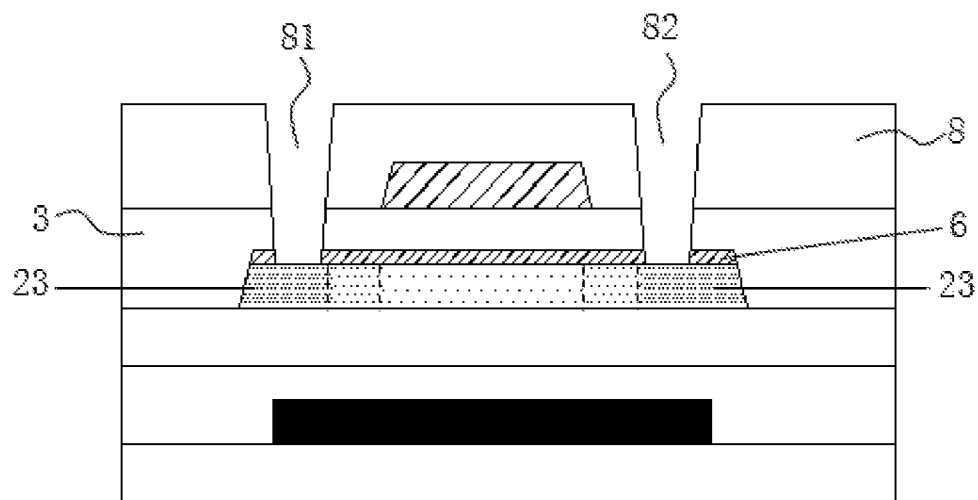


图 3j

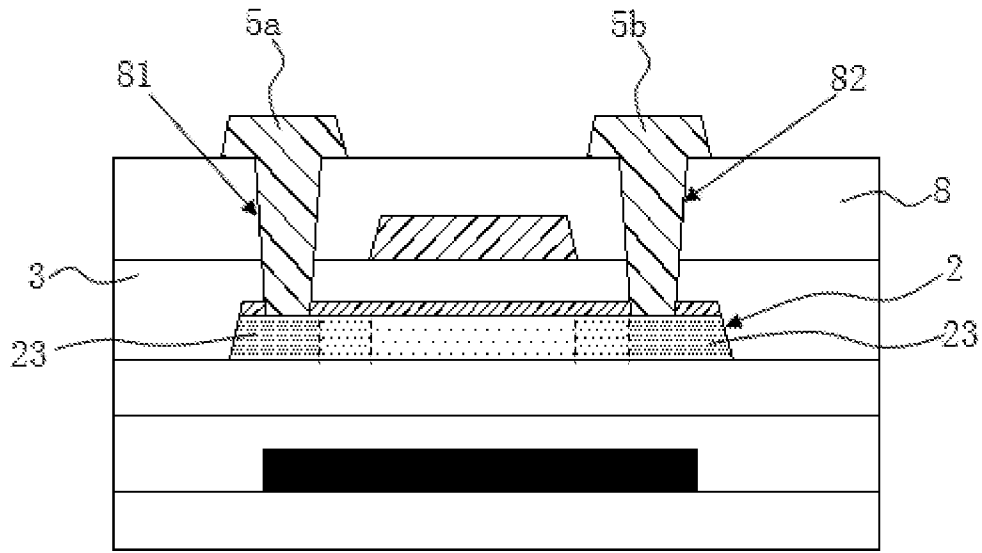


图 3k

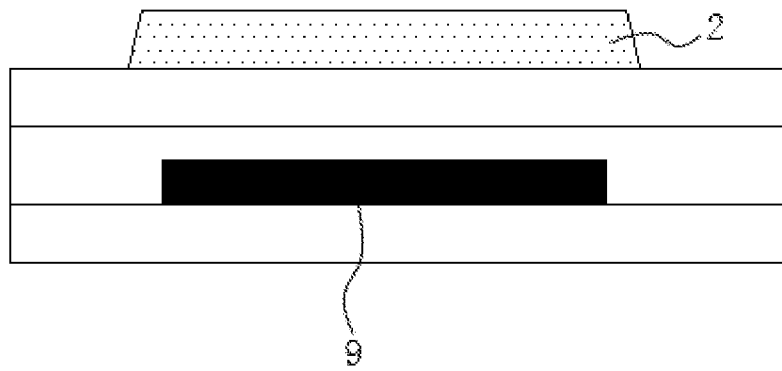


图 4a

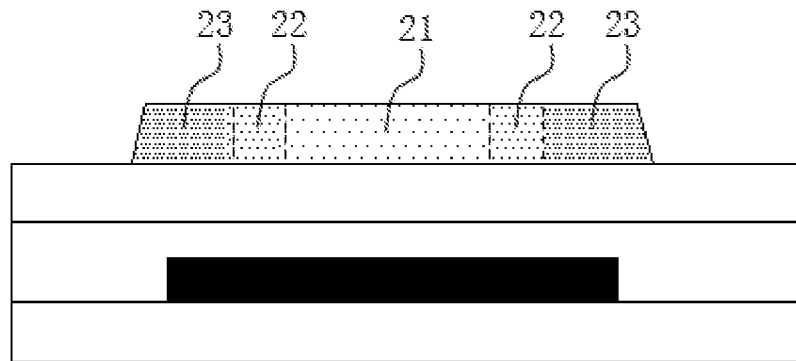


图 4b

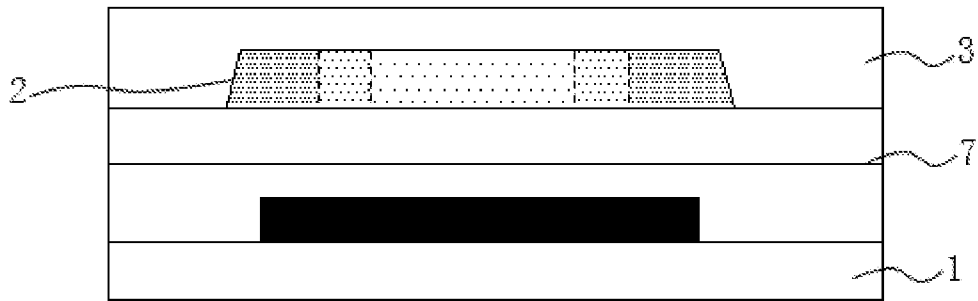


图 4c

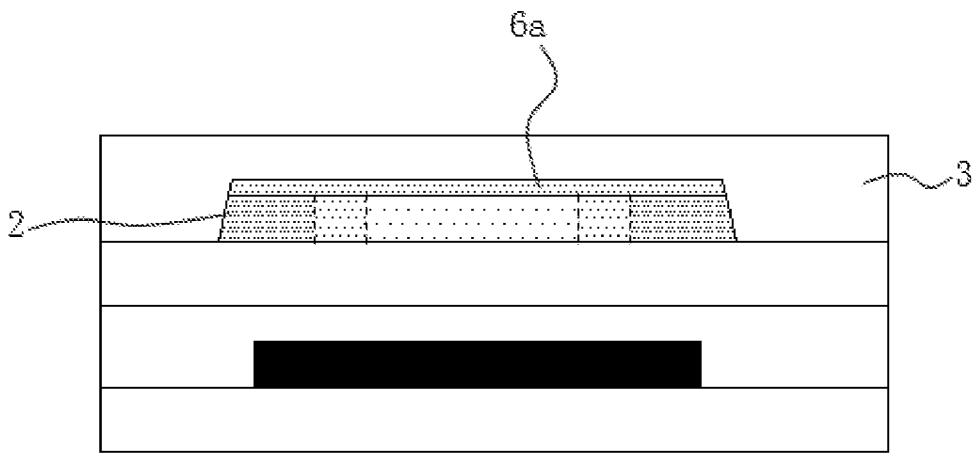


图 4d

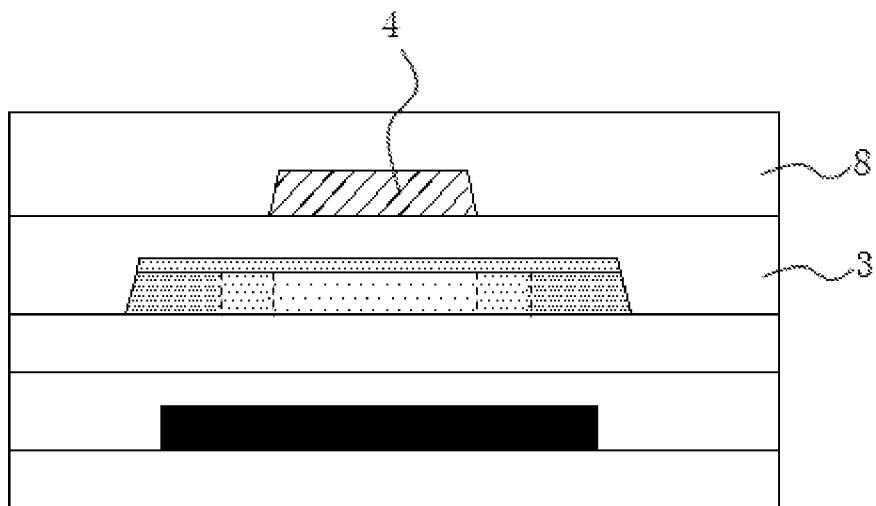


图 4e

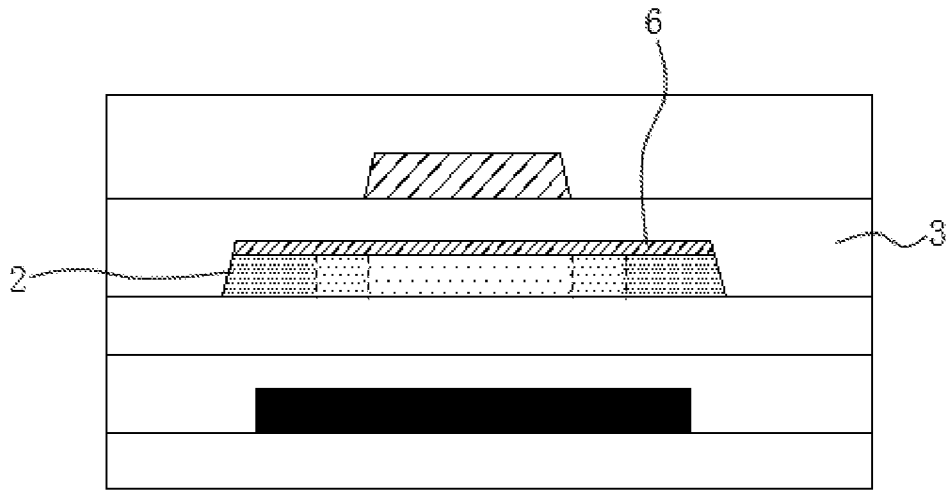


图 4f

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/098337

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i; H01L 29/06 (2006.01) i; H01L 29/786 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 华星光电, 肖东辉, 离子, 注入, 界面, 单晶硅, 多晶硅, 漏电流, 缺陷, 栅, 绝缘, 薄膜晶体管, 氮化硅, thin film transistor, TFT, SiN, silicon, amorphous, insulation, polysilicon, ion

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106847703 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 13 June 2017 (13.06.2017), claims 1-10, description, paragraphs [0051]-[0083], and figures 1-16	1-15
A	CN 104218090 A (EVERDISPLAY OPTRONICS (SHANGHAI) LIMITED), 17 December 2014 (17.12.2014), entire document	1-15
A	CN 104091832 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 08 October 2014 (08.10.2014), entire document	1-15
A	US 5728610 A (SONY CORP.), 17 March 1998 (17.03.1998), entire document	1-15
A	US 2002042168 A1 (YI, J.H. et al.), 11 April 2002 (11.04.2002), entire document	1-15
A	CN 1434485 A (MACRONIX INTERNATIONAL CO., LTD.), 06 August 2003 (06.08.2003), entire document	1-15

Further documents are listed in the continuation of Box C. See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&” document member of the same patent family</p>
---	---

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">17 April 2018</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">04 May 2018</p>
<p>Name and mailing address of the ISA</p> <p>State Intellectual Property Office of the P. R. China</p> <p>No. 6, Xitucheng Road, Jimenqiao</p> <p>Haidian District, Beijing 100088, China</p> <p>Facsimile No. (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">CHEN, Lin</p> <p>Telephone No. 86-(10)-53962360</p>

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/098337

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106847703 A	13 June 2017	None	
CN 104218090 A	17 December 2014	US 9391169 B2	12 July 2016
		TW 1505477 B	21 October 2015
		CN 104218090 B	04 January 2017
		US 2014353689 A1	04 December 2014
		TW 201445746 A	01 December 2014
CN 104091832 A	08 October 2014	US 9627543 B2	18 April 2017
		US 2015380565 A1	31 December 2015
US 5728610 A	17 March 1998	KR 100379858 B1	16 July 2003
		US 5567633 A	22 October 1996
		JP H07273347 A	20 October 1995
		KR 100415915 B1	08 January 2004
		JP 3344072 B2	11 November 2002
US 2002042168 A1	11 April 2002	US 6458636 B1	01 October 2002
		US 6338987 B1	15 January 2002
		KR 20000050946 A	05 August 2000
		KR 100317636 B1	22 December 2001
CN 1434485 A	06 August 2003	CN 1198321 C	20 April 2005

<p>A. 主题的分类</p> <p>H01L 21/336(2006.01)i; H01L 29/06(2006.01)i; H01L 29/786(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																							
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, CNKI, WPI, EPODOC: 华星光电, 肖东辉, 离子, 注入, 界面, 单晶硅, 多晶硅, 漏电流, 缺陷, 栅, 绝缘, 薄膜晶体管, 氮化硅, thin film transistor, TFT, SiN, silicon, amorphous, insulation, polysilicon, ion</p>																							
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 106847703 A (京东方科技集团股份有限公司 等) 2017年 6月 13日 (2017 - 06 - 13) 权利要求1-10、说明书第[0051]-[0083]段、附图1-16</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 104218090 A (上海和辉光电有限公司) 2014年 12月 17日 (2014 - 12 - 17) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 104091832 A (京东方科技集团股份有限公司 等) 2014年 10月 8日 (2014 - 10 - 08) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 5728610 A (SONY CORP.) 1998年 3月 17日 (1998 - 03 - 17) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2002042168 A1 (YI, JONG-HOON 等) 2002年 4月 11日 (2002 - 04 - 11) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 1434485 A (旺宏电子股份有限公司) 2003年 8月 6日 (2003 - 08 - 06) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 106847703 A (京东方科技集团股份有限公司 等) 2017年 6月 13日 (2017 - 06 - 13) 权利要求1-10、说明书第[0051]-[0083]段、附图1-16	1-15	A	CN 104218090 A (上海和辉光电有限公司) 2014年 12月 17日 (2014 - 12 - 17) 全文	1-15	A	CN 104091832 A (京东方科技集团股份有限公司 等) 2014年 10月 8日 (2014 - 10 - 08) 全文	1-15	A	US 5728610 A (SONY CORP.) 1998年 3月 17日 (1998 - 03 - 17) 全文	1-15	A	US 2002042168 A1 (YI, JONG-HOON 等) 2002年 4月 11日 (2002 - 04 - 11) 全文	1-15	A	CN 1434485 A (旺宏电子股份有限公司) 2003年 8月 6日 (2003 - 08 - 06) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																					
X	CN 106847703 A (京东方科技集团股份有限公司 等) 2017年 6月 13日 (2017 - 06 - 13) 权利要求1-10、说明书第[0051]-[0083]段、附图1-16	1-15																					
A	CN 104218090 A (上海和辉光电有限公司) 2014年 12月 17日 (2014 - 12 - 17) 全文	1-15																					
A	CN 104091832 A (京东方科技集团股份有限公司 等) 2014年 10月 8日 (2014 - 10 - 08) 全文	1-15																					
A	US 5728610 A (SONY CORP.) 1998年 3月 17日 (1998 - 03 - 17) 全文	1-15																					
A	US 2002042168 A1 (YI, JONG-HOON 等) 2002年 4月 11日 (2002 - 04 - 11) 全文	1-15																					
A	CN 1434485 A (旺宏电子股份有限公司) 2003年 8月 6日 (2003 - 08 - 06) 全文	1-15																					
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																							
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&” 同族专利的文件</p>																							
<p>国际检索实际完成的日期</p> <p>2018年 4月 17日</p>		<p>国际检索报告邮寄日期</p> <p>2018年 5月 4日</p>																					
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>		<p>受权官员</p> <p>陈琳</p> <p>电话号码 86-(10)-53962360</p>																					

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/098337

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106847703	A	2017年 6月 13日	无			
CN	104218090	A	2014年 12月 17日	US	9391169	B2	2016年 7月 12日
				TW	1505477	B	2015年 10月 21日
				CN	104218090	B	2017年 1月 4日
				US	2014353689	A1	2014年 12月 4日
				TW	201445746	A	2014年 12月 1日
CN	104091832	A	2014年 10月 8日	US	9627543	B2	2017年 4月 18日
				US	2015380565	A1	2015年 12月 31日
US	5728610	A	1998年 3月 17日	KR	100379858	B1	2003年 7月 16日
				US	5567633	A	1996年 10月 22日
				JP	H07273347	A	1995年 10月 20日
				KR	100415915	B1	2004年 1月 8日
				JP	3344072	B2	2002年 11月 11日
US	2002042168	A1	2002年 4月 11日	US	6458636	B1	2002年 10月 1日
				US	6338987	B1	2002年 1月 15日
				KR	20000050946	A	2000年 8月 5日
				KR	100317636	B1	2001年 12月 22日
CN	1434485	A	2003年 8月 6日	CN	1198321	C	2005年 4月 20日

表 PCT/ISA/210 (同族专利附件) (2015年1月)