

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5655655号
(P5655655)

(45) 発行日 平成27年1月21日(2015. 1. 21)

(24) 登録日 平成26年12月5日(2014. 12. 5)

(51) Int.Cl.

F 1

H03F 1/07 (2006.01)

H03F 1/07

H03F 3/24 (2006.01)

H03F 3/24

請求項の数 3 (全 12 頁)

(21) 出願番号 特願2011-61756 (P2011-61756)
(22) 出願日 平成23年3月18日(2011. 3. 18)
(65) 公開番号 特開2012-199706 (P2012-199706A)
(43) 公開日 平成24年10月18日(2012. 10. 18)
審査請求日 平成26年1月8日(2014. 1. 8)

(73) 特許権者 000005223
富士通株式会社
神奈川県川崎市中原区上小田中4丁目1番
1号
(74) 代理人 100089118
弁理士 酒井 宏明
(72) 発明者 青木 信久
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
審査官 白井 孝治

最終頁に続く

(54) 【発明の名称】 ドハティ増幅装置

(57) 【特許請求の範囲】

【請求項 1】

電源端子へ印加される電圧に応じて R F 入力信号を増幅する主増幅器と、
電源端子へ印加される電圧に応じて前記 R F 入力信号のピーク成分を増幅する副増幅器と、

前記主増幅器の出力端に接続された伝送線路と、

前記伝送線路の出力端と前記副増幅器の出力端に接続され、前記伝送線路の出力信号と
前記副増幅器の出力信号とを合成する合成器と、

前記合成器の出力端に接続された出力負荷と

を備え、

前記主増幅器の電源端子へ印加される電圧が前記副増幅器の電源端子へ印加される電圧よりも低く設定されるとともに、前記伝送線路のインピーダンス値が前記出力負荷のインピーダンス値を2倍した値よりも小さく設定されることを特徴とするドハティ増幅装置。

【請求項 2】

前記主増幅器の物理的サイズを規定するパラメータと前記副増幅器の物理的サイズを規定するパラメータとが同一であることを特徴とする請求項 1 に記載のドハティ増幅装置。

【請求項 3】

前記主増幅器の物理的サイズを規定するパラメータが前記副増幅器の物理的サイズを規定するパラメータの m 倍又は $1/m$ 倍であり、前記主増幅器の電源端子へ印加される電圧が前記副増幅器の電源端子へ印加される電圧の n 倍である場合に、 m および n は、 $(1 +$

$m \cdot n) / m < 2$ の関係が成立するように設定されることを特徴とする請求項 1 に記載のドハティ増幅装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ドハティ増幅装置に関する。

【背景技術】

【0002】

近年、周波数の利用効率を向上させるための変調方式として、OFDM (Orthogonal Frequency Division Multiplexing) 等の線形変調方式が広く用いられている。OFDM 等の線形変調方式により変調された信号は、ピーク電力対平均電力比 (PAPR : Peak to Average Power Ratio) が高くなる傾向がある。このため、最近では、PAPR が高い信号を高効率で増幅する増幅装置が種々検討されている。例えば、このような増幅装置として、ドハティ増幅装置が知られている。

10

【0003】

図 3 は、一般的なドハティ増幅装置の構成例を示す図である。同図に示すように、ドハティ増幅装置は、分配器 11、キャリア増幅器 12、位相調整器 13、ピーク増幅器 14、インピーダンス変換器 15、合成器 16 および出力負荷 17 を有する。

【0004】

分配器 11 は、入力端子 11a から入力される RF (Radio Frequency) 信号を 2 つの RF 信号に分岐し、一方の RF 信号をキャリア増幅器 12 へ分配するとともに、他方の RF 信号を位相調整器 13 へ分配する。キャリア増幅器 12 は、電源端子 12a へ印加される電圧に応じて分配器 11 から入力される RF 信号を増幅し、増幅後の RF 信号をインピーダンス変換器 15 へ出力する。

20

【0005】

位相調整器 13 は、分配器 11 から入力される RF 信号の位相を調整し、調整後の RF 信号をピーク増幅器 14 へ出力する。ピーク増幅器 14 は、電源端子 14a へ印加される電圧に応じて分配器 11 から入力される RF 信号のピーク成分を増幅し、増幅後の RF 信号を合成器 16 へ出力する。インピーダンス変換器 15 は、 $\lambda / 4$ の電気長を有する伝送線路であり、キャリア増幅器 12 の出力端に接続される。合成器 16 は、インピーダンス変換器 15 の出力端とピーク増幅器 14 の出力端とに接続され、インピーダンス変換器 15 からの RF 信号とピーク増幅器 14 からの RF 信号とを合成する。出力負荷 17 は、合成器 16 の出力端に接続される。出力負荷 17 のインピーダンス値 Z_0 は固定である。

30

【0006】

図 3 に示したドハティ増幅装置では、キャリア増幅器 12 の電源端子 12a へ印加される電圧 V_{dd} がピーク増幅器 14 の電源端子 14a へ印加される電圧 V_{dd} と同一となるように設定される。そして、ドハティ増幅装置では、キャリア増幅器 12 が A 級又は B 級で動作し、ピーク増幅器 14 が B 級又は C 級で動作する。すなわち、キャリア増幅器 12 が飽和状態となるまではキャリア増幅器 12 のみが主増幅器として動作し、キャリア増幅器 12 が飽和状態となると、ピーク増幅器 14 が副増幅器として動作する。

40

【0007】

ここで、ドハティ増幅装置の出力電力に対する効率は、それぞれの増幅器が飽和状態で動作した時のインピーダンス変換器 15 から合成器 16 へ出力される電流 I_3 と合成器 16 から出力負荷 17 へ出力される電流 I_0 との比 α に応じて変動する。特に、ドハティ増幅装置の効率は、 $\alpha < 0.5$ のときに良好となることが知られている。

【0008】

このため、 $\alpha < 0.5$ を実現する従来技術として、キャリア増幅器とピーク増幅器とのデバイスサイズを異ならせる手法が提案されている。この従来技術では、例えば、キャリア増幅器のエミッタ面積をピーク増幅器のエミッタ面積よりも小さく設定することによって、キャリア増幅器とピーク増幅器とのデバイスサイズを異ならせる。

50

【先行技術文献】

【特許文献】

【0009】

【特許文献1】特開2007-81800号公報

【特許文献2】特開2007-6450号公報

【特許文献3】特開2005-322993号公報

【特許文献4】特開2006-166141号公報

【発明の概要】

【発明が解決しようとする課題】

【0010】

10

しかしながら、キャリア増幅器とピーク増幅器とのデバイスサイズを異ならせる従来技術では、インピーダンス変換器のインピーダンスが増大し、その結果、効率が劣化するという問題がある。

【0011】

開示の技術は、上記に鑑みてなされたものであって、インピーダンス変換器のインピーダンスの増加に起因した効率の劣化を回避することができるドハティ増幅装置を提供することを目的とする。

【課題を解決するための手段】

【0012】

20

本願の開示するドハティ増幅装置は、主増幅器と、副増幅器と、伝送線路と、合成器と、出力負荷とを有する。主増幅器は、電源端子へ印加される電圧に応じてRF入力信号を増幅する。副増幅器は、電源端子へ印加される電圧に応じて前記RF入力信号のピーク成分を増幅する。伝送線路は、前記主増幅器の出力端に接続される。合成器は、前記伝送線路の出力端と前記副増幅器の出力端に接続され、前記伝送線路の出力信号と前記副増幅器の出力信号とを合成する。そして、前記主増幅器の電源端子へ印加される電圧が前記副増幅器の電源端子へ印加される電圧よりも低く設定されるとともに、前記伝送線路のインピーダンス値が前記出力負荷のインピーダンス値を2倍した値よりも小さく設定される。

【発明の効果】

【0013】

30

本願の開示するドハティ増幅装置の一つの態様によれば、インピーダンス変換器のインピーダンスの増加に起因した効率の劣化を回避することができるという効果を奏する。

【図面の簡単な説明】

【0014】

【図1】図1は、一般的なドハティ増幅装置における効率特性を示す図である。

【図2】図2は、実施例1に係るドハティ増幅装置の構成例を示すブロック図である。

【図3】図3は、一般的なドハティ増幅装置の構成例を示す図である。

【発明を実施するための形態】

【0015】

40

まず、本願の開示するドハティ増幅装置の実施例を説明する前に、一般的なドハティ増幅装置の問題点について説明する。図1は、図3に示した一般的なドハティ増幅装置における効率特性を示す図である。図1では、横軸が出力負荷17での、ドハティ増幅器が出力可能な最大電圧と出力電圧の電圧比を表し、縦軸が効率(%)を表す。言い換えると、横軸が出力電力を表し、縦軸が効率(%)を表す。また、図1では、ドハティ増幅器が最大電力を出力した時のインピーダンス変換器15から合成器16へ出力される電流 I_3 と、合成器16から出力負荷17へ出力される電流 I_0 との比 α を変化させたときの効率特性を示す。

【0016】

図1に示すように、 α が0.5であるとき、効率が極大値となる電圧比は0.5である。そして、 α が0.5よりも小さくなるに連れて、効率が極大値となる電圧比は小さくなる。これは、 α が0.5よりも小さくなるに連れて、PAPRが比較的の高い信号に対す

50

る増幅の効率が向上することを意味する。例えば、PAPRが比較的に高い信号の電圧比が0.2であるものとする。この場合には、 α が0.5であるとき、変調波が平均電力を出力した場合の効率は約30%に留まるが、 α が0.2であるとき、効率は極大値である約79%まで向上する。このように、ドハティ増幅装置の効率は、 α が0.5よりも小さいときに良好となる。

【0017】

ここで、 α が0.5よりも小さい状態を実現するために、図3に示した従来のドハティ増幅装置におけるキャリア増幅器12とピーク増幅器14とのデバイスサイズを異ならせたものとする。例えば、キャリア増幅器15のエミッタ面積がピーク増幅器14のエミッタ面積よりも小さく設定されるものとする。すると、インピーダンス変換器15のインピーダンス Z_L が増大する。インピーダンス変換器15のインピーダンス Z_L が増大することを以下に証明する。

10

【0018】

ピーク増幅器とキャリア増幅器が飽和動作の状態を考える。まず、 α が、次式(1)で定義される。

$$\alpha = I_3 / I_0 \quad \cdots (1)$$

ただし、 I_3 は、インピーダンス変換器15から合成器16へ出力される電流

I_0 は、合成器16から出力負荷17へ出力される電流

【0019】

出力負荷17では、次式(2)が成立する。

20

$$V_0 = I_0 \cdot Z_0 \quad \cdots (2)$$

ただし、 V_0 は、出力負荷17の電圧

Z_0 は、出力負荷17のインピーダンス値

【0020】

式(1)および式(2)から次式(3)が求められる。

$$I_3 = \alpha \cdot V_0 / Z_0 \quad \cdots (3)$$

【0021】

インピーダンス変換器15の入力端の電力と出力端の電力とが等しく、飽和動作状態では、出力電圧はピーク増幅器、キャリア増幅器共等しいと考えられるので、 $V_1 = V_2$ となり、次式(4)が成立する。

30

$$V_1^2 / R_1 = V_2^2 / R_1 = I_3^2 \cdot R_3 \quad \cdots (4)$$

ただし、 V_1 は、キャリア増幅器12の出力端の電圧

V_2 は、ピーク増幅器14の出力端の電圧

R_1 は、キャリア増幅器12の出力端のインピーダンス

R_3 は、インピーダンス変換器15の出力端のインピーダンス

【0022】

また、インピーダンス変換器15の性質から次式(5)が求められる。

$$R_1 \cdot R_3 = Z_L^2 \quad \cdots (5)$$

【0023】

式(4)および式(5)から次式(6)が求められる。

40

$$Z_L = V_2 / I_3 \quad \cdots (6)$$

【0024】

式(3)、式(6)および $V_0 = V_2$ の関係から次式(7)が求められる。

$$Z_L = 1 / \alpha \cdot Z_0 \quad \cdots (7)$$

【0025】

式(7)は、 $\alpha < 0.5$ ときに、 $Z_L > 2 \cdot Z_0$ となる。つまり、従来のドハティ増幅装置では、 α が0.5よりも小さい場合には、インピーダンス変換器15のインピーダンス値 Z_L が出力負荷のインピーダンス値 Z_0 を2倍した値よりも大きくなる。

【0026】

このように、キャリア増幅器とピーク増幅器とのデバイスサイズを異ならせる従来の手

50

法では、インピーダンス変換器のインピーダンスが増大する傾向にある。そして、インピーダンス変換器のインピーダンスの増大に伴って、ドハティ増幅装置の効率が劣化する。

【実施例１】

【００２７】

次に、実施例１に係るドハティ増幅装置１００の構成について説明する。図２は、実施例１に係るドハティ増幅装置の構成例を示すブロック図である。同図に示すように、実施例１に係るドハティ増幅装置１００は、分配器１１１、キャリア増幅器１１２、位相調整器１１３、ピーク増幅器１１４、インピーダンス変換器１１５、合成器１１６および出力負荷１１７を有する。分配器１１１は、入力端子１１１ａから入力されるＲＦ信号を２つのＲＦ信号に分岐し、一方のＲＦ信号をキャリア増幅器１１２へ分配するとともに、他方のＲＦ信号を位相調整器１１３へ分配する。

10

【００２８】

キャリア増幅器１１２は、増幅素子として電界効果トランジスタ（ＦＥＴ：Field effect transistor）を含む増幅器である。キャリア増幅器１１２は、電源端子１１２ａへ印加される電圧に応じて分配器１１１から入力されるＲＦ信号を増幅し、増幅後のＲＦ信号をインピーダンス変換器１１５へ出力する。キャリア増幅器１１２の電源端子１１２ａは、直流電源に接続されるとともに、キャリア増幅器１１２内部のＦＥＴに接続される。キャリア増幅器１１２の電源端子１１２ａへ印加される電圧は、ドレイン電圧とも呼ばれる。また、キャリア増幅器１１２の電源端子１１２ａへ印加される電圧は、ピーク増幅器１１４の電源端子１１４ａへ印加される電圧と異なるように設定される。本実施例では、キャリア増幅器１１２の電源端子１１２ａへ印加される電圧は、ピーク増幅器１１４の電源端子１１４ａへ印加される電圧 V_{dd} の n 倍に設定される。

20

【００２９】

位相調整器１１３は、分配器１１１から入力されるＲＦ信号の位相を調整し、調整後のＲＦ信号をピーク増幅器１１４へ出力する。

【００３０】

ピーク増幅器１１４は、キャリア増幅器１１２と同様に増幅素子としてＦＥＴを含む増幅器である。ピーク増幅器１１４は、電源端子１１４ａへ印加される電圧に応じて分配器１１１から入力されるＲＦ信号を、ＲＦ信号の電力が閾値を越えた時に増幅し、増幅後のＲＦ信号を合成器１１６へ出力する。また、ピーク増幅器１１４の電源端子１１４ａは、直流電源に接続されるとともに、ピーク増幅器１１４内部のＦＥＴに接続される。ピーク増幅器１１４の電源端子１１４ａへ印加される電圧は、ドレイン電圧とも呼ばれる。

30

【００３１】

インピーダンス変換器１１５は、 $\lambda/4$ の電気長を有する伝送線路であり、キャリア増幅器１１２の出力端に接続される。

【００３２】

合成器１１６は、インピーダンス変換器１１５の出力端とピーク増幅器１１４の出力端とに接続され、インピーダンス変換器１１５からのＲＦ信号とピーク増幅器１１４からのＲＦ信号とを合成する。出力負荷１１７は、合成器１１６の出力端に接続される。出力負荷１１７のインピーダンス Z_0 は固定である。

40

【００３３】

本実施例のドハティ増幅装置１００では、キャリア増幅器１１２がＡＢ級又はＢ級で動作し、ピーク増幅器１１４がＢ級又はＣ級で動作する。すなわち、キャリア増幅器１１２が飽和状態となるまではキャリア増幅器１１２のみが主増幅器として動作し、キャリア増幅器１１２が飽和状態となると、ピーク増幅器１１４が副増幅器として動作する。

【００３４】

特に、本実施例のドハティ増幅装置１００では、キャリア増幅器１１２の電源端子１１２ａへ印加される電圧がピーク増幅器１１４の電源端子１１４ａへ印加される電圧よりも低く設定される。これとともに、インピーダンス変換器１１５のインピーダンス値が出力負荷１１７のインピーダンス値を２倍した値よりも小さく設定される。これにより、イン

50

ピーダンス変換器 115 のインピーダンス値が不用意に増大することを回避することができる、インピーダンス変換器 115 のインピーダンス値の増加に起因した効率の劣化を回避することができる。

【0035】

ここで、本実施例のドハティ増幅装置 100 がインピーダンス変換器 115 のインピーダンス値の増加に起因した効率の劣化を回避することができる理由について説明する。

【0036】

まず、 α が、上記の式 (1) と同様に、次式 (8) で定義される。

$$\alpha = I_3 / I_0 \quad \cdots (8)$$

ただし、 I_3 は、インピーダンス変換器 115 から合成器 116 へ出力される電流

I_0 は、合成器 116 から出力負荷 117 へ出力される電流

10

【0037】

出力負荷 117 では、次式 (9) が成立する。

$$V_0 = I_0 \cdot Z_0 \quad \cdots (9)$$

ただし、 V_0 は、出力負荷 117 の電圧

Z_0 は、出力負荷 117 のインピーダンス値

【0038】

式 (8) および式 (9) から次式 (10) が求められる。

$$I_3 = \alpha \cdot V_0 / Z_0 \quad \cdots (10)$$

【0039】

式 (10) および $V_0 = V_3$ の関係から次式 (11) が求められる。

$$R_3 = V_3 / I_3 = V_0 / (V_0 / Z_0 \cdot \alpha) = 1 / \alpha \cdot Z_0 \quad \cdots (11)$$

ただし、 R_3 は、インピーダンス変換器 115 の出力端のインピーダンス

20

【0040】

また、インピーダンス変換器 115 の入力端の電力と出力端の電力とが等しいので、次式 (12) が成立する。

$$V_1^2 / R_1 = I_3 \cdot V_3 \quad \cdots (12)$$

【0041】

また、インピーダンス変換器 115 の性質から次式 (13) が求められる。

$$R_1 \cdot R_3 = Z_L^2 \quad \cdots (13)$$

30

【0042】

式 (13) に式 (11) を適用することにより、次式 (14) が求められる。

$$Z_L^2 = R_1 \cdot (1 / \alpha) \cdot Z_0 \quad \cdots (14)$$

【0043】

式 (14) に式 (12) を適用することにより、次式 (15) が求められる。

$$Z_L^2 = V_1^2 / (I_3 \cdot V_3) \cdot (1 / \alpha) \cdot Z_0 \quad \cdots (15)$$

【0044】

式 (15) に式 (10) および $V_3 = V_0$ の関係を適用することにより、次式 (16) が求められる。

$$Z_L^2 = (1 / \alpha^2) \cdot Z_0^2 \cdot V_1^2 / V_0^2 \quad \cdots (16)$$

40

【0045】

式 (16) から次式 (17) が求められる。

$$Z_L = (1 / \alpha) \cdot Z_0 \cdot V_1 / V_0 \quad \cdots (17)$$

【0046】

キャリア増幅器 112 の出力端の電圧 V_1 が電源端子 112 a へ印加される電圧 $n \cdot V_{dd}$ に比例すると仮定すると、次式 (18) が成立する。

$$V_1 = x \cdot n \cdot V_{dd} \quad \cdots (18)$$

ただし、 x は、比例定数

【0047】

また、ピーク増幅器 114 の出力端の電圧が電源端子 114 a へ印加される電圧 V_{dd}

50

に比例すると仮定すると、次式 (1 9) が成立する。

$$V_2 = x \cdot V_{dd} \quad \cdots (19)$$

【 0 0 4 8 】

式 (1 8) および式 (1 9) から次式 (2 0) が求められる。

$$V_1 = n \cdot V_2 = n \cdot V_0 \quad \cdots (20)$$

【 0 0 4 9 】

式 (1 7) に式 (2 0) を適用することにより次式 (2 1) が求められる。

$$Z_L = (1/\alpha) \cdot n \cdot Z_0 \quad \cdots (21)$$

【 0 0 5 0 】

本実施例では、インピーダンス変換器 1 1 5 のインピーダンス値 Z_L が出力負荷 1 1 7 のインピーダンス値 Z_0 を 2 倍した値よりも小さく設定されるので、次式 (2 2) が成立する。

$$Z_L < 2 Z_0 \quad \cdots (22)$$

【 0 0 5 1 】

式 (2 1) および式 (2 2) から次式 (2 3) が求められる。

$$n < 2 \cdot \alpha \quad \cdots (23)$$

【 0 0 5 2 】

式 (2 3) から $\alpha < 0.5$ のときに次式 (2 4) が求められる。

$$n < 1 \quad \cdots (24)$$

【 0 0 5 3 】

式 (2 4) は、キャリア増幅器 1 1 2 の電源端子 1 1 2 a へ印加される電圧 $n \cdot V_{dd}$ がピーク増幅器 1 1 4 の電源端子 1 1 4 a へ印加される電圧 V_{dd} よりも低く設定された場合に、効率の劣化を回避することができることを意味する。

【 0 0 5 4 】

このように、本実施例では、キャリア増幅器 1 1 2 の電源端子 1 1 2 a へ印加される電圧がピーク増幅器 1 1 4 の電源端子 1 1 4 a へ印加される電圧よりも低く設定される。また、インピーダンス変換器 1 1 5 のインピーダンス値が出力負荷 1 1 7 のインピーダンス値を 2 倍した値よりも小さく設定される。これにより、インピーダンス変換器 1 1 5 のインピーダンス値が不用意に増大することを回避することができ、インピーダンス変換器 1 1 5 のインピーダンス値の増加に起因した効率の劣化を回避することができる。

【 0 0 5 5 】

また、本実施例では、キャリア増幅器 1 1 2 の物理的サイズを規定するパラメータとピーク増幅器 1 1 4 の物理的サイズを規定するパラメータとが同一である。本実施例のキャリア増幅器 1 1 2 およびピーク増幅器 1 1 4 は、増幅素子として F E T を含む増幅器である。したがって、キャリア増幅器 1 1 2 のゲート幅、ゲート長、ゲート数またはパッケージ内 F E T 数と、ピーク増幅器 1 1 4 のゲート幅、ゲート長、ゲート数またはパッケージ内 F E T 数とが同一である。言い換えると、キャリア増幅器 1 1 2 のデバイスサイズとピーク増幅器 1 1 4 のデバイスサイズとが同一である。本実施例では、キャリア増幅器 1 1 2 のデバイスサイズとピーク増幅器 1 1 4 のデバイスサイズとが同一である場合でもインピーダンス変換器 1 1 5 のインピーダンス値が不用意に増大することを回避することができる。

【 0 0 5 6 】

以下、本実施例のドハティ増幅装置 1 0 0 が、キャリア増幅器 1 1 2 のデバイスサイズとピーク増幅器 1 1 4 のデバイスサイズとが同一である場合でも、インピーダンス変換器 1 1 5 のインピーダンス値が不用意に増大することを回避することができる理由について説明する。

【 0 0 5 7 】

まず、キャリア増幅器 1 1 2 の電力を求める。キャリア増幅器 1 1 2 の電力 $I_1 \cdot V_1$ は、次式 (2 5) を用いて求められる。

$$I_1 \cdot V_1 = I_3 \cdot V_3 \quad \cdots (25)$$

10

20

30

40

50

【 0 0 5 8 】

式 (1 0) および $V_3 = V_0$ の関係を式 (2 5) に適用することにより、次式 (2 6) が求められる。

$$I_1 \cdot V_1 = (V_0^2 / Z_0) \cdot \alpha \quad \dots (26)$$

【 0 0 5 9 】

次いで、ピーク増幅器 1 1 4 の電力を求める。ピーク増幅器 1 1 4 の電力 $I_2 \cdot V_2$ は、次式 (2 7) を用いて求められる。

$$I_2 \cdot V_2 = I_2 \cdot V_0 \quad \dots (27)$$

【 0 0 6 0 】

また、 I_2 に関して次式 (2 8) が成立する。

$$I_2 = I_0 - I_3 \quad \dots (28)$$

【 0 0 6 1 】

式 (2 8) に式 (8) を適用することにより次式 (2 9) が求められる。

$$I_2 = (1 - \alpha) \cdot I_0 \quad \dots (29)$$

【 0 0 6 2 】

また、 I_0 は、次式 (3 0) を用いて求められる。

$$I_0 = V_0 / Z_0 \quad \dots (30)$$

【 0 0 6 3 】

式 (2 9) および式 (3 0) から次式 (3 1) が求められる。

$$I_2 = V_0 / Z_0 \cdot (1 - \alpha) \quad \dots (31)$$

【 0 0 6 4 】

式 (2 7) に式 (3 1) を適用することにより、次式 (3 2) が求められる。

$$I_2 \cdot V_2 = V_0^2 / Z_0 \cdot (1 - \alpha) \quad \dots (32)$$

【 0 0 6 5 】

式 (2 6) および式 (3 2) からキャリア増幅器 1 1 2 の電力とピーク増幅器 1 1 4 の電力との比を求めると、次式 (3 3) が導出される。

$$I_1 \cdot V_1 / (I_2 \cdot V_2) = \alpha / (1 - \alpha) \quad \dots (33)$$

【 0 0 6 6 】

本実施例では、キャリア増幅器 1 1 2 のゲート幅、ゲート長、ゲート数またはパッケージ内 F E T 数と、ピーク増幅器 1 1 4 のゲート幅、ゲート長、ゲート数またはパッケージ内 F E T 数とが同一である。このため、キャリア増幅器 1 1 2 における飽和電力およびピーク増幅器 1 1 4 における飽和電力は、電源端子 1 1 2 a へ印加される電圧 $n \cdot V_{dd}$ および電源端子 1 1 4 a へ印加される電圧 V_{dd} にそれぞれ比例する。すなわち、次式 (3 4) が成立する。

$$I_1 \cdot V_1 / (I_2 \cdot V_2) = n \cdot V_{dd} / V_{dd} = n \quad \dots (34)$$

【 0 0 6 7 】

式 (3 3) および式 (3 4) から次式 (3 5) が求められる。

$$\alpha / (1 - \alpha) = n \quad \dots (35)$$

【 0 0 6 8 】

式 (2 1) に式 (3 5) を適用することにより次式 (3 6) が求められる。

$$Z_L = (1 + n) \cdot Z_0 \quad \dots (36)$$

【 0 0 6 9 】

式 (3 6) および式 (2 2) から次式 (3 7) が求められる。

$$n < 1 \quad \dots (37)$$

【 0 0 7 0 】

式 (3 7) は、キャリア増幅器 1 1 2 の電源端子 1 1 2 a へ印加される電圧 $n \cdot V_{dd}$ をピーク増幅器 1 1 4 の電源端子 1 1 4 a へ印加される電圧 V_{dd} よりも低く設定することにより、電源端子 1 1 2 a の物理的サイズを規定するパラメータと電源端子 1 1 4 a の物理的サイズを規定するパラメータとが同一である場合でも、インピーダンス変換器 1 1 5 のインピーダンス値の増大を抑えることができることを示す。

10

20

30

40

50

【0071】

なお、本実施例では、キャリア増幅器112およびピーク増幅器114が増幅素子としてFETを含む場合について説明したが、キャリア増幅器112およびピーク増幅器114がFETに代えてバイポーラトランジスタを含んでいてもよい。この場合には、キャリア増幅器112のエミッタ面積またはパッケージ内バイポーラトランジスタ数と、ピーク増幅器114のエミッタ面積またはパッケージ内バイポーラトランジスタ数とが同一となる。また、この場合には、キャリア増幅器112の電源端子112aへ印加される電圧およびキャリア増幅器114の電源端子114aへ印加される電圧は、バイポーラトランジスタのコレクタ端子へ接続されコレクタ電圧とも呼ばれる。

【0072】

10

上述してきたように、本実施例のドハティ増幅装置100では、キャリア増幅器112の電源端子112aへ印加される電圧がピーク増幅器114の電源端子114aへ印加される電圧よりも低く設定される。また、インピーダンス変換器115のインピーダンス値が出力負荷117のインピーダンス値を2倍した値よりも小さく設定される。このため、本実施例によれば、インピーダンス変換器115のインピーダンス値が不用意に増大することを回避することができ、インピーダンス変換器115のインピーダンス値の増加に起因した効率の劣化を回避することができる。

【0073】

また、本実施例のドハティ増幅装置100では、キャリア増幅器112の物理的サイズを規定するパラメータとピーク増幅器114物理的サイズを規定するパラメータとが同一である。このため、本実施例によれば、キャリア増幅器112の電源端子112aへ印加される電圧 $n \cdot V_{dd}$ をピーク増幅器114の電源端子114aへ印加される電圧 V_{dd} よりも低く設定することにより、キャリア増幅器112の物理的サイズを規定するパラメータとピーク増幅器114物理的サイズを規定するパラメータとが同一である場合にも、インピーダンス変換器115のインピーダンス値の増大を抑えることができる。その結果、インピーダンス変換器115のインピーダンス値の増加に起因した効率の劣化をより効率的に回避することができる。

20

【実施例2】

【0074】

上記実施例1では、キャリア増幅器112の物理的サイズを規定するパラメータとピーク増幅器114の物理的サイズを規定するパラメータとが同一である場合について説明した。しかしながら、キャリア増幅器112の物理的サイズを規定するパラメータとピーク増幅器114の物理的サイズを規定するパラメータとが異なってもよい。そこで、以下では、このような場合を実施例2として説明する。

30

【0075】

本実施例のドハティ増幅装置では、キャリア増幅器112の電源端子112aへ印加される電圧がピーク増幅器114の電源端子114aへ印加される電圧の n 倍に設定される。これとともに、インピーダンス変換器115のインピーダンス値が出力負荷117のインピーダンス値を2倍した値よりも小さく設定される。

【0076】

40

さらに、本実施例のドハティ増幅装置では、実施例1のドハティ増幅装置100と異なり、キャリア増幅器112の物理的サイズを規定するパラメータとピーク増幅器114の物理的サイズを規定するパラメータとが異なる。

【0077】

具体的には、キャリア増幅器112の物理的サイズを規定するパラメータがピーク増幅器114の物理的サイズを規定するパラメータの m 倍である。例えば、キャリア増幅器112のゲート幅、ゲート数またはパッケージ内FET数がピーク増幅器114のゲート幅、ゲート数またはパッケージ内FET数の m 倍である。また、物理的サイズを規定するパラメータがゲート長の場合は、キャリア増幅器112のゲート長がピーク増幅器114のゲート長の $1/m$ 倍の場合である。このため、キャリア増幅器112における飽和電力およ

50

びピーク増幅器 1 1 4 における飽和電力は、電源端子 1 1 2 a へ印加される電圧 $n \cdot m \cdot V_{dd}$ および電源端子 1 1 4 a へ印加される電圧 V_{dd} にそれぞれ比例する。すなわち、次式 (38) が成立する。

$$I_1 \cdot V_1 / (I_2 \cdot V_2) = n \cdot m \cdot V_{dd} / V_{dd} = n \cdot m \quad \dots (38)$$

【0078】

式 (33) および式 (38) から次式 (39) が求められる。

$$\alpha / (1 - \alpha) = n \cdot m \quad \dots (39)$$

【0079】

式 (21) に式 (39) を適用することにより次式 (40) が求められる。

$$Z_L = (1 + n \cdot m) / m \cdot Z_0 \quad \dots (40)$$

【0080】

式 (40) および式 (22) から次式 (41) が求められる。

$$(1 + n \cdot m) / m < 2 \quad \dots (41)$$

【0081】

式 (41) は、キャリア増幅器 1 1 2 の物理的サイズを規定するパラメータとピーク増幅器 1 1 4 の物理的サイズを規定するパラメータとが異なる場合に、インピーダンス変換器 1 1 5 のインピーダンス値が出力負荷 1 1 7 のインピーダンス値を 2 倍した値よりも小さく設定できるため、インピーダンス変換器 1 1 5 のインピーダンス値の増大を抑えることができることを示す。

【0082】

上述してきたように、本実施例のドハティ増幅装置 1 0 0 では、キャリア増幅器 1 1 2 の物理的サイズを規定するパラメータとピーク増幅器 1 1 4 の物理的サイズを規定するパラメータとが異なる。このため、本実施例によれば、インピーダンス変換器 1 1 5 のインピーダンス値が出力負荷 1 1 7 のインピーダンス値を 2 倍した値よりも小さく設定できるため、インピーダンス変換器 1 1 5 のインピーダンス値の増大を抑えることができ、インピーダンス変換器 1 1 5 のインピーダンス値の増加に起因した効率の劣化をより効率的に回避することができる。

【符号の説明】

【0083】

- 1 0 0 ドハティ増幅装置
- 1 1 1 分配器
- 1 1 1 a 入力端子
- 1 1 2 キャリア増幅器
- 1 1 2 a 電源端子
- 1 1 3 位相調整器
- 1 1 4 ピーク増幅器
- 1 1 4 a 電源端子
- 1 1 5 インピーダンス変換器
- 1 1 6 合成器
- 1 1 7 出力負荷

10

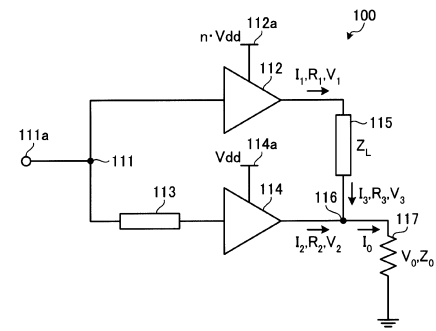
20

30

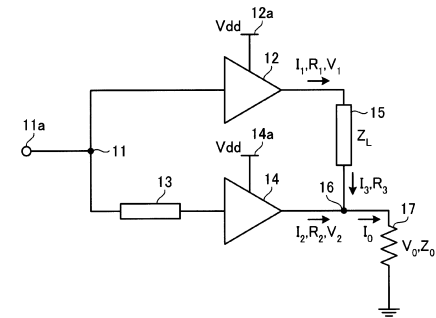
40

【 図 2 】

実施例1に係るドハティ増幅装置の構成例を示すブロック図



一般的なドハティ増幅装置の構成例を示す図



フロントページの続き

(56)参考文献 特開2007-081800(JP,A)
特表2010-536224(JP,A)
特開2006-166141(JP,A)
米国特許出願公開第2006/0145757(US,A1)

(58)調査した分野(Int.Cl., DB名)
H03F 1/00～ 3/72