

# 公告本

申請日期	89 年 4 月 11 日
案 號	89106718
類 別	G06F 12/16 G06F 11/10

A4  
C4

479169

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	記憶裝置及記憶卡
	英 文	
二、發明 創作人	姓 名	(1) 野副敦史 (2) 中村一男 (3) 片山國弘
	國 籍	(1) 日本                      (2) 日本                      (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內  (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內  (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 庄山悅彦

裝 訂 線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ， 有 無主張優先權日本 1999年4月26日 11-118567 有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 五、發明說明(1)

### 發明背景

本發明係關於適用在伴隨錯誤訂正符號記憶資料之記憶裝置有效之技術，例如係關於利用在快閃記憶體之類的不揮發性半導體記憶體，進而內藏其之 I C 卡有效之技術。

半導體記憶體之一，有以指定之單位可以電氣地一齊抹除記憶資料之快閃記憶體之被稱為不揮發性記憶體者。快閃記憶體係於記憶體單元使用由具有控制閘以及浮動閘之 2 層閘構造之 M O S F E T 形成之不揮發性記憶體元件，可以以 1 個之電晶體構成記憶體單元。

於此種快閃記憶體中，例如如圖 8 ( A ) 所示般地，透過字元線在不揮發性記憶體元件之控制閘 C G 施加高電壓 ( 1 6 V ) ，透過位元線在汲極 D 施加接地電位 ( 0 V ) ( 源極 S 為開放 ) ，在浮動閘 F G 注入負電荷，使臨界值成為高狀態 ( 例如，邏輯 " 1 " ) 。又，如圖 8 ( B ) 所示般地，透過字元線在不揮發性記憶體元件之控制閘 C G 施加負電壓 ( - 1 6 V ) ，在汲極 D 以及源極 S 施加接地電位，由浮動閘 F G 去除電荷，使臨界值電壓成為低狀態 ( 例如，邏輯 " 0 " ) 。藉由此，在 1 個記憶元件記憶 1 位元之資料。

如此臨界值被設成不同狀態之記憶體單元因應被施加於控制閘之電壓所流過之汲極電流成為不同。利用此汲極電流之差異，在資料讀出之際，在控制閘施加上述 2 個臨界值之中間的電壓，藉由檢測汲極電流量，以進行記憶資

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(2)

料之"1"、"0"之判定。

又，於快閃記憶體中，存在：寫入與讀出例如係對於區(sector)單位，即使字元線共通之1行份之記憶體單元同時進行，抹除係對於區塊(block)單位，即使井領域共通之複數的區同時進行者，於本發明之實施例中，雖然沒有特別言及於此，設為此種之構成。

然而，一般在快閃記憶體中，具有對於被記憶之資料，進行加重平均符號或讀取，所羅門符號等之錯誤訂正編碼，附加冗餘碼以記憶資料者。在此種快閃記憶體中，很多係於資料讀出時，利用錯誤訂正符號，自動訂正錯誤以輸出資料地構成。

### 發明摘要

具有錯誤訂正機能之習知的快閃記憶體如圖7所示般地，將由記憶體陣列被讀出於資料寄存器等之資料依序轉送於錯誤訂正電路，產生、輸出顯示是否有錯誤之綜合症後，將被保持於資料寄存器之讀出資料依序再轉送於錯誤訂正電路，一邊訂正錯誤一邊對外部輸出地構成。

因此，存取記憶體之微處理器之外部裝置在取完全部之資料為止，需要  $t_{ACC} + t_{SYN} + t_{OUT}$  之時間。此處， $t_{ACC}$  係對於相符記憶體有讀出要求後，指定地址之記憶體單元之保持資料被栓鎖在資料寄存器為止之時間、 $t_{SYN}$  係綜合症產生所需要之時間、 $t_{OUT}$  係一邊訂正被保持在資料寄存器之全部的資料一邊輸出所

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

### 五、發明說明(3)

需要之時間。

具體而言，讀出單位之 1 區以 2 k 字節所構成，1 字節之轉送循環為 50 n S 之記憶體之 t S Y N 約 102  $\mu$  S，即使在讀出資料沒有錯誤之情形，此 t S Y N 必須當成額外消耗被包含。而且，讀出資料實際上包含錯誤之頻度相當低。因此，具有讀出所需要時間不必要地變長之問題點。

本發明之目的在於提供：可以縮短具有錯誤訂正機能之不揮發性記憶體裝置之讀出所需時間之技術。

本發明之其它目的在於提供：外部可以知道被輸出之讀出資料之錯誤的有無或訂正狀況之不揮發性記憶裝置。

有關本發明之前述以及其它目的與新的特徵，由本詳細說明書之記述以及所附圖面理應可以明白。

如說明本案所公開揭露之發明中的代表性者之概要，係如下述。

即，於具有錯誤訂正機能之不揮發性記憶裝置（不揮發性半導體記憶體或具備其之記憶體系統）中，在綜合症產生之同時，輸出讀出資料（訂正前），同時輸出顯示綜合症產生後是否有錯誤之錯誤狀況訊號（E R R），因應有否外部來之要求（S C），可以再度輸出讀出資料（訂正完畢）者。

具體而言，係為一種具備：各各具有控制閘與浮動閘，具有對應資料之臨界值之複數的不揮發性記憶體元件被矩陣狀地配置之記憶體陣列，以及由該記憶體陣列被讀

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

## 五、發明說明(4)

出之複數的記憶體元件之記憶資料被輸入，訂正被包含在該被讀出資料之錯誤之錯誤訂正電路之記憶裝置，其特徵為：由上述記憶體陣列被讀出之指定單位之資料被送往上述錯誤訂正電路之同時，也被輸出於外部，該資料輸出終了之時間點或之後，顯示在被讀出之資料是否包含錯誤之錯誤狀況訊號藉由上述錯誤訂正電路被輸出於外部，上述錯誤訂正電路在檢測出於由上述記憶體陣列被讀出之指定單位之資料之中具有錯誤時，進行該錯誤之訂正地構成。

依據上述手段，藉由錯誤訂正電路之綜合症產生中，讀出資料被輸出之故，在錯誤狀況訊號顯示沒有錯誤之情形，可以將獲得之資料即刻當成有效之讀出資料處理，藉由此，可以大幅縮短資料讀出所需時間。

又，設置保持由上述記憶體陣列以指定單位被讀出之複數的記憶體元件之記憶資料之資料保持手段，在被讀出資料包含錯誤之情形，將被保持在上述資料保持手段之資料藉由上述錯誤訂正電路進行訂正，輸出於外部地構成。藉由此，在具有錯誤之情形，不須再度存取記憶體陣列地，由資料寄存器即刻將與前次（訂正前資料）相同之資料供給錯誤訂正電路，可以訂正錯誤。

而且，在藉由上述錯誤訂正電路，讀出資料之錯誤被訂正之情形，輸出顯示有訂正之訂正狀況資訊地構成。藉由此，可以知悉獲得之資料為訂正完成之資料。

進而使之在上述訂正狀況資訊中，包含顯示被包含於讀出資料之錯誤是否已被正確訂正之資訊。藉由此，可以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

結

## 五、發明說明(5)

知悉是否進行正確之訂正。

又，由上述記憶體陣列被讀出之訂正前的讀出資料以及藉由上述錯誤訂正電路被訂正之資料與由外部所供給之時脈訊號同步被輸出地構成。藉由此，如停止時脈訊號之供給，便使讀出資料之輸出終了，於繼續或再開始時脈訊號之供給下，可以即刻輸出錯誤訂正之資料，同時控制簡單之故，可以減輕外部裝置以及相符晶片內部之控制器之負擔。

再者，上述記憶體陣列與上述錯誤訂正電路係被形成在同一半導體晶片上，上述訂正前之讀出資料以及訂正後之資料由與意指外部之資料讀出要求之訊號被輸入之端子共通之端子被輸出地構成。藉由此，可以減少外部端子數，能使晶片全體小型化。

又，於內藏記憶裝置以及對於該記憶裝置進行讀出要求之控制裝置所形成之記憶卡中，作為內藏之記憶裝置係使用：由上述記憶體陣列被讀出之指定單位之資料被送往上述錯誤訂正電路之同時，也被輸出於外部，該資料輸出終了之時間點或之後，顯示在被讀出之資料是否包含錯誤之錯誤狀況訊號藉由上述錯誤訂正電路被輸出於外部地構成之上述之類的記憶裝置。藉由此，可以實現在短時間讀出所希望資料之記憶卡。

合適實施例之詳細說明

以下依據圖面說明本發明之合適實施例。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(6)

圖 1 係顯示適用本發明之快閃記憶體之錯誤訂正符號產生以及錯誤訂正電路(以下,稱為 ECC 電路)之一實施例。

ECC 電路 10 係由:由記憶體陣列被讀出之 2106 字節之 1 區之資料依序被輸入,依據此產生綜合症之綜合症產生電路 11,及調查被產生之綜合症是否全部為 0,判定讀出資料是否包含錯誤之錯誤判定電路 12,及由被產生綜合症產生有錯誤之位元的位置資訊之訂正位置資訊產生電路 13,及比較由訂正位置資訊產生電路 13 被輸出之 3 字節(此處,1 字節為 12 位元)之資料,檢測哪一字節有錯誤之一致檢測電路 14,及依據被產生之訂正位置資訊,訂正讀出資料之訂正電路 15,及依據上述一致檢測電路 14 之檢測訊號,將上述訂正位置資訊產生電路 13 之輸出對上述錯誤訂正電路 15 供給、遮斷之閘 16 等構成。

上述一致檢測電路 14 在由訂定位置資訊產生電路 13 被輸出之 3 字節全不一致時,判定該字節有錯誤。而且,此被判定有錯誤時之訂正位置資訊產生電路 13 之 1 字節輸出之中,顯現“1”之位元係表示有錯誤之位元的位置。依據上述訂正位置資訊,訂正讀出資料之上述錯誤訂正電路 15 例如可以藉由“或”門電路構成。

又,在此實施例之快閃記憶體中,由記憶體陣列被讀出之訂正前的資料透過切換電路 17 可以輸出於外部端子 30 地構成,同時顯示藉由上述錯誤訂正電路 12 之判定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 五、發明說明(7)

結果之錯誤資訊訊號 E R R 也透過切換電路 1 7 可以輸出於外部端子 3 0 之其中之一的構成。進而依據上述訂正位置資訊被訂正之資料以及顯示是否進行訂正之訂正狀況訊號 C R S 也透過切換電路 1 7 可以輸出於外部端子 3 0 地構成。上述資料切換電路 1 7 也可以被設置在後述之輸入輸出電路 2 6 (參考圖 2) 內。

又，顯示是否進行上述訂正之訂正狀況訊號 C R S 係由藉由一致檢測電路 1 4 之檢測訊號被設定之旗標 1 8 透過切換電路 1 7 被輸出於外部端子 3 0。此訂正狀況訊號 C R S 也可以當成顯示錯誤之有無之位元與顯示是否已訂正錯誤之位元之 2 位元訊號。以 1 位元訂正、2 位元檢測之方式為例，此 2 位元之值在「無錯誤、無訂正」之情形，顯示完全沒有錯誤。「有錯誤、有訂正」之情形，顯示有 1 位元之錯誤，顯示其無法訂正。「有錯誤、無訂正」之情形，顯示 2 位元之錯誤被檢測出(無法訂正)。

例如，由 8 條之外部端子 3 0 輸出 2 位元之訂正狀況訊號 C R S 之情形，代替旗標 1 8 而使用 8 位元之寄存器，其中 2 位元使用於訂正狀況訊號 C R S 之旗標，剩餘之 6 位元使之成為“0”，藉由外部端子 3 0 輸出即可。但是，此訂正狀況訊號 C R S 或上述錯誤資訊訊號 E R R 也可以由與資料之輸入輸出用之上述外部端子不同之別的端子輸出。

上述綜合症產生電路 1 1 於此實施例中，係使用讀出所羅門符號方式之電路，係由： $\alpha$  3 電路以及保持其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

終

## 五、發明說明(8)

之運算結果之12位元之寄存器Reg1，及 $\alpha 1449$ 電路以及運算其之運算結果與寄存器Reg1之保持資料之”異-或“邏輯之邏輯電路EOR1與保持其之邏輯運算結果之寄存器Reg2，及 $\alpha 1448$ 電路以及運算其之運算結果與寄存器Reg2之保持資料之”異-或“邏輯之邏輯電路EOR2與保持其之邏輯運算結果之寄存器Reg3，及運算輸入資料與寄存器Reg3之保持資料之”異-或“邏輯之邏輯電路EOR0所構成。

$\alpha 3$ 電路係對於輸入 $c 0 \sim c 11$ 進行以下式(數1)所示之邏輯運算，獲得輸出 $d 0 \sim d 11$ 。

$\alpha 1449$ 電路係對於輸入 $c 0 \sim c 11$ 進行以下式(數2)所示之邏輯運算，獲得輸出 $e 0 \sim e 11$ 。

$\alpha 1448$ 電路係對於輸入 $c 0 \sim c 11$ 進行以下式(數3)所示之邏輯運算，獲得輸出 $f 0 \sim f 11$ 。又，各數式中，以O包圍之+之符號係意指”異-或“邏輯運算。

【數1】

$$\begin{aligned} d 0 &= c 9 \\ d 1 &= c 9 \oplus c 1 0 \\ d 2 &= c 1 0 \oplus c 1 1 \\ d 3 &= c 0 \oplus c 9 \\ d 4 &= c 1 \oplus c 9 \\ d 5 &= c 2 \oplus c 1 0 \\ d 6 &= c 3 \oplus c 9 \oplus c 1 1 \\ d 7 &= c 4 \oplus c 1 0 \\ d 8 &= c 5 \oplus c 1 1 \\ d 9 &= c 6 \\ d 1 0 &= c 7 \\ d 1 1 &= c 8 \end{aligned}$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(9)

【數2】

$$\begin{aligned}
 e_0 &= c_9 \oplus c_{10} \oplus c_{11} \\
 e_1 &= c_0 \oplus c_9 \\
 e_2 &= c_0 \oplus c_1 \oplus c_{10} \\
 e_3 &= c_0 \oplus c_1 \oplus c_2 \oplus c_{11} \\
 e_4 &= c_1 \oplus c_2 \oplus c_3 \oplus c_9 \oplus c_{10} \oplus c_{11} \\
 e_5 &= c_2 \oplus c_3 \oplus c_4 \oplus c_{10} \oplus c_{11} \\
 e_6 &= c_3 \oplus c_4 \oplus c_5 \oplus c_9 \oplus c_{10} \\
 e_7 &= c_4 \oplus c_5 \oplus c_6 \oplus c_{10} \oplus c_{11} \\
 e_8 &= c_5 \oplus c_6 \oplus c_7 \oplus c_{11} \\
 e_9 &= c_6 \oplus c_7 \oplus c_8 \\
 e_{10} &= c_7 \oplus c_8 \oplus c_9 \\
 e_{11} &= c_8 \oplus c_9 \oplus c_{10}
 \end{aligned}$$

【數3】

$$\begin{aligned}
 f_0 &= c_0 \oplus c_{10} \oplus c_{11} \\
 f_1 &= c_0 \oplus c_1 \oplus c_{10} \\
 f_2 &= c_0 \oplus c_1 \oplus c_2 \oplus c_{11} \\
 f_3 &= c_1 \oplus c_2 \oplus c_3 \\
 f_4 &= c_2 \oplus c_3 \oplus c_4 \oplus c_{10} \oplus c_{11} \\
 f_5 &= c_3 \oplus c_4 \oplus c_5 \oplus c_{11} \\
 f_6 &= c_4 \oplus c_5 \oplus c_6 \oplus c_{10} \oplus c_{11} \\
 f_7 &= c_5 \oplus c_6 \oplus c_7 \oplus c_{11} \\
 f_8 &= c_6 \oplus c_7 \oplus c_8 \\
 f_9 &= c_7 \oplus c_8 \oplus c_9 \\
 f_{10} &= c_8 \oplus c_9 \oplus c_{10} \\
 f_{11} &= c_9 \oplus c_{10} \oplus c_{11}
 \end{aligned}$$

錯誤訂正電路 1 2 係藉由在該輸入訊號全部為邏輯“0”準位時，輸出成為邏輯“1”準位之邏輯積電路（AND 閘電路）所構成。

上述訂正位置資訊產生電路 1 3 係由  $\alpha - 2333$  電路，及  $\alpha - 185$  電路，及  $\alpha - 2681$  電路所構成。 $\alpha - 2333$  電路係對於寄存器 Reg 1 之保持資料輸入  $d'0 \sim d'11$  進行以下式（數4）所示之“異-或”邏輯

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明(10)

運算，獲得輸出  $g_0 \sim g_{11}$ 。 $\alpha - 185$  電路係對於輸入  $e'_0 \sim e'_{11}$  進行以下式(數5)所示之“異-或”邏輯運算，獲得輸出  $h_0 \sim h_{11}$ 。 $\alpha - 2681$  電路係對於輸入  $f'_0 \sim f'_{11}$  進行以下式(數6)所示之“異-或”邏輯運算，獲得輸出  $i_0 \sim i_{11}$ 。

## 【數4】

$$\begin{aligned} g_0 &= d'_0 \oplus d'_3 \oplus d'_5 \oplus d'_7 \oplus d'_8 \oplus d'_9 \oplus d'_{10} \oplus d'_{11} \\ g_1 &= d'_0 \oplus d'_1 \oplus d'_3 \oplus d'_4 \oplus d'_5 \oplus d'_6 \oplus d'_7 \\ g_2 &= d'_0 \oplus d'_1 \oplus d'_2 \oplus d'_4 \oplus d'_5 \oplus d'_6 \oplus d'_7 \oplus d'_8 \\ g_3 &= d'_1 \oplus d'_2 \oplus d'_3 \oplus d'_5 \oplus d'_6 \oplus d'_7 \oplus d'_8 \oplus d'_9 \\ g_4 &= d'_0 \oplus d'_2 \oplus d'_4 \oplus d'_5 \oplus d'_6 \oplus d'_{11} \\ g_5 &= d'_0 \oplus d'_1 \oplus d'_3 \oplus d'_5 \oplus d'_6 \oplus d'_7 \\ g_6 &= d'_1 \oplus d'_2 \oplus d'_3 \oplus d'_4 \oplus d'_5 \oplus d'_6 \oplus d'_9 \oplus d'_{10} \oplus d'_{11} \\ g_7 &= d'_0 \oplus d'_2 \oplus d'_3 \oplus d'_4 \oplus d'_5 \oplus d'_6 \oplus d'_7 \oplus d'_{10} \oplus d'_{11} \\ g_8 &= d'_1 \oplus d'_3 \oplus d'_4 \oplus d'_5 \oplus d'_6 \oplus d'_7 \oplus d'_8 \oplus d'_{11} \\ g_9 &= d'_0 \oplus d'_2 \oplus d'_4 \oplus d'_5 \oplus d'_6 \oplus d'_7 \oplus d'_8 \oplus d'_9 \\ g_{10} &= d'_1 \oplus d'_3 \oplus d'_5 \oplus d'_6 \oplus d'_7 \oplus d'_8 \oplus d'_9 \oplus d'_{10} \\ g_{11} &= d'_2 \oplus d'_4 \oplus d'_6 \oplus d'_7 \oplus d'_8 \oplus d'_9 \oplus d'_{10} \oplus d'_{11} \end{aligned}$$

## 【數5】

$$\begin{aligned} h_0 &= e'_1 \oplus e'_6 \oplus e'_9 \oplus e'_{10} \oplus e'_{11} \\ h_1 &= e'_0 \oplus e'_1 \oplus e'_2 \oplus e'_6 \oplus e'_7 \oplus e'_9 \\ h_2 &= e'_0 \oplus e'_1 \oplus e'_2 \oplus e'_3 \oplus e'_7 \oplus e'_8 \oplus e'_{10} \\ h_3 &= e'_1 \oplus e'_2 \oplus e'_3 \oplus e'_4 \oplus e'_8 \oplus e'_9 \oplus e'_{11} \\ h_4 &= e'_1 \oplus e'_2 \oplus e'_3 \oplus e'_4 \oplus e'_5 \oplus e'_6 \oplus e'_{11} \\ h_5 &= e'_0 \oplus e'_2 \oplus e'_3 \oplus e'_4 \oplus e'_5 \oplus e'_6 \oplus e'_7 \\ h_6 &= e'_0 \oplus e'_3 \oplus e'_4 \oplus e'_5 \oplus e'_7 \oplus e'_8 \oplus e'_9 \oplus e'_{10} \oplus e'_{11} \\ h_7 &= e'_1 \oplus e'_4 \oplus e'_5 \oplus e'_6 \oplus e'_8 \oplus e'_9 \oplus e'_{10} \oplus e'_{11} \\ h_8 &= e'_2 \oplus e'_5 \oplus e'_6 \oplus e'_7 \oplus e'_9 \oplus e'_{10} \oplus e'_{11} \\ h_9 &= e'_3 \oplus e'_6 \oplus e'_7 \oplus e'_8 \oplus e'_{10} \oplus e'_{11} \\ h_{10} &= e'_4 \oplus e'_7 \oplus e'_8 \oplus e'_9 \oplus e'_{11} \\ h_{11} &= e'_0 \oplus e'_5 \oplus e'_8 \oplus e'_9 \oplus e'_{10} \end{aligned}$$

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 11 )

【數 6】

$$\begin{aligned}
 i_0 &= f'3 \oplus f'4 \oplus f'5 \oplus f'9 \\
 i_1 &= f'3 \oplus f'6 \oplus f'9 \oplus f'10 \\
 i_2 &= f'0 \oplus f'4 \oplus f'7 \oplus f'10 \oplus f'11 \\
 i_3 &= f'1 \oplus f'5 \oplus f'8 \oplus f'11 \\
 i_4 &= f'2 \oplus f'3 \oplus f'4 \oplus f'5 \oplus f'6 \\
 i_5 &= f'3 \oplus f'4 \oplus f'5 \oplus f'6 \oplus f'7 \\
 i_6 &= f'3 \oplus f'6 \oplus f'7 \oplus f'8 \oplus f'9 \\
 i_7 &= f'0 \oplus f'4 \oplus f'7 \oplus f'8 \oplus f'9 \oplus f'10 \\
 i_8 &= f'0 \oplus f'1 \oplus f'5 \oplus f'8 \oplus f'9 \oplus f'10 \oplus f'11 \\
 i_9 &= f'0 \oplus f'1 \oplus f'2 \oplus f'6 \oplus f'9 \oplus f'10 \oplus f'11 \\
 i_{10} &= f'1 \oplus f'2 \oplus f'3 \oplus f'7 \oplus f'10 \oplus f'11 \\
 i_{11} &= f'2 \oplus f'3 \oplus f'4 \oplus f'8 \oplus f'11
 \end{aligned}$$

寫入資料之際，綜合症產生電路 1 1 當成 E C C 符號產生電路動作。由外部來之資料原樣地被輸入記憶體陣列（資料栓鎖），同時也被輸入於綜合症產生電路 1 1。綜合症產生電路 1 1 內之移位寄存器與外部資料輸入時脈 S C 同步動作。在全部資料（例如 2 1 0 6 位元）輸入終了之狀態，被保持在寄存器 R e g 1 ~ 3 之資料成爲 E C C 用冗餘碼 3 字節（字節 = 1 2 位元）之故，這些 3 字節也送往記憶體陣列（資料栓鎖），附加於先前傳送之資料之尾端，一齊被保存於同一區之記憶體。

接著，使用圖 6 之時機圖說明本實施例之 E C C 電路 1 0 之資料讀出時之動作。

由外部之微處理器等一有對相符之快閃記憶體，例如藉由指令碼之輸入等之資料讀出要求，記憶體內部之控制電路依據與指令碼一齊被輸入之位址訊號，開始記憶體單元之選擇動作，即對應輸入位址之字元線之選擇（圖 6 之

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 12 )

時機 T 1 ) 。

如此一來，被選擇之例如 1 區之記憶體單元之資料透過記憶體陣列內之位元線，被供給於讀出栓鎖、放大，被栓鎖於資料寄存器等。各區例如如圖 4 所示般地，係由：本來之資料被儲存之資料領域 DATA，及區號碼或重寫次數等之管理資訊被儲存之管理領域 MNG，及錯誤訂正用之被編碼之資料之冗餘碼被儲存之 ECC 用冗餘領域 ERC 所構成，被儲存在這些全部領域之資料以資料領域、管理領域、冗餘領域之順序被送往 ECC 電路 10。在此實施例中，資料領域 DATA 與管理領域 MNG 之資料為編碼單位，全部為 2106 字節（字節 = 8 位元），冗餘碼之長度為 3 字節（字節 = 12 位元）。

具體而言，被栓鎖在資料寄存器 22a、22b 之讀出資料（字節 = 8 位元）以字節單位附加 4 位元之偽位元（例如 0000），當成 12 位元，被依序送往本實施例之 ECC 電路 10。在此實施例中，由此資料去除偽位元之 8 位元資料原樣地藉由外部端子 30 被輸出於晶片外部地，進行切換電路 17 之切換控制。

另一方面，在 ECC 電路 10 中，遵循讀出資料之轉送，於綜合症產生電路 11 中產生綜合症。被產生之綜合症被供給於錯誤訂正電路 12，判定綜合症是否全部為「0」，判定結果當成錯誤資訊訊號 ERR，透過與讀出資料之轉送終了同時被切換之切換電路 17 被輸出於外部端子 30。錯誤資訊訊號 ERR 在其之邏輯“1”準位

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 13 )

時，表示沒有錯誤，在邏輯“0”準位時，表示有錯誤。

因此，在晶片外部，在監視此訊號ERR下，可以知道之前藉由外部端子被輸出之讀出資料中是否包含錯誤位元。而且，在判定沒有錯誤時，將已經由外部端子30獲得之讀出資料視為有效資料，可以進行下一處理。即由讀出指令被輸入至獲得全部讀出資料為止所需要時間為  $t_{ACC} + t_{SYN}$ ，與習知方式相比，被縮短為約  $1/2$ 。

依據錯誤資訊訊號ERR，在判定讀出資料包含錯誤位元時，對於快閃記憶體進行再度或繼續之讀出資料之要求。如此一來，快閃記憶體在時機T1將由記憶體陣列被讀出、被栓鎖在資料寄存器之1區份之資料再度1字節1字節串列地轉送於ECC電路10。而且，ECC電路10產生訂正位置資訊，透過閘16供給訂正電路15。此時切換電路17並不是將記憶體陣列（資料寄存器）來之資料，而是將由訂正電路15所輸出之訂正完了資料輸出於外部端子21地進行切換。

藉由此，在ECC電路10被訂正之資料被輸出於外部端子30。而且，訂正完了資料如全部被輸出，切換電路17切換，保持顯示進行訂正之資訊之寄存器18之內容當成訂正狀況訊號CRS藉由外部端子30被輸出。即，在有錯誤之情形之讀出指令被輸入至獲得全部讀出資料為止所需要時間為  $t_{ACC} + t_{SYN} + t_{OUT}$ ，只在此情形，需要與習知方式幾乎相同之時間。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

## 五、發明說明 ( 14 )

又，依據訊號 E R R 判定有錯誤，對於快閃記憶體再度或繼續進行讀出資料之要求的方法例如雖然可以準備此種指令碼以進行之，但是此實施例之快閃記憶體係：在資料讀出時，依循由外部被供給之串列時脈 S C，資料寄存器以及 E C C 電路 1 0 進行動作地構成之故，在有錯誤時，由微處理器等如繼續將串列時脈 S C 供給快閃記憶體即可地構成。

另一方面，依據訊號 E R R，在判定沒有錯誤時，對於快閃記憶體停止串列時脈 S C 之供給即可。藉由此，快閃記憶體中止讀出資料之再轉送，可以終了資料讀出動作。如此，只在讀出資料有錯誤時進行資料之訂正之故，資料讀出所需要時間大幅被縮短。而且，與再度輸入資料要求指令之方式相比，控制簡單之故，外部裝置以及快閃記憶體內之控制器之負擔變小。

圖 2 係顯示在同一半導體晶片上具備圖 1 之 E C C 電路之快閃記憶體之構成例。

圖 2 中，2 0 a、2 0 b 係由具有浮動閘之絕緣閘型場效電晶體形成之不揮發性記憶體元件被矩陣狀地配置之記憶體陣列，被配置為複數之字元線與複數之位元線交叉成為格子狀，在字元線與位元線之交點分別設置記憶體元件 M C，同一行之記憶體元件之控制閘與字元線結合，或字元線本身成為記憶體元件之閘極電極地構成。又，各記憶體元件之汲極被結合於對應之區域位元線，進而區域位元線透過選擇用 M O S F E T 可以與主位元接續地構成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 15 )

2 1 a 、 2 1 b 係將由外部被輸入之位址訊號解碼，使記憶體陣列 2 0 a 、 2 0 b 內之對應字元線成爲選擇準位之字元解碼器，2 2 a 、 2 2 b 係被接續於記憶體陣列 2 0 a 、 2 0 b 內之位元線，保持讀出資料以及寫入資料之資料寄存器，2 3 係被接續於記憶體陣列 2 0 內之位元線，放大、保持讀出資料之讀出控鎖電路，在讀出控鎖電路 2 3 被放大之資料透過記憶體陣列 2 0 a 、 2 0 b 內之位元線，可以轉送於資料寄存器 2 2 a 、 2 2 b 地構成。

2 4 a 、 2 4 b 係將被保持於上述資料寄存器 2 2 a 、 2 2 b 之讀出資料以指定之順序傳送於 E C C 電路 1 0 用之欄多路轉換器，2 5 係由：藉由外部來之移位時脈 S C 被更新之位址計數器，以及解碼該位址計數器之值，形成上述欄多路轉換器 2 4 a 、 2 4 b 之控制訊號之解碼器所形成之欄控制電路。

又，2 6 係將由外部被輸入之位址訊號供給於上述字元解碼器 2 1 a 、 2 1 b ，將由外部被輸入之資料供給於錯誤訂正定路 1 0 之同時，將在錯誤訂正電路 1 0 被訂正之資料輸出於外部端子 3 0 之輸入、輸出電路，2 7 係解碼由外部之微處理器所給予之指令之指令解碼器，2 8 係依序形成輸出對於應實行對應相符指令之處理之記憶體內之各電路之控制訊號之控制電路。在此實施例之快閃記憶體中有效之指令，除了讀出指令之外，有寫入指令、抹除指令等。

在此實施例中，由外部被輸入之指令碼係藉由與位址

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明 ( 16 )

以及寫入資料共通之外部端子 3 0 被輸入，透過上述輸入、輸出電路 2 6 被供給於指令解碼器 2 7 地構成。藉由使位址與資料與指令碼之輸入、輸出用外部端子共通，與使彼等為個別之端子之情形相比，可以大幅減少外部端子數目。

又，由外部對上述控制電路 2 8 所輸入之控制訊號有：重置訊號 R E S 或晶片選擇訊號 C E、顯示讀出或寫入之寫入控制訊號 W E、給予輸出時機之輸出控制訊號 O E、系統時脈 S C、顯示指令輸入或位址輸入用之指令啓始訊號 C D E。又，由上述控制電路 2 9 對外部輸出之控制訊號有：顯示由外部來之指令輸入是否在可能狀態之預備妥當。忙線訊號 R / B。

再者，在此實施例之快閃記憶體中，上述各電路之外，設置：依據 3 . 3 V 之類的外部電源電壓 V c c 產生基板電位或寫入電壓、讀出電壓、校驗電壓等晶片內部所需要之電壓之內部電源產生電路 3 1、產生內部之動作控制所必要之時脈 ( C K ) 之時脈產生電路 3 2。又，必要時，也可以設置：保持不良位元之位置 ( 位址 ) 之不良位址寄存器，或比較 Y 位址與不良位址之位址比較電路，在位址一致時，將選擇記憶體列切換為預備記憶體之冗餘電路。

雖無特別限制，但是在此實施例之快閃記憶體中，設置 2 個之記憶體陣列 2 0 a、2 0 b，分別對應設置資料寄存器 2 2 a、2 2 b。各資料寄存器 2 2 a、2 2 b 同

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(17)

時放大保持使各別之記憶體陣列內之字元線共通之 1 行份之記憶體單元之資料地構成，被保持在 2 個資料寄存器

2 2 a、2 2 b 之讀出資料藉由欄多路轉換器 2 4 a、2 4 b，例如 4 位元 4 位元被選擇，被附加 4 位元之偽位元，以 1 2 位元之單位被轉送於 E C C 電路 1 0。

又，在圖 1 之實施例中，雖就於快閃記憶體晶片內部內藏錯誤訂正電路之情形做說明，但是，錯誤訂正電路也可以係構成在與快閃記憶體不同之半導體晶片上之電路。

再者，圖 1 實施例之快閃記憶體雖係顯示在 1 個記憶體元件記憶 1 位元之資料之 2 值之快閃記憶體之構成，但是本發明也可以適用於在 1 個之記憶體元件控制臨界值記憶複數位元之資料地構成之多值的快閃記憶體。在該情形，在快閃記憶體內之例如資料寄存器 2 2 a、2 2 b 與記憶體陣列 2 0 a、2 0 b 之間，或資料寄存器 2 2 a、2 2 b 與輸入、輸出電路 2 6 之間等，設置將由外部被輸入之資料轉換為適合於寫入之資料之同時，將由記憶體陣列所讀出之資料逆轉換為原來之資料之 2 值 / 多值轉換電路即可。

又，代替實行由 2 值資料轉換為 4 值資料與其之逆轉換之電路設置於快閃記憶體內，也可以在外部的控制器等使具有資料轉換、逆轉換機能。

圖 5 係顯示在 1 個之記憶體元件記憶 2 位元之資料之情形的記憶資料與臨界值之對應關係之一例。

在圖 5 之例中，被記憶之 2 位元之資料“1 1”係對

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(18)

應記憶體元件之臨界值  $1.3 \sim 1.8 \text{ V}$ ，資料“10”係對應記憶體元件之臨界值  $2.8 \sim 2.9 \text{ V}$ ，資料“00”係對應記憶體元件之臨界值  $3.6 \sim 3.7 \text{ V}$ ，資料“01”係對應記憶體元件之臨界值  $4.6 \sim 5.9 \text{ V}$ 。VWR1、VWR2、VWR3分別係讀出字元線準位，例如選擇為  $2.4 \text{ V}$ 、 $3.2 \text{ V}$ 、 $4.0 \text{ V}$  之電位。這些電位係相當於上述臨界值分布之峰值的中間電位。資料與臨界值之關係並不限定於圖5者，也可以使“00”對應於最低之臨界值，“11”對應於最高之臨界值等，可以為任意之對應，以與寫入方式之關係決定即可。

圖3係顯示使用適用本發明之快閃記憶體之記憶卡之構成例。

此實施例之記憶卡雖無特別限制，係：快閃記憶體晶片(F L A S H) 110與依據由外部供給之指令，進行對快閃記憶體晶片110之寫入、讀出控制等之微處理器(M P U) 120，以及具有對於寫入資料之錯誤訂正符號之產生、依據錯誤訂正符號之讀出資料之檢查、訂正之機能之錯誤訂正符號產生 & 錯誤訂正電路晶片130，以及形成圖1之實施例之資料切換電路17之晶片140，及具有產生對於微處理器120之時脈C L K之振盪器之時脈產生電路150被搭載於印刷配線基板100上，全體藉由樹脂被模鑄而構成。

此記憶卡具備被插入外部之個人電腦本體等之卡槽，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(19)

對於卡之控制訊號被輸入之外部端子 1 6 0，對於快閃記憶體晶片 1 1 0 之存取係藉由微處理器 1 2 0 而進行。資料之讀出寫入係遵循由上述微處理器 1 2 0 對於快閃記憶體晶片 1 1 0 所供給之指令碼或串列時脈 S C、控制訊號 C E、W E、C D E、O E 等而進行。

對於卡之寫入資料之輸入與由卡之讀出資料之輸出係透過錯誤訂正符號產生 & 錯誤訂正電路晶片 1 3 0 以及外部端子 1 6 1 而進行。由微處理器 1 2 0 對於錯誤訂正符號產生 & 錯誤訂正電路晶片 1 3 0 供給串列時脈 S C，又，由微處理器 1 2 0 對於資料切換電路 1 4 0 供給資料切換控制訊號。

又，圖 3 中，1 6 2 係被施加在上述微處理器 1 2 0 以及快閃記憶體晶片 1 1 0 所供給之電源電壓 V c c 之外部電源端子，1 6 3 係被施加接地電位之外部接地端子。搭載快閃記憶體之記憶卡並不限定於圖 3 之構成，也可以是使用內藏圖 1 之實施例之 E C C 電路之快閃記憶體者，或由在 1 個半導體晶片內藏 E C C 電路與微處理器之機能之控制器與沒有內藏 E C C 電路之快閃記憶體構成記憶卡。

又，也可以不單是 1 個快閃記憶體而是搭載複數個。在該情形，E C C 電路雖然由讀出寫入速度之點，期望在各晶片設置，但是也可以使 E C C 電路在複數之快閃記憶體晶片共用地構成。

以上雖依據實施例具體說明依據本發明者完成之發

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(20)

明，但是本發明並不限定於上述實施例，在不脫離該要旨之範圍內，不用說可以有種種變更之可能。例如在上述實施例中，雖就使用利用讀取·所羅門符號之ECC電路作為錯誤訂正符號之情形做說明，也可以適用於具有使用加重平均符號或BCH符號之ECC電路之快閃記憶體。又，在內藏實施例之ECC電路之同時，將內藏之ECC電路藉由黏晶線之切換或模式控制訊號，與其它之電路可以電氣地切離地構成，在切離時，可以與習知之快閃記憶體同等處理。藉由此，快閃記憶體之泛用性更高一層。

在以上之說明中，雖係將依據本發明者完成之發明適用於成為其背景之利用領域之快閃記憶體以及內藏其之記憶卡之情形做說明，但是本發明並不限定於此，也可以利用於EEPROM晶片或RAM晶片以及內藏彼等之記憶卡，或將複數之記憶體晶片搭載於1片之基板上所形成之記憶模組等。

如簡單說明藉由本專利申請案所公開揭露之發明中代表性者所獲得之效果，則如下述。

即，如依循本發明，具有：可以縮短具有錯誤訂正機能之不揮發性記憶裝置之讀出需要時間，同時，由外部可以知悉被輸出之讀出資料之錯誤之有無或訂正之狀況之效果。

圖面之簡單說明

圖1係顯示適用本發明之快閃記憶體之錯誤訂正符號

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(21)

產生以及錯誤訂正電路之一實施例之方塊圖。

圖 2 係顯示適用本發明之快閃記憶體全體之構成例之方塊圖。

圖 3 係顯示使用適用本發明之快閃記憶體之系統之一例之記憶卡之構成例之方塊圖。

圖 4 係顯示實施例之快閃記憶體之區構成之一例之說明圖。

圖 5 係顯示在 1 個之記憶體元件記憶 2 位元之資料之多值快閃記憶體之記憶資料與臨界值之對應關係之一例之說明圖。

圖 6 係顯示適用本發明之快閃記憶體之錯誤訂正電路之動作時機之一例之時機圖。

圖 7 係顯示內藏習知之 E C C 電路之快閃記憶體之錯誤訂正電路之動作時機例之時機圖。

圖 8 係顯示快閃記憶體之資料寫入時與資料抹除時之對記憶體元件之偏壓電壓之說明圖。

### 元件對照表

1 0	E C C 電路
1 1	綜合症產生電路
1 2	錯誤判定電路
1 3	訂正位置資訊產生電路
1 4	一致檢測電路
1 5	錯誤訂正電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(22)

- 1 7 切 換 電 路
- 1 8 旗 標
- 3 0 外 部 端 子
- 2 2 a , 2 2 b 資 料 寄 存 器
- 2 4 a , 2 4 b 欄 多 路 轉 換 器
- 1 1 0 快 閃 記 憶 體 晶 片
- 1 2 0 微 處 理 器
- 1 3 0 錯 誤 訂 正 電 路 晶 片
- 1 4 0 晶 片
- 1 5 0 時 脈 產 生 電 路
- 1 6 0 外 部 端 子 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

總

## 四、中文發明摘要(發明之名稱： 記憶裝置及記憶卡 )

本發明係關於適用在伴隨錯誤訂正符號記憶資料之記憶裝置有效之技術，例如係關於利用在快閃記憶體之類的不揮發性半導體記憶體，進而內藏其之 I C 卡有效之技術。於具有錯誤訂正機能之不揮發性記憶裝置中，在綜合症(syndrome)產生之同時，輸出讀出資料(訂正前)，同時輸出顯示綜合症產生後是否有錯誤之錯誤狀況訊號(E R R)，因應有否外部來之要求(S C)，可以再度輸出讀出資料(訂正完畢)。

## 英文發明摘要(發明之名稱： )

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

## 六、申請專利範圍

第 89106718 號專利申請案

中文申請專利範圍修正本

民國 91 年 1 月修正

1. 一種記憶裝置，其係具備各具有控制閘與浮動閘，具有對應資料之臨界值電壓之複數的不揮發性記憶體元件被矩陣狀地配置之記憶體陣列，和由該記憶體陣列被讀出之複數的記憶體元件之記憶資料被輸入，訂正被包含在該被讀出資料之錯誤之錯誤訂正電路之記憶裝置，其特徵為：

由上述記憶體陣列被讀出之指定單位之資料被送往上述錯誤訂正電路之同時，以上述錯誤訂正電路進行錯誤訂正前之該讀取所定之單位的資料，向記憶裝置之外部輸出，上述錯誤訂正電路於自上述記憶陣列讀取之所定單位之資料中，檢出有錯誤之時，進行該錯誤訂正，朝向記憶裝置之外部之資料輸出終了之時間點或之後，於自該記憶陣列讀取，向外部輸出之資料中，顯示是否含錯誤之錯誤狀況信，則經由上述錯誤訂正電路向外部輸出。

2. 如申請專利範圍第 1 項記載之記憶裝置，其中具備保持由上述記憶體陣列以指定單位被讀出之複數的記憶體元件之記憶資料之資料保持手段，於被讀出之資料包含錯誤之情形，將被保持在上述資料保持手段之資料藉由上述錯誤訂正電路進行訂正，輸出於外部地構成。

3. 如申請專利範圍第 2 項記載之記憶裝置，其中在藉由上述錯誤訂正電路，讀出資料之錯誤被訂正之情形，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

輸出顯示有訂正之訂正狀況資訊地構成。

4 . 如申請專利範圍第 3 項記載之記憶裝置，其中在上述訂正狀況資訊中包含顯示在讀出資料所包含之錯誤是否已經正確訂正之資訊。

5 . 如申請專利範圍第 4 項記載之記憶裝置，其中由上述記憶體陣列被讀出之訂正前之讀出資料以及藉由上述錯誤訂正電路被訂正之資料與由外部供給之時脈訊號同步被輸出地構成。

6 . 如申請專利範圍第 5 項記載之記憶裝置，其中上述記憶體陣列與上述錯誤訂正電路係被形成在同一半導體晶片上，上述訂正前之讀出資料以及訂正後之資料係由與意指由外部來之資料讀出要求之訊號被輸入之端子共通之端子被輸出地構成。

7 . 一種記憶卡，其特徵為：由內藏申請專利範圍第 6 項記載之記憶裝置，以及對於該記憶裝置進行讀出要求之控制裝置所構成。

8 . 一種不揮發性半導體記憶裝置，其特徵為：

具有：儲存資料之複數的記憶體單元，各記憶體單元具有對應資料之臨界值電壓；

及錯誤訂正電路；

及輸出電路，

自上述複數之記憶體單元中選擇之記憶單元讀取之資料，係供予上述錯誤訂正電路和上述輸出電路，

上述輸出電路係自上述記憶單元讀取，將以該錯誤訂

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

正電路進行錯誤訂正前之讀取資料，輸出至不揮發性半導體記憶裝置之外部，

上述錯誤訂正電路係於收容在供給之上述選擇記憶體單元的資料中，確認有否錯誤的同時，進行該錯誤位置之檢出和該錯誤之修正，將顯示確認是否有錯誤的結果之錯誤狀況旗標，輸出至上述輸出電路，

上述輸出電路係進行上述錯誤訂正前之資料之輸出後，可輸出上述錯誤狀況旗標。

9 . 如申請專利範圍第 8 項記載之不揮發性半導體記憶裝置，其中更具有儲存被儲存於上述被選擇之記憶體單元之資料之拴鎖電路，在被儲存於上述被選擇之記憶體單元之資料中，被確認有錯誤存在之情形，訂正被儲存在上述拴鎖電路之資料進行輸出。

10 . 如申請專利範圍 9 項記載之不揮發性半導體記憶裝置，其中上述輸出電路輸出訂正被儲存在上述被選擇之記憶體單元之資料之訂正完畢資料與修正狀況旗標。

11 . 如申請專利範圍 10 項記載之不揮發性半導體記憶裝置，其中上述修正狀況旗標係顯示存在於上述被選擇之記憶體單元所儲存之資料之錯誤是否已被訂正之資訊。

12 . 如申請專利範圍第 11 項記載之不揮發性半導體記憶裝置，其中被儲存在被選擇之記憶體單元之資料、錯誤狀況旗標、訂正完畢資料以及修正狀況旗標係與時脈訊號同步被輸出。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

1 3 . 如申請專利範圍第 1 2 項記載之不揮發性半導體記憶裝置，其中資料讀出指令藉由輸入輸出端子被輸入，被儲存在被選擇之記憶體單元之資料、錯誤狀況旗標、訂正完畢資料以及修正狀況旗標係由上述輸入輸出端子被輸出。

1 4 . 如申請專利範圍第 1 3 項記載之不揮發性半導體記憶裝置，其中上述複數之記憶體單元之各各之臨界值係位於被設為抹除狀態之第 1 臨界值領域以及被設為與上述第 1 臨界值領域不同之寫入狀態之複數的臨界值領域之中的 1 個。

1 5 . 一種不揮發性記憶卡，其特徵為：

控制電路具備：

具有儲存資料之複數的記憶體單元之不揮發性記憶體，各之記憶體單元具有對應資料之臨界值電壓；

及錯誤訂正電路；

及輸出電路，

自上述複數之記憶體單元中選擇之記憶體單元讀取之資料，供予上述錯誤訂正電路和上述輸出電路，

上述輸出電路係自上述記憶體單元讀取，將於該錯誤訂正電路進行錯誤訂正前之讀取資料，輸出至不揮發性記憶卡之外部，

上述錯誤訂正電路，係於收容於被供給之上述選擇記憶體單元的資料中，確認是否有錯誤的同時，將顯示進行錯誤位置之檢出和該錯誤之修正，確認是否有錯誤之結果

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

的錯誤狀況旗標，輸出至上述輸出電路，

上述輸出電路係進行上述錯誤訂正前之資料之輸出後，可輸出上述錯誤狀況旗標者。

16. 如申請專利範圍第15項記載之不揮發性記憶卡，其中上述不揮發性記憶體具有儲存被儲存在上述被選擇之記憶體單元之資料之拴鎖電路，在被儲存於上述被選擇之記憶體單元之資料中，被確認有錯誤存在之情形，訂正被儲存在上述拴鎖電路之資料進行輸出。

17. 如申請專利範圍第16項記載之不揮發性記憶卡，其中上述輸出電路輸出訂正被儲存在上述被選擇之記憶體單元之資料之訂正完畢資料與修正狀況旗標。

18. 如申請專利範圍第17項記載之不揮發性記憶卡，其中上述修正狀況旗標係顯示存在於上述被選擇之記憶體單元所儲存之資料之錯誤是否已被訂正之資訊。

19. 如申請專利範圍第18項記載之不揮發性記憶卡，其中被儲存在被選擇之記憶體單元之資料、錯誤狀況旗標、訂正完畢資料以及修正狀況旗標係與時脈訊號同步被輸出。

20. 如申請專利範圍第19項記載之不揮發性記憶卡，其中更具備資料輸入輸出端子，資料讀出指令藉由被供給於上述不揮發性記憶體，被儲存在被選擇之記憶體單元之資料、錯誤狀況旗標、訂正完畢資料以及修正狀況旗標係由上述資料輸入輸出端子被輸出。

21. 如申請專利範圍第20項記載之不揮發性記憶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

## 六、申請專利範圍

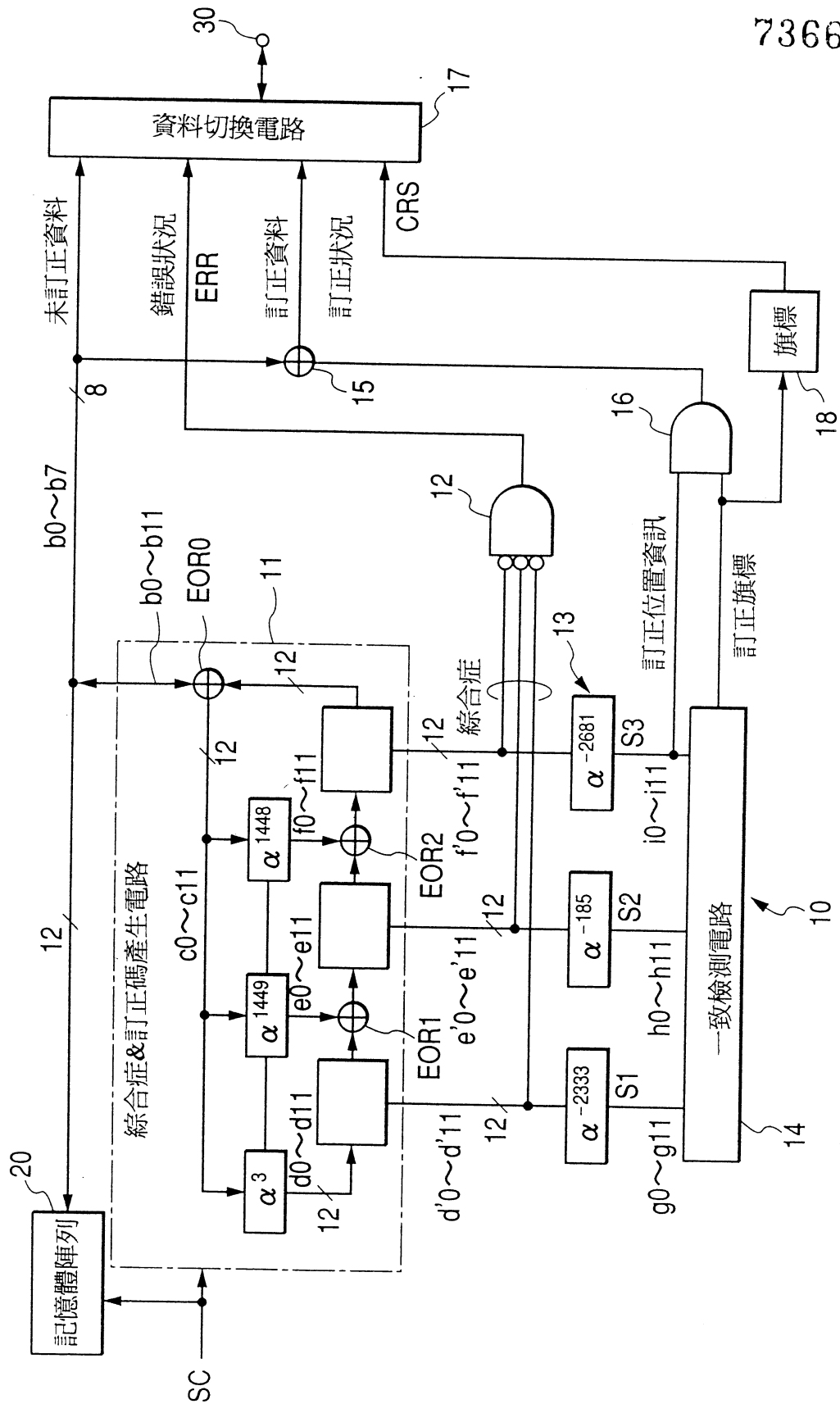
卡，其中上述複數之記憶體單元之各各之臨界值係位於被設為抹除狀態之第1臨界值領域以及被設為與上述第1臨界值領域不同之寫入狀態之複數的臨界值領域之中的1個。

(請先閱讀背面之注意事項再填寫本頁)

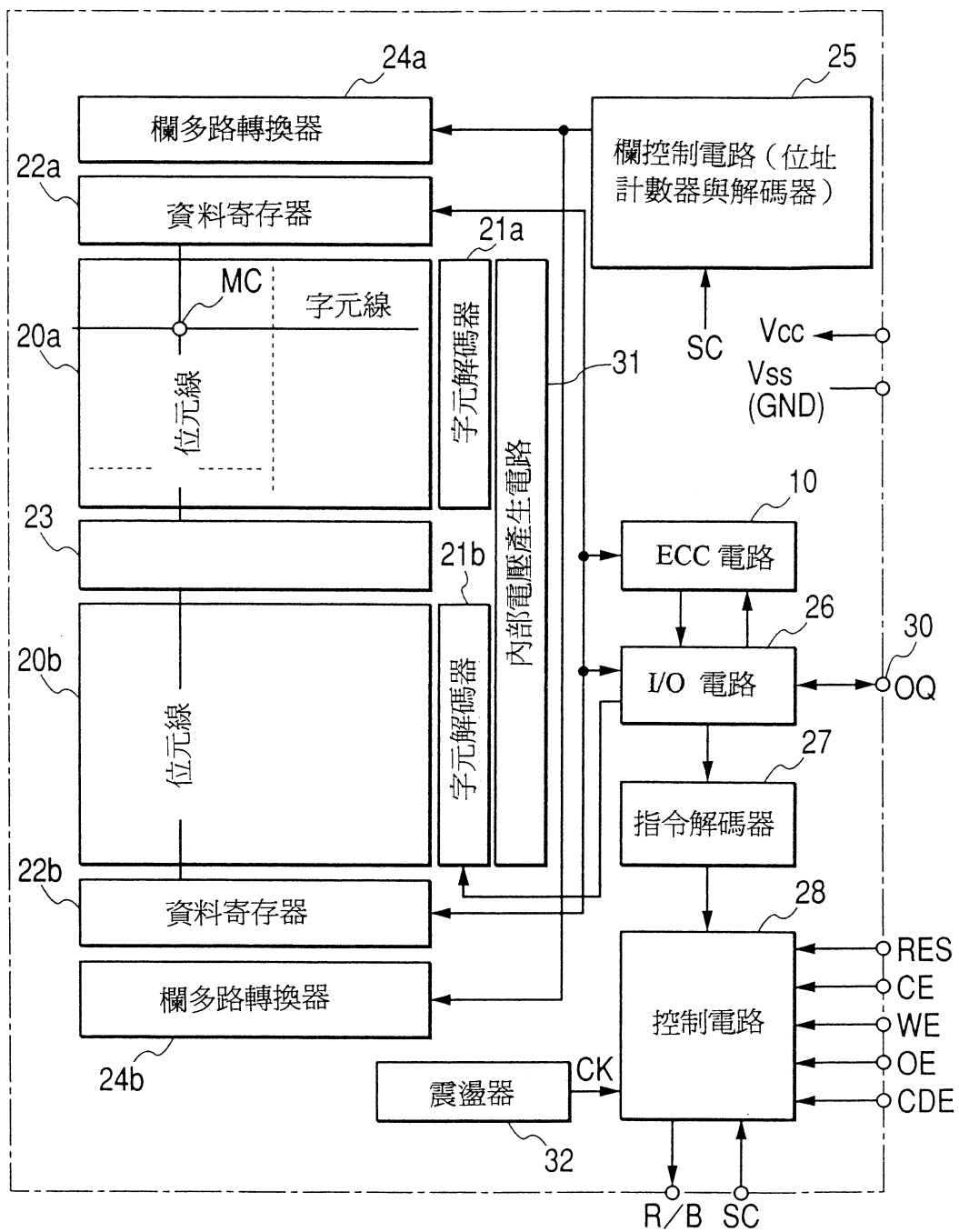
裝

訂

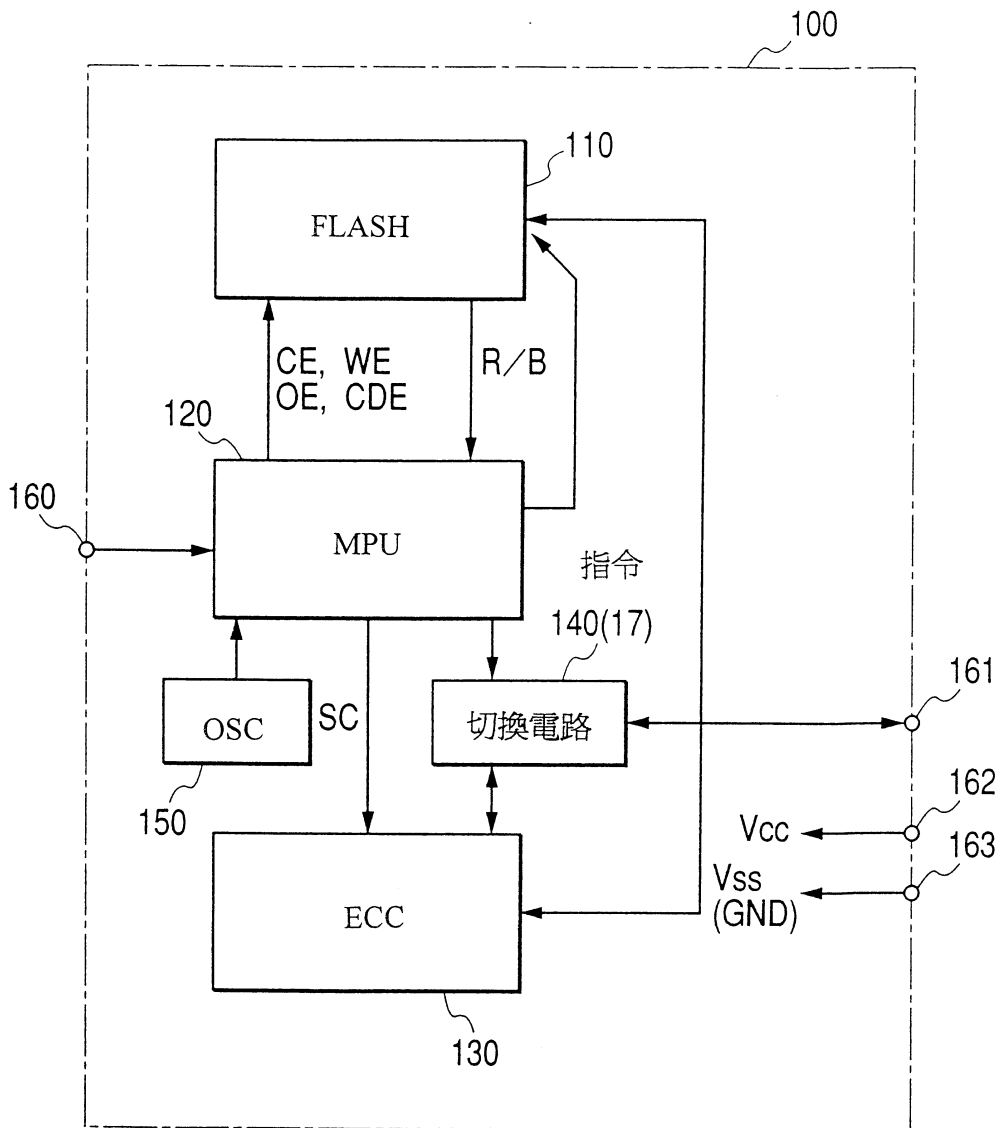
線



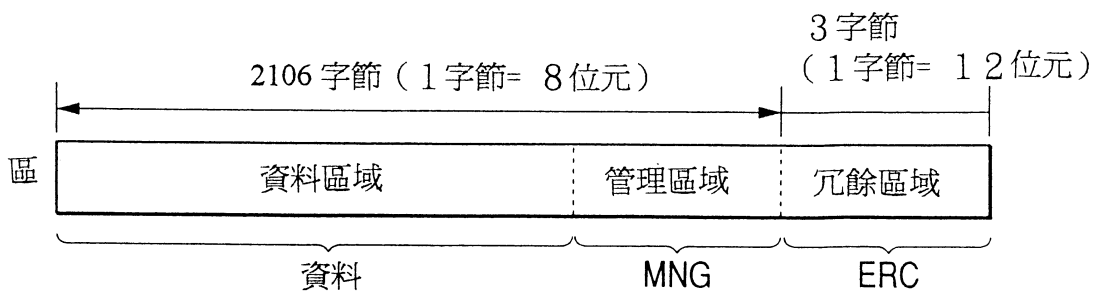
第 1 圖



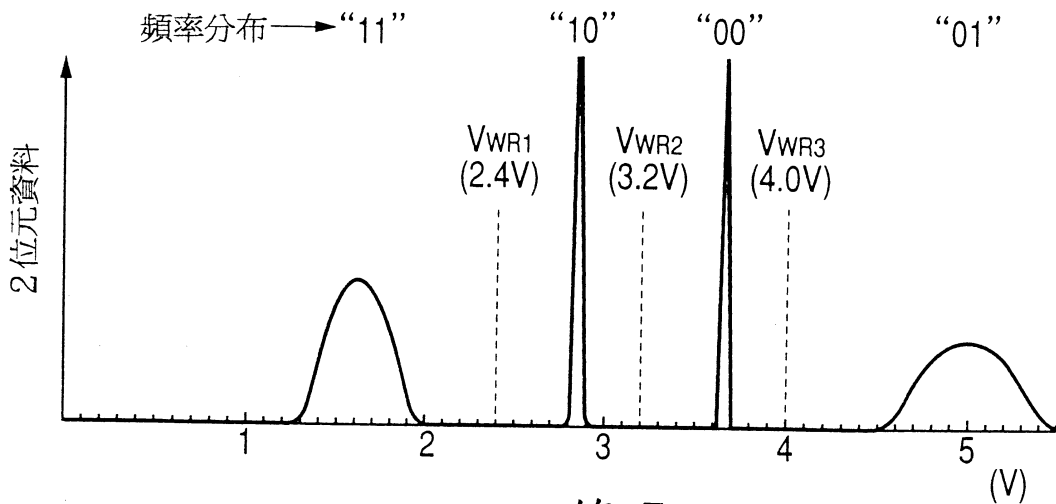
第 2 圖



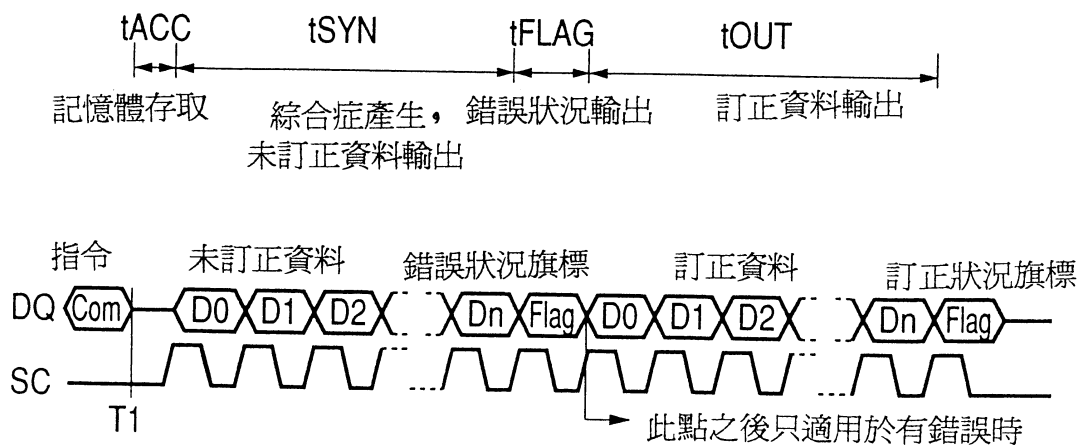
第 3 圖



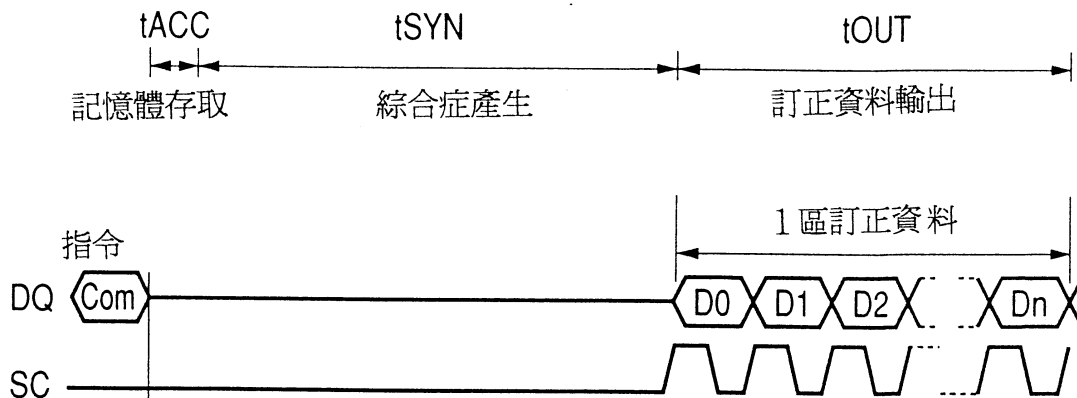
第 4 圖



第 5 圖

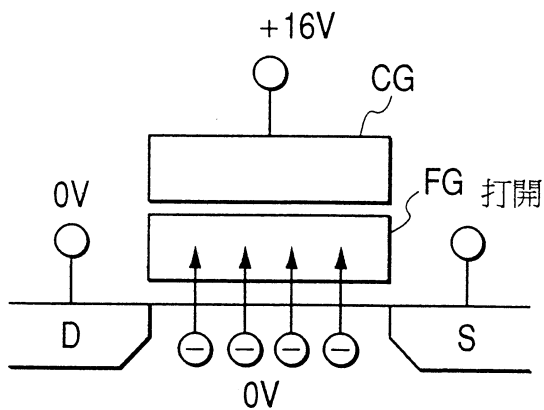


第 6 圖



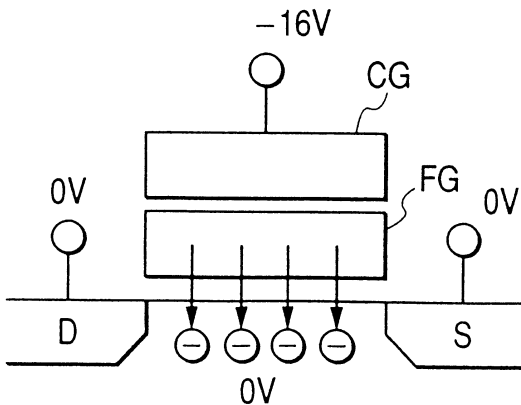
第 7 圖

施加寫入偏壓



第 8 圖A

施加抹除偏壓



第 8 圖B