

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2012 年 6 月 28 日 (28.06.2012)



(10) 国际公布号
WO 2012/083672 A1

- (51) 国际专利分类号:
H01L 45/00 (2006.01)
- (21) 国际申请号: PCT/CN2011/076674
- (22) 国际申请日: 2011 年 6 月 30 日 (30.06.2011)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201010599602.5 2010 年 12 月 22 日 (22.12.2010) CN
- (71) 申请人 (对除美国外的所有指定国): 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (72) 发明人; 及
(75) 发明人/申请人 (仅对美国): 霍宗亮 (HUO, Zongliang) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 刘明 (LIU, Ming) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。
- (74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT AND TRADEMARK AGENT LTD.); 中国北京市海淀区王庄路 1 号清华同方科技大厦 B 座 25 层, Beijing 100083 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

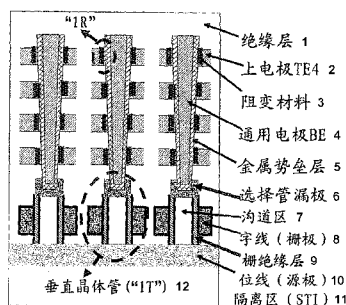
[见续页]

(54) Title: THREE-DIMENSION SEMICONDUCTOR MEMORY DEVICE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 三维半导体存储器件及其制备方法

(57) Abstract: A three-dimension (3D) semiconductor memory device based on 1T1R memory structure with a vertical surrounding gate transistor (SGT) and a manufacturing method thereof are provided. The ratio of on/off current can be effectively controlled by controlling the width and length of the SGT channel; therefore, the multi-state operation of the 1T1R memory cell is benefited. The layout size is effectively reduced to realize the super-high density array integration because the vertical transistor is a smaller layout size than a planar transistor.

(57) 摘要:



沿位线方向的剖面图 13

图 4 / Fig.4

- 1 INSULATION LAYER
2 TOP ELECTRODE TE4
3 VARIABLE RESISTIVE MATERIAL
4 COMMON ELECTRODE BE
5 METALIC BARRIER LAYER
6 DRAIN OF SELECTION TRANSISTOR
7 CHANNEL REGION
8 WORD LINE (GATE)
9 GATE INSULATION LAYER
10 BIT LINE (SOURCE)
11 ISOLATED REGION (STI)
12 VERTICAL TRANSISTOR
13 PROFILE IN BITLINE DIRECTION

一种基于垂直型环栅晶体管的 1T1R 存储结构的三维半导体存储器件及其制备方法, 通过控制环栅晶体管的沟道宽度和沟道长度, 可以有效控制开关电流比, 从而有利于 1T1R 存储单元的多态运作, 同时垂直晶体管相比平面晶体管具有更小的版图尺寸, 从而可以有效缩减版图尺寸, 实现超高密度的阵列集成。



NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

- (84) **指定国** (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 (AL, AT, BE,

本国际公布:

- 包括国际检索报告(条约第 21 条(3))。

三维半导体存储器件及其制备方法

技术领域

本发明涉及微电子技术领域，尤其涉及一种非易失性高密度的三维半导体存储器件及其制备方法。

背景技术

半导体存储技术是微电子技术领域的关键技术之一。随着信息技术从网络和计算为核心转入以存储为核心，存储技术的研究成为了信息技术研究的重要方向。当前存储技术的研究主要集中在高密度、高性能的非挥发性闪存技术研究上面。随着器件尺寸的不断缩小，传统 FLASH 技术在实现变比的过程中遭遇到越来越严重的技术难点，如串扰、写入速度慢等，因而难以适应后 20 纳米结点的存储技术发展的要求。因此，大容量存储需求需要发展新的存储技术。

近年来，阻变存储技术引起了众多研究者的注意，并被认为是后 20 纳米结点的关键技术。电阻随机存储器（RRAM）是利用电信号作用下存储介质在高阻和低阻间的可逆转换来区分两态。存储单元结构一般由上电极、阻变材料和下电极三层依次堆叠形成，其具有结构简单，制造容易，以及和现有 CMOS 工艺兼容的优点。为此，对阻变存储单元的三维集成将有望实现高密度的数据存储并有望用于固态磁盘（Solid State Disk）等多种应用。

鉴于常规十字结（cross-bar）型阻变存储单元之间的串扰效应，常规的阻变存储技术需要借助于二极管或者选择晶体管来实现单元的选择，其中，1D1R 和 1T1R 是两种典型的存储结构。三维阻变存储主要是实现这两种典型存储结构的三维集成。图 1 为现有技术 1D1R 结构的半导体存储器件的示意图。如图 1 所示，尽管 1D1R 型三维阻变存储器件可以在一定程度上提高存储密度，然而由于构成存储单元的二极管一般是由 PN 结所构成，因此其很难实现存储单元高度的真正变比。常规 PN 结的高度将大于 100 纳米，为了提高正偏电流，抑制反偏电流，甚至需要在 PN 结中间采用一层本征硅，为了抑制下金属电极中的金属与 P 型硅的互扩散也

权 利 要 求

1、一种三维半导体存储器件，其特征在于，包括衬底和位于所述衬底上方的一个或多个垂直存储阵列串，每个所述存储阵列串包括垂直型环栅晶体管和垂直环状阻变单元，其中：

在位线方向上，相邻的所述垂直存储阵列串的所述垂直型环栅晶体管共享源区，所述垂直型环栅晶体管的栅极通过绝缘层隔离，所述垂直环状阻变单元的上电极通过绝缘层隔离，共享的所述源区作为所述存储阵列串的位线；

在字线方向上，相邻的所述垂直存储阵列串的所述垂直型环栅晶体管的源区通过浅槽隔离区隔离，所述垂直型环栅晶体管的栅极相互连接，所述垂直环状阻变单元的上电极相互连接。

2、根据权利要求 1 所述的三维半导体存储器件，其特征在于，所述垂直型环栅晶体管包括：

源区，形成于所述衬底的上方；

沟道区，形成于所述源区上方，垂直于所述衬底；

漏极，形成于所述沟道区和所述垂直环状阻变单元之间；以及栅绝缘层和栅极，依次形成于所述沟道区的侧面。

3、根据权利要求 2 所述的三维半导体存储器件，其特征在于，所述垂直环状阻变单元包括纵向设置的一个或多个环状电阻子单元，所述环状电阻子单元包括：

下电极，形成于所对应的垂直型环栅晶体管的漏极上，对应同一垂直型环栅晶体管的一个或多个环状电阻子单元共享下电极；

阻变功能层，形成于所述下电极预设位置的侧面，用于区分信息状态；以及

上电极，形成于所述阻变功能层上方，构成垂直环状阻变单元的各层上电极之间互相绝缘，相邻的垂直环状阻变单元的环状电阻子单元的上电极，在位线方向相互绝缘，在字线方向则共享连接到阵列外围。

4、根据权利要求 2 所述的三维半导体存储器件，其特征在于，所述垂直型环栅晶体管中，

所述源极，通过注入形成，或通过形成金属硅化物形成，或者通过金属埋层形成；

所述沟道区，通过对所述衬底的刻蚀完成，或通过外延生长或者沉积工艺完成；

所述栅极，通过先形成栅极然后形成沟道的“gate-first”工艺完成，或通过先完成沟道在形成栅极的“gate-last”工艺完成；

所述栅介质层，通过沉积工艺完成；以及

所述漏极，通过掺杂注入形成，或通过硅化工艺形成，或通过沉积金属方式形成。

5、根据权利要求 4 所述的三维半导体存储器件，其特征在于，

所述沟道区的材料为以下材料中的一种：硅、多晶硅或锗；

所述栅极的材料为以下材料中的一种：多晶硅、金属或金属硅化物；

所述栅介质层的材料为以下材料中的一种： SiO_2 或 SiO_xN_y 。

6、根据权利要求 3 所述的三维半导体存储器件，其特征在于，

所述下电极由单层金属、金属钝化层和金属双层结构构成；

所述阻变薄膜功能层，通过沉积单层阻变材料或者多层阻变材料形成，通过改变功能层材料的相位予以实现。

7、根据权利要求 6 所述的三维半导体存储器件，其特征在于，

所述下电极的材料为以下材料中的一种：Ag, Au, Cu, W, Ti, Pt, Ti, Ta, TiN, TaN 或 WN；

所述阻变功能层为以下材料中的一种： $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ ，其中 $0 < x < 1$ ； SrTiO_3 ； SrZrO_3 ； HfO_2 ； CuO_2 ； TiO_2 ； ZrO_2 ； NiO_x 其中， $0 < x < 2$ ； Nb_2O_5 ； MoO ； $\text{Ge}_2\text{Sb}_2\text{Te}_5$ ； GeTe 或 GeTeC ；

所述上电极为以下材料中的一种或多种：Ag、Au、Cu、W、Ti、Pt、Ti、Ta、TiN、TaN 或 WN。

8、一种三维半导体存储器件的制备方法，其特征在于，包括：

在衬底上制备垂直环栅晶体管；

在制备了所述垂直环栅晶体管的衬底上形成垂直环状阻变单元，从而完成三维半导体存储器件的制备。

9、根据权利要求 8 所述的三维半导体存储器件制备方法，其特征在于，所述在衬底上制备垂直环栅晶体管包括：

在所述衬底上形成浅槽隔离区定义位线区域；

采用离子注入工艺或者硅化工艺在所述位线区域形成位线；

在已形成位线的所述衬底上沉积 SiO_2 绝缘层/ SiN 牺牲层/ SiO_2 绝缘层堆栈；

在沉积 $\text{SiO}_2/\text{SiN}/\text{SiO}_2$ 堆栈的所述衬底上在位线区域上方刻蚀形成通孔，定义沟道区域；

在所述定义沟道区域的衬底上采用外延工艺形成沟道，或者采用沉积并退火的工艺在通孔区域形成沟道区；

采用离子注入形成漏区；

在形成漏区的衬底上刻蚀定义形成字线区域；

在形成字线区域的衬底上移去 SiN 牺牲层；

在移去 SiN 牺牲层的衬底上采用 gate-last 工艺的栅介质和栅极沉积和回刻；以及

沉积绝缘介质层隔离区。

10、根据权利要求 9 所述的三维半导体存储器件制备方法，其特征在于，所述刻蚀定义形成字线区域之前还包括：

沉积金属或者硅化形成低阻漏接触区。

11、根据权利要求 9 所述的三维半导体存储器件制备方法，其特征在于，所述在制备了垂直环栅晶体管的衬底上制备垂直环状阻变单元包括：

交替沉积多层的隔绝层和牺牲层 SiN ，通过厚度定义阻变单元尺寸，所述牺牲层的层数对应于环状电阻子单元的个数；

通孔刻蚀定义阻变阵列单元的下电极区域，所述下电极区域向下连接所述垂直环栅晶体管的漏极；

在通孔区域沉积金属钝化层和下电极金属；

在字线方向刻蚀堆栈层定义阻变单元的上电极尺寸；

移去 SiN 牺牲层；
沉积形成阻变功能层薄膜和上电极，回刻完成单元间隔离；以及
进行绝缘层介质沉积，外围金属连线。

1/10

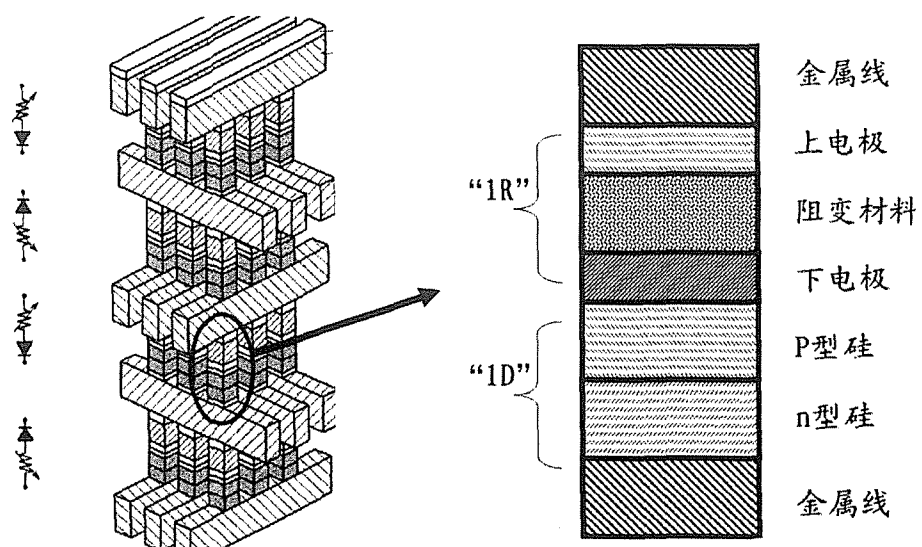


图 1

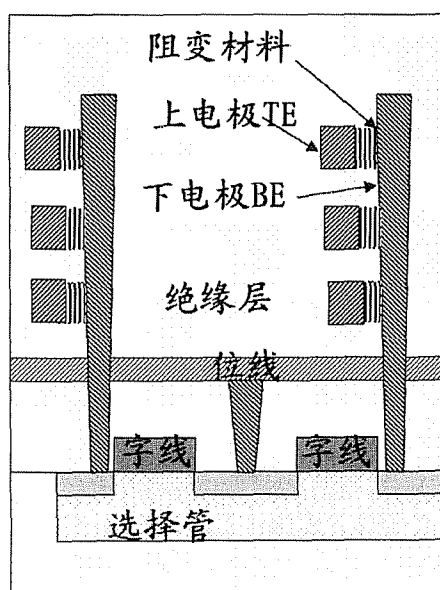


图 2

2/10

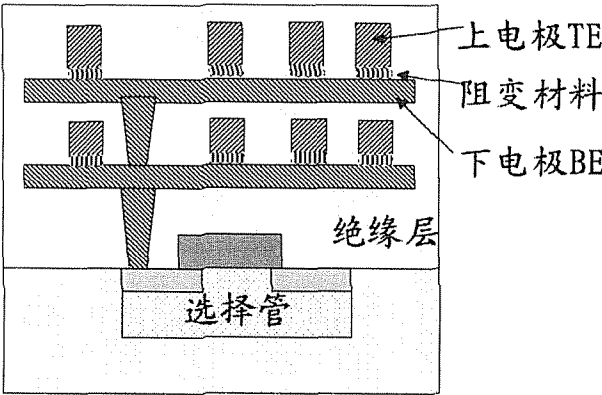
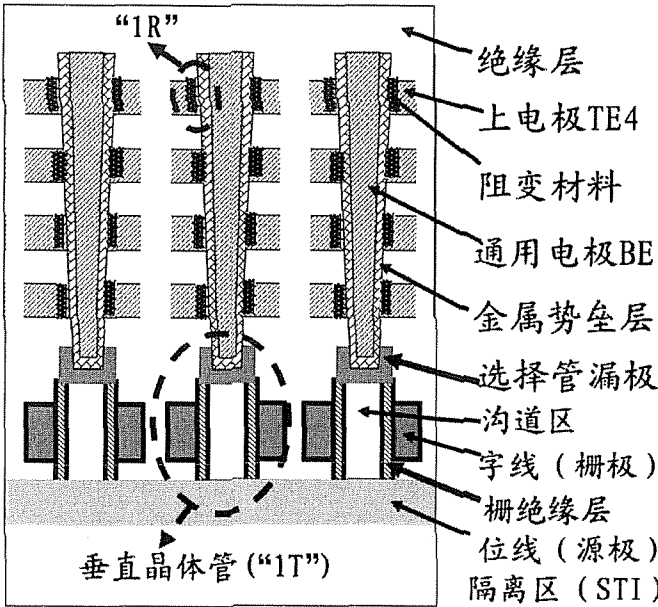


图 3



沿位线方向的剖面图

图 4

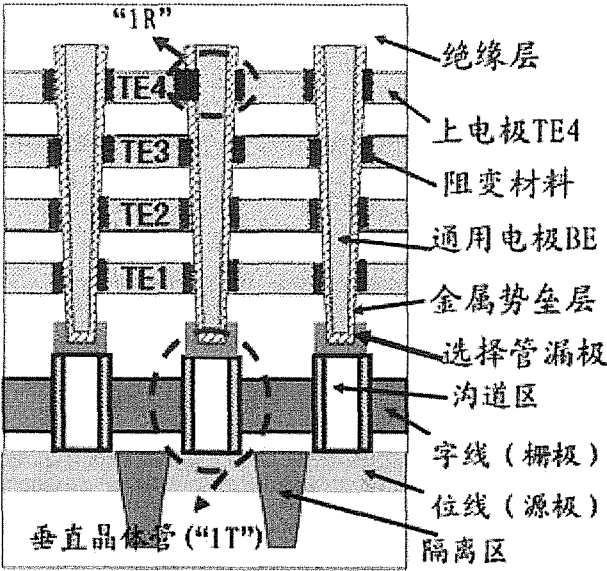


图 5

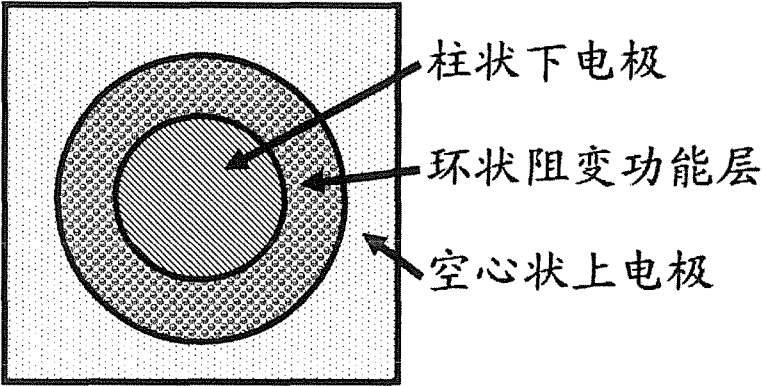


图 6

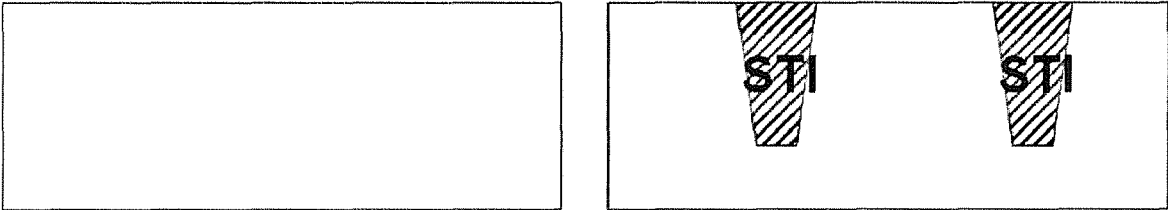


图 7

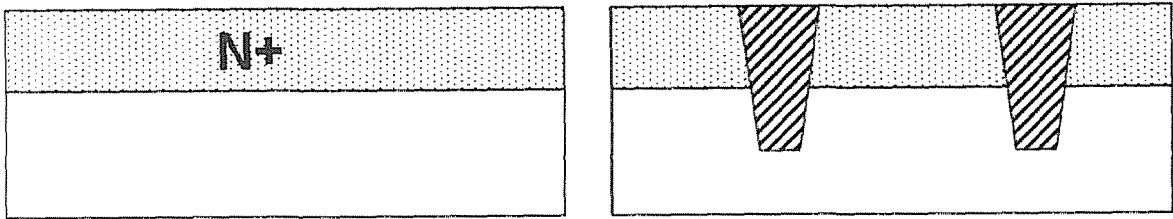


图 8

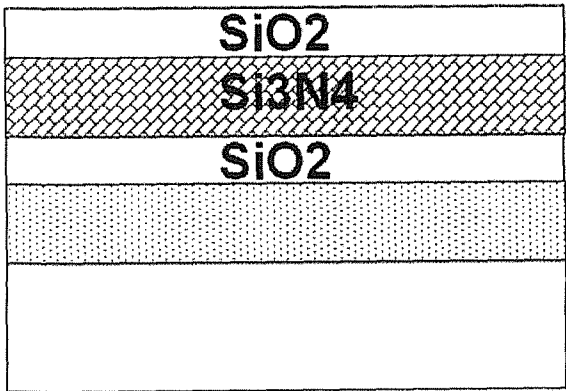


图 9

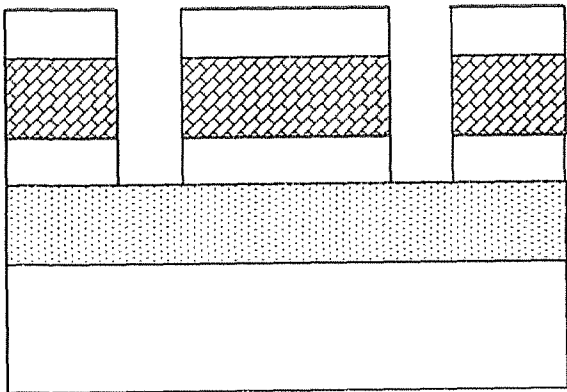


图 10

5/10

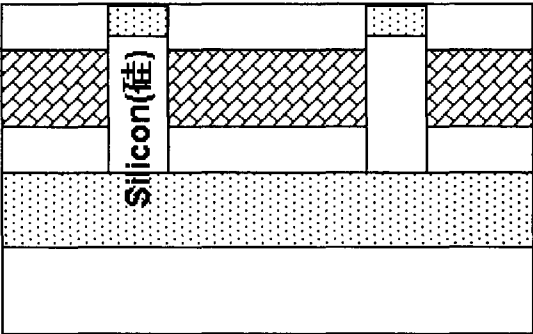


图 11

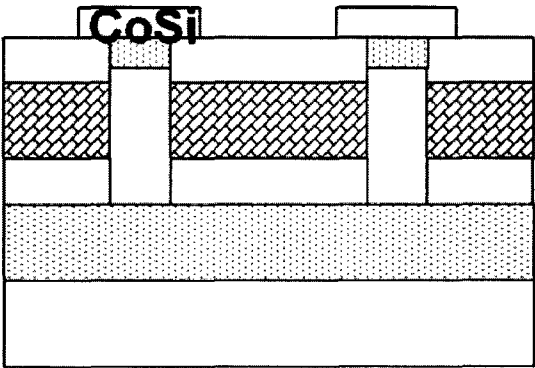


图 12

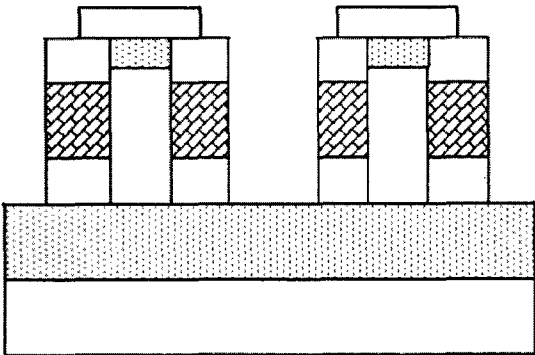


图 13

6/10

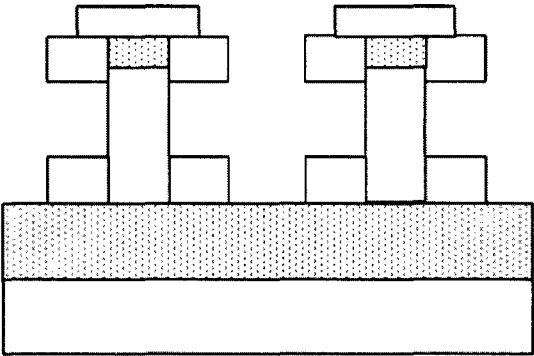


图 14

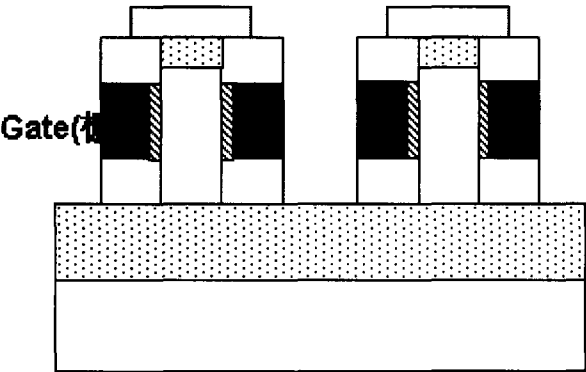


图 15

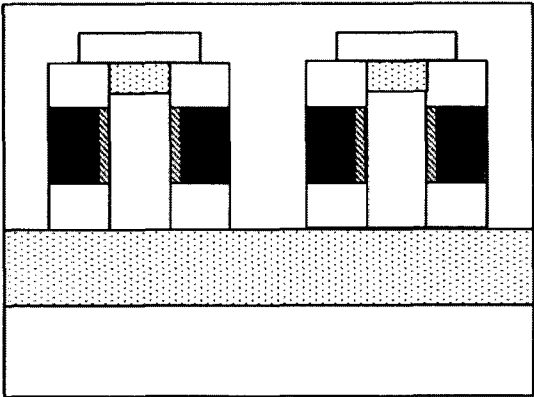


图 16

7/10

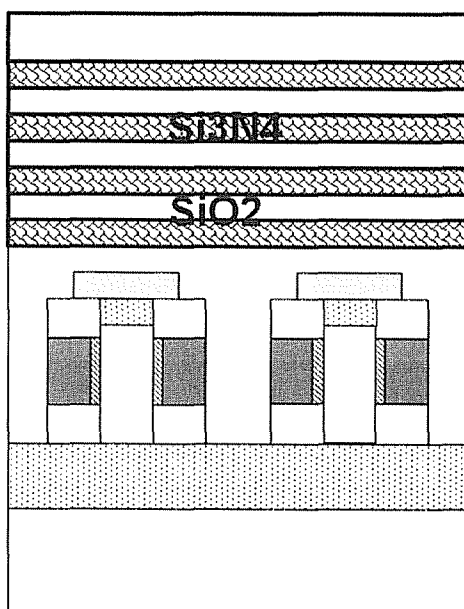


图 17

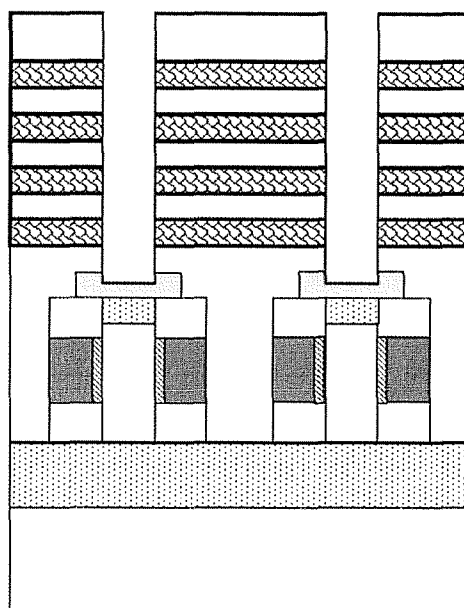


图 18

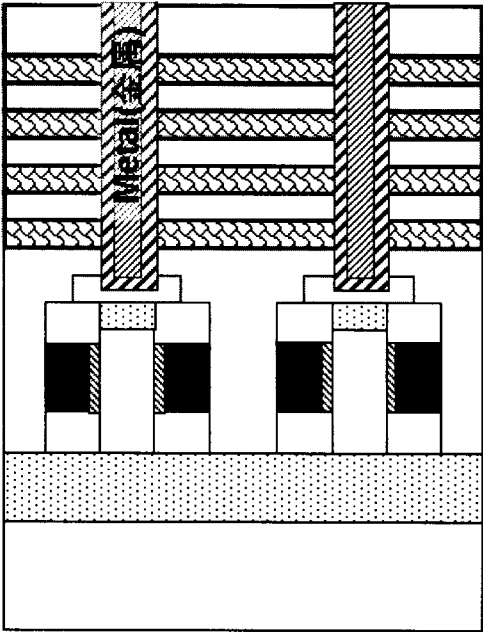


图 19

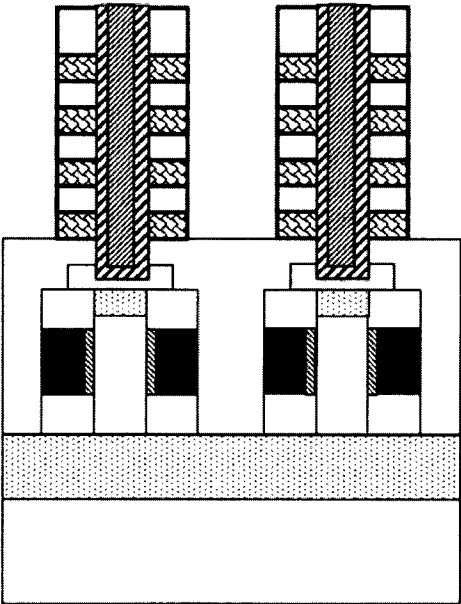


图 20

9/10

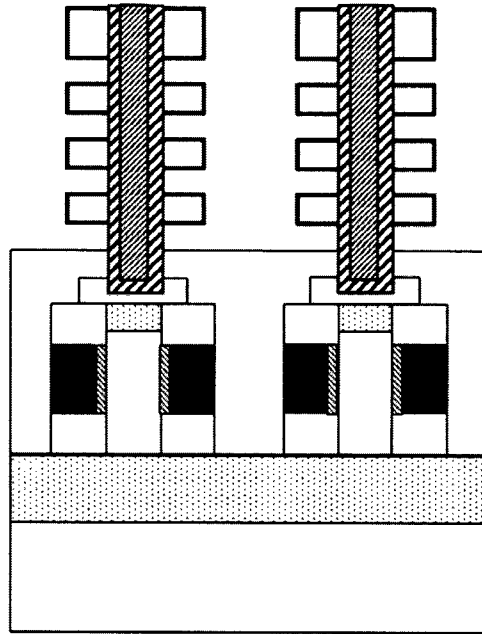


图 21

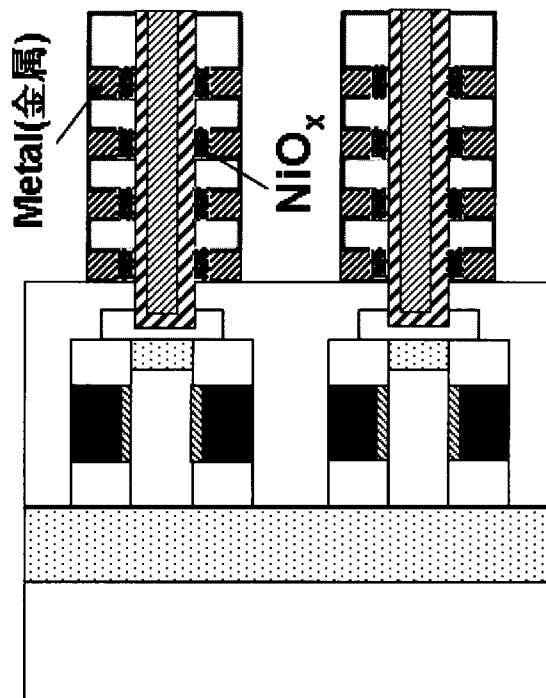


图 22

10/10

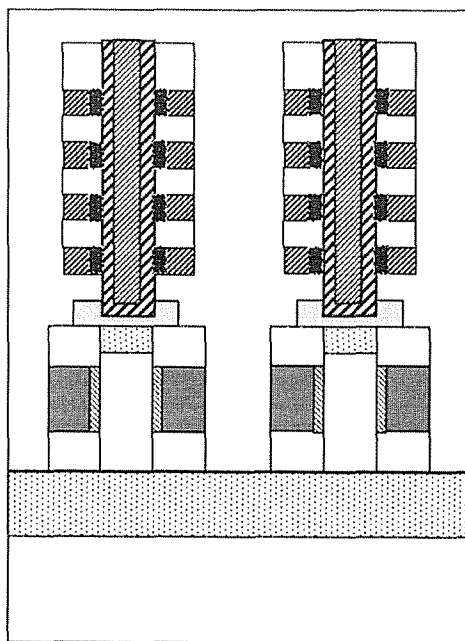


图 23a

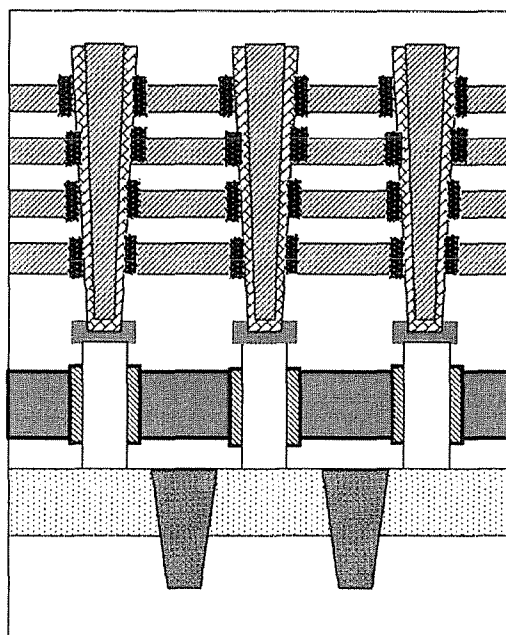


图 23b

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2011/076674

A. CLASSIFICATION OF SUBJECT MATTER

H01L 45/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L21/-; H01L27/-; H01L47/-; H01L45/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPODOC, WPI, CNKI, CPRSABS: surround+ gate, phase change, embrac+, encirc+, phase transition, memory, storage, three dimensional, tridimensional, vertical, 3D

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 1930686 A(MICRON TECHNOLOGY INC)14 Mar. 2007 (14.03.2007)	8
A	page 5, line 1 to page 7 line 7 of description, Fig. 1	1-7,9-11
Y	US 2010/0117054 A1(SAMSUNG ELECTRONICS CO., LTD.)13 May 2010	8
A	(13.05.2010) Par. 0028 to Par. 0050 of description, Figs. 1-3	1-7,9-11
A	CN 101794862 A(CHINESE ACAD SCI INST SEMICONDUCTOR)04 Aug. 2010	1-11
	(04.08.2010) the whole document	

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
18 Aug. 2011(18.08.2011)Date of mailing of the international search report
13 Oct. 2011 (13.10.2011)Name and mailing address of the ISA/CN
The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088
Facsimile No. 86-10-62019451

Authorized officer

ZHANG Jian

Telephone No. (86-10)62412094

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2011/076674

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN1930686A	14.03.2007	US2005199932A1	15.09.2005
		WO2005093836A2	06.10.2005
		EP1723674A2	22.11.2006
		KR20060126795A	08.12.2006
		US7262089B2	28.08.2007
		JP2007528609T	11.10.2007
		EP1965428A2	03.09.2008
		KR100879184B1	16.01.2009
		EP1965428A3	15.04.2009
		CN100485938C	06.05.2009
		JP4569845B2	27.10.2010
US2010117054A1	13.05.2010	KR20100053205A	20.05.2010
CN101794862A	04.08.2010	NONE	

国际检索报告

国际申请号
PCT/CN2011/076674

A. 主题的分类

H01L 45/00 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L21/-; H01L27/-; H01L47/-; H01L45/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

EPODOC, WPI, CNKI, CPRSABS: 环栅, 阻变, 相变, 存储, 环, 垂直, 环绕栅, 环形栅, 环型栅, 垂直, 立体, 三维, surround+ gate, phase change, embrac+, encircl+, phase transition, memory, storage, three dimensional, tridimensional, vertical, 3D

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 1930686 A(微米技术有限公司)14.3 月 2007 (14.03.2007)	8
A	说明书第 5 页第 1 行至第 7 页第 7 行、附图 1	1-7,9-11
Y	US 2010/0117054 A1(三星电子有限公司)13.5 月 2010 (13.05.2010)	8
A	说明书第 0028 段至第 0050 段、附图 1-3	1-7,9-11
A	CN 101794862 A(中国科学院半导体研究所)04.8 月 2010 (04.08.2010) 全文	1-11

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
18.8 月 2011 (18.08.2011)

国际检索报告邮寄日期
13.10 月 2011 (13.10.2011)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

张健
电话号码: (86-10) **62412094**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2011/076674

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN1930686A	14.03.2007	US2005199932A1	15.09.2005
		WO2005093836A2	06.10.2005
		EP1723674A2	22.11.2006
		KR20060126795A	08.12.2006
		US7262089B2	28.08.2007
		JP2007528609T	11.10.2007
		EP1965428A2	03.09.2008
		KR100879184B1	16.01.2009
		EP1965428A3	15.04.2009
		CN100485938C	06.05.2009
US2010117054A1	13.05.2010	JP4569845B2	27.10.2010
		KR20100053205A	20.05.2010
CN101794862A	04.08.2010	无	