

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication : 2 982 707

(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : 11 60252

⑤1 Int Cl⁸ : H 01 L 29/94 (2013.01), H 01 L 27/04, 21/331, 21/74

①2 DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 10.11.11.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 17.05.13 Bulletin 13/20.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : STMICROELECTRONICS SA Société
anonyme — FR.

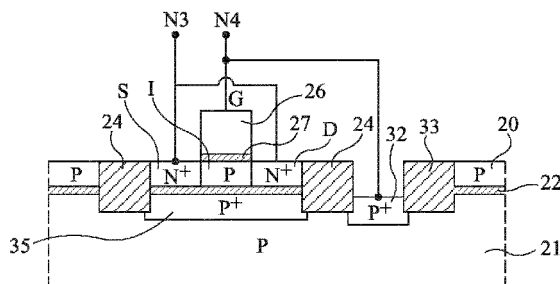
⑦2 Inventeur(s) : SOUSSAN DIMITRI et MAJCHER-
ZAK SYLVAIN.

⑦3 Titulaire(s) : STMICROELECTRONICS SA Société
anonyme.

⑦4 Mandataire(s) : CABINET BEAUMONT Société à res-
ponsabilité limitée.

⑤4 CONDENSATEUR A TRANSISTOR MOS SUR SOI.

⑤7 L'invention concerne un condensateur constitué d'un
transistor MOS formé dans une couche semiconductrice
(20) reposant sur une couche isolante (22), reposant sur un
substrat semiconducteur (21), dont la source (S) et le drain
(D) sont reliés à un premier noeud (N3) et la grille (G) et le
substrat (21) sont reliés à un deuxième noeud (N4).



FR 2 982 707 - A1



CONDENSATEUR À TRANSISTOR MOS SUR SOIDomaine de l'invention

La présente invention concerne la réalisation de condensateurs dans des circuits intégrés et plus particulièrement dans des circuits intégrés de type SOI.

5 Etat de la technique

De façon classique, on peut utiliser un transistor MOS pour former un condensateur dans un circuit intégré.

La figure 1A est une vue en coupe illustrant un transistor MOS sur substrat massif. Le transistor MOS est formé sur un substrat semiconducteur 1 dans une zone délimitée par une tranchée 3 remplie d'un isolant (STI). Le transistor comprend une grille 5 formée sur un isolant mince 6. De part et d'autre de cette grille se trouvent des régions de source S et de drain D fortement dopées de type N. Sous la grille se trouve une région dite de corps B. Il existe généralement au niveau de chaque transistor, ou à un autre emplacement, une prise substrat constituée d'une région plus fortement dopée de type P 10 représentée ici comme délimitée par une partie de la tranchée 3 et par une tranchée 11. Cette prise substrat constitue un accès à la région de corps B.

Pour utiliser le transistor MOS en condensateur, on relie les régions de source S, de drain D et de corps B (via la

prise substrat 10) à un nœud commun N1, la grille étant reliée à un autre nœud N2.

La figure 1B représente ce transistor MOS sous forme de schéma de circuit. On y voit les bornes de source S, de drain D et de corps B du transistor reliées au nœud N1 et la grille reliée au nœud N2.

Le schéma équivalent de ce transistor est illustré en figure 1C. On trouve entre les nœuds N1 et N2 les capacités grille-source C_{GS} , grille-corps C_{GB} et grille-drain C_{GD} connectées en parallèle. Parmi ces capacités, la capacité la plus importante est la capacité grille-corps. En effet, le conducteur de grille est principalement en regard de la région de corps, et très peu en regard des régions de source et de drain. On notera que cette capacité a une valeur qui ne dépend que peu de la polarisation présente entre les nœuds N1 et N2.

Avec le développement des technologies de type SOI (de l'anglais "Silicon On Insulator"), et plus particulièrement des technologies dites SOI à déplétion totale (couramment désignées par l'acronyme FDSOI, de l'anglais "Fully Depleted Silicon On Insulator"), il se pose un problème pour la réalisation de tels condensateurs étant donné qu'il n'existe plus dans ces technologies de connexion vers la région de corps.

Résumé de l'invention

Ainsi, un objet de modes de réalisation de la présente invention est de réaliser un condensateur à partir d'un transistor de type SOI.

Un autre objet de modes de réalisation de la présente invention est de réaliser de tels condensateurs destinés à être connectés entre des lignes d'alimentation.

Ainsi, un mode de réalisation de la présente invention prévoit un condensateur constitué d'un transistor MOS formé dans une couche semiconductrice reposant sur une couche isolante, reposant sur un substrat semiconducteur, dont la source et le drain sont reliés à un premier nœud et la grille et le substrat sont reliés à un deuxième nœud.

Selon un mode de réalisation de la présente invention, le transistor est un transistor MOS de type FDSOI.

Selon un mode de réalisation de la présente invention, le condensateur comprend dans le substrat semiconducteur une
5 couche enterrée fortement dopée sous l'emplacement du transistor.

Selon un mode de réalisation de la présente invention, la couche isolante a une épaisseur de 5 à 20 nm et la couche semiconductrice a une épaisseur de 3 à 10 nm.

10 On prévoit également un circuit électronique comprenant au moins un condensateur connecté à des rails d'alimentation.

Selon un mode de réalisation de la présente invention, le condensateur est formé dans un anneau de blocs d'entrée-
15 sortie.

Brève description des dessins

Ces objets, caractéristiques et avantages, ainsi que d'autres seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif
20 en relation avec les figures jointes parmi lesquelles :

les figures 1A, 1B et 1C, décrites précédemment, sont respectivement une vue en coupe schématique d'un transistor sur substrat massif connecté en condensateur, une représentation de ce transistor sous forme de schéma de circuit, et une représen-
25 tation de ce transistor sous forme de schéma équivalent ;

les figures 2A, 2B et 2C sont respectivement une vue en coupe schématique d'un transistor de type FDSOI connecté en condensateur, une représentation de ce transistor sous forme de schéma de circuit, et une représentation de ce transistor sous
30 forme de schéma équivalent ;

la figure 3 est un schéma sous forme de blocs représentant un cœur de circuit entouré d'un anneau de blocs d'entrée-sortie ; et

la figure 4 représente sous forme de schéma électrique un bloc d'entrée-sortie.
35

Comme cela est habituel dans la représentation des circuits intégrés, les diverses vues en coupe ne sont pas tracées à l'échelle.

Description détaillée

5 La figure 2A est une vue en coupe d'un transistor de type SOI. Ce transistor est formé dans une couche semiconductrice mince 20, couramment du silicium, formée sur un substrat semiconducteur 21, couramment du silicium, avec interposition d'une couche isolante 22. Le transistor est formé dans une
10 région délimitée par une ou plusieurs tranchées remplies d'un isolant 24, traversant la couche isolante 22. Le transistor comprend, dans la couche semiconductrice 20, de part et d'autre d'une grille 26 formée sur un isolant mince 27, des régions de source S et de drain D fortement dopées de type N. Sous la
15 grille, se trouve une région de type P qui sera appelée ci-après région intermédiaire I, à la surface de laquelle est susceptible de se former un canal quand la grille est polarisée positivement. Un contact est assuré vers le substrat à un emplacement où la couche isolante 22 a été supprimée, par
20 l'intermédiaire d'une région fortement dopée de type P 32, cet emplacement étant de préférence délimité également par une tranchée remplie d'un isolant 33. Egalement, de préférence, une région fortement dopée de type P 35 est implantée dans le substrat sous l'ensemble de la région dans laquelle est formé le
25 transistor.

La figure 2B représente un schéma de circuit du transistor de la figure 2A. Le drain D et la source S du transistor sont reliés à un nœud N3 et la grille est reliée avec la prise substrat à un nœud N4. La région intermédiaire I n'est
30 pas connectée.

La figure 2C est un schéma équivalent du transistor connecté en condensateur. On retrouve entre les nœuds N3 et N4 les capacités grille-source et grille-drain C_{GS} et C_{GD} , ainsi qu'une capacité entre la grille et la région intermédiaire I,
35 dénotée C_{GI} .

Quand le transistor n'est pas polarisé à l'état passant, la capacité C_{GI} est très faible puisque la région intermédiaire I est flottante. Par contre, quand le transistor est polarisé à l'état passant, étant donné que la région inter-
5 médiane I se déplete et est sensiblement au même potentiel que le drain et la source, la capacité C_{GI} prend une valeur importante.

De même, quand le transistor est polarisé à l'état passant, et que l'ensemble du drain, de la source et de la
10 région intermédiaire est sensiblement au même potentiel, on trouve une capacité importante C1 entre le substrat et l'ensemble du drain, de la source et de la région intermédiaire. On notera que, dans le cas d'un transistor FDSOI, la région intermédiaire I se déplete sur toute son épaisseur, ce qui
15 contribue à augmenter la composante de la capacité C1 correspondant à la capacité entre la région intermédiaire et le substrat. La présence de la région plus fortement dopée 35 contribue à réduire la résistance d'accès à la capacité C1.

Dans les technologies modernes de réalisation de
20 transistors sur isolant à déplétion totale (FDSOI), la couche semiconductrice 20 a une épaisseur de seulement 3 à 10 nm et l'épaisseur de la couche isolante 22 est très faible, de l'ordre de 3 à 20 nm, par exemple 5 nm. Ainsi, la capacité C1 est au moins du même ordre de grandeur que l'ensemble des capacités
25 grille-source, grille-drain et grille-région intermédiaire étant donné que, du côté de la face supérieure, la grille ne recouvre qu'une partie (sensiblement la région intermédiaire) du transistor alors que du côté de la face inférieure, c'est l'ensemble du drain, de la source et de la région intermédiaire qui constitue
30 la première électrode de la capacité C1.

On a ainsi formé par les connexions indiquées ci-dessus, un condensateur dont la valeur peut être particulièrement importante quand le transistor est convenablement polarisé.

Le transistor décrit précédemment sera de préférence
35 utilisé pour servir de condensateur quand les nœuds N3 et N4

B11258 - 11-GR1-0637

6

sont insérés dans un circuit tel que ces nœuds sont en permanence connectés à des points du circuit qui imposent à ces nœuds des potentiels de polarisation adaptés, par exemple à des rails d'alimentation. Ce transistor pourra aussi être utilisé dans des circuits dans lesquels on veut qu'il existe un condensateur entre deux nœuds N3 et N4 seulement quand ces nœuds sont convenablement polarisés.

Une utilisation particulièrement intéressante de tels transistors connectés en condensateurs va être décrite ci-après.

10 Généralement, un circuit électronique est entouré de blocs d'entrée-sortie. Ces blocs permettent l'échange de signaux numériques et analogiques avec d'autres circuits ou avec des bornes d'échanges d'informations avec l'extérieur.

La figure 3 représente un exemple d'un circuit électronique 40 entouré d'un anneau 42 de blocs d'entrée-sortie (généralement appelé Input-Output ring). Les blocs composant cet anneau 42 peuvent être de plusieurs types, parmi lesquels :

- des blocs d'entrée-sortie 44 reliant le cœur du circuit à des bornes, par exemple, d'échange de signaux ou d'alimentation ;
- 20 et
- des blocs de remplissage (généralement appelés Filler Cell) 46 servant à combler des espaces vides entre des blocs et à relier des blocs 44 avec des conducteurs d'alimentation.

Généralement, un bloc d'entrée-sortie 44 combine des fonctions électroniques avec un dispositif de filtrage et des bornes d'application de potentiel.

La figure 4 représente un exemple d'un tel bloc d'entrée-sortie 44. Ce bloc comporte :

- des bornes 48 et 49 reliées à des bornes d'alimentation 50 et 52 ;
- 30 - une fonction électronique 47, numérique et/ou analogique, par exemple un inverseur ; et
- un dispositif de filtrage 45, par exemple des éléments capacitifs.

Un inconvénient des blocs d'entrée-sortie 44 connus est la transmission du bruit présent sur les bornes 48 et 49 vers les fonctions logiques ou analogiques traversant le bloc concerné. Ces bruits peuvent être la conséquence des appels de courant nécessaires aux fonctions 47. Ces bruits peuvent induire des variations sur le temps de transmission des signaux et une perte de performances de ces fonctions. Une méthode connue pour réduire cet inconvénient est l'ajout du dispositif de filtrage 45 permettant de réduire les bruits présents sur les bornes d'entrée-sortie.

Pour tirer parti de l'espace disponible dans les blocs de remplissage 46, il est connu de placer le dispositif de filtrage dans ces blocs.

Cela engendre un autre problème lié à la réduction de la surface des blocs de remplissage 46, en conséquence des avancées technologiques. Les bruits parasites issus des bornes 48 et 49 sont toujours présents mais sont moins filtrés en raison de la réduction de valeur des éléments capacitifs du dispositif de filtrage 45.

Etant donné que, dans un tel circuit, les bornes 50, 52 sont des bornes d'alimentation, le transistor MOS FDSOI décrit ci-dessus sera particulièrement bien adapté à être utilisé pour constituer les dispositifs de filtrage 45.

Des modes de réalisation particuliers de la présente invention ont été décrits. Diverses variantes et modifications apparaîtront à l'homme de l'art. En particulier, les transistors MOS FDSOI mentionnés ci-dessus ont été représentés et décrits de façon extrêmement succincte et simplifiée. Les diverses variantes et modifications de réalisation usuelles de ces transistors pourront bien entendu être utilisées. De plus, on a décrit le cas particulier de transistors MOS à canal N. L'homme de l'art adaptera sans difficulté la description précédente au cas où les types de conductivité sont inversés en modifiant corrélativement les polarités des tensions appliquées. De plus, la couche enterrée fortement dopée 35 pourra être dopée de type

B11258 - 11-GR1-0637

8

N ou P. En outre, bien que l'invention ait été décrite en relation avec des exemples de transistors MOS dits planaires, elle s'applique à d'autres technologies de transistors, par exemple des transistors MOS dits FINFET.

REVENDICATIONS

1. Condensateur constitué d'un transistor MOS formé dans une couche semiconductrice (20) reposant sur une couche isolante (22), reposant sur un substrat semiconducteur (21), dont la source (S) et le drain (D) sont reliés à un premier nœud (N3) et la grille (G) et le substrat (21) sont reliés à un deuxième nœud (N4).

2. Condensateur selon la revendication 1, dans lequel le transistor est un transistor MOS de type FDSOI.

3. Condensateur selon la revendication 1 ou 2, comprenant dans le substrat semiconducteur (21) une couche enterrée fortement dopée (35) sous l'emplacement du transistor.

4. Condensateur selon la revendication 2 ou 3, dans lequel la couche isolante (22) a une épaisseur de 5 à 20 nm et la couche semiconductrice (20) a une épaisseur de 3 à 10 nm.

5. Circuit électronique dans lequel au moins un condensateur selon l'une quelconque des revendications 1 à 4 est connecté à des rails d'alimentation.

6. Circuit électronique selon la revendication 5, dans lequel le condensateur est formé dans un anneau de blocs d'entrée-sortie (44).

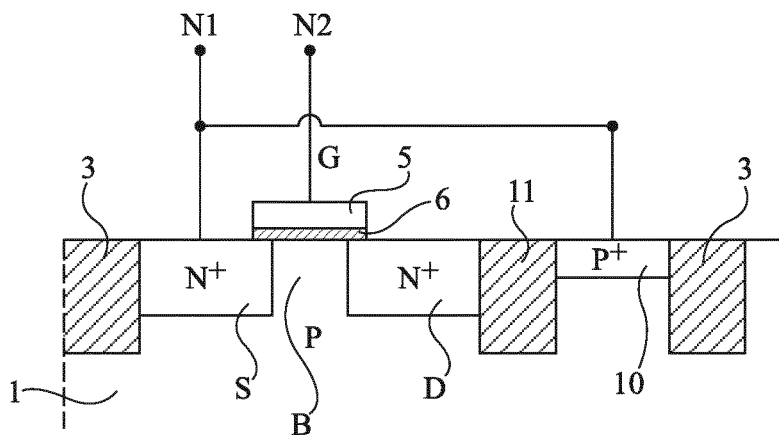


Fig 1A

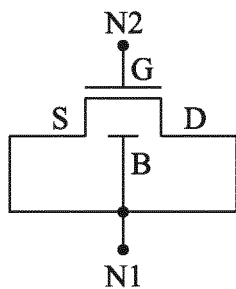


Fig 1B

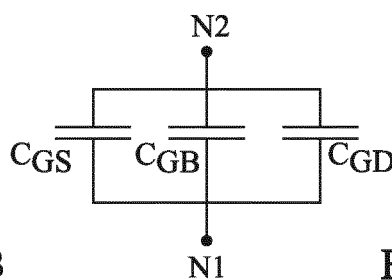


Fig 1C

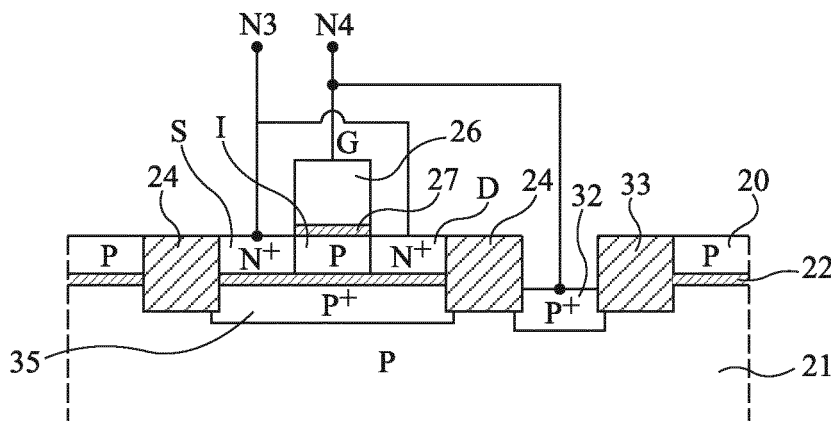


Fig 2A

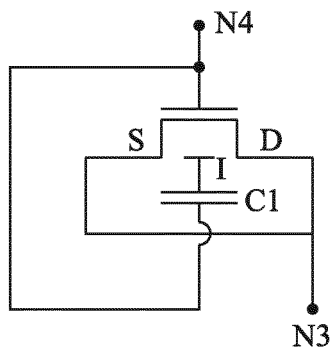


Fig 2B

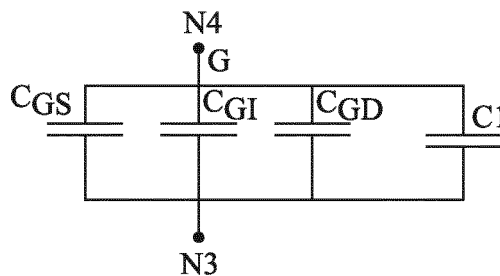


Fig 2C

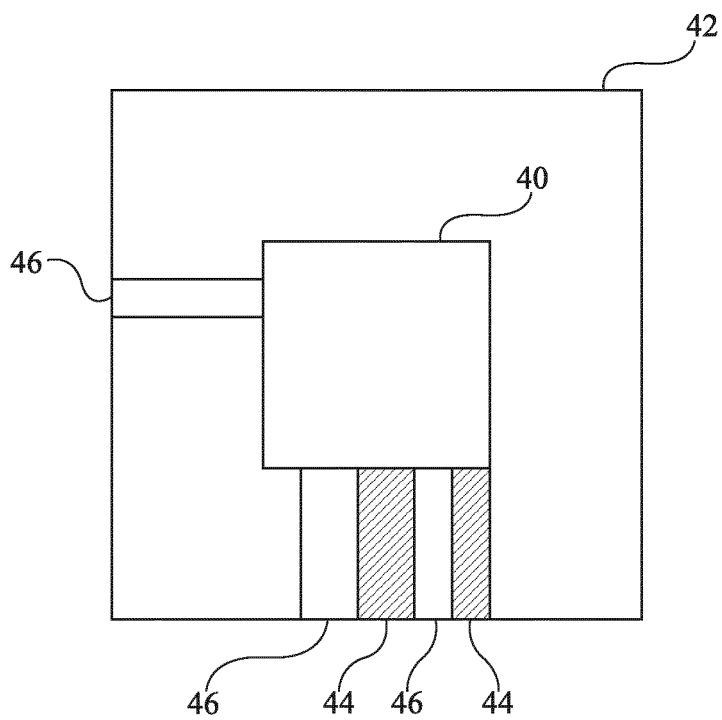


Fig 3

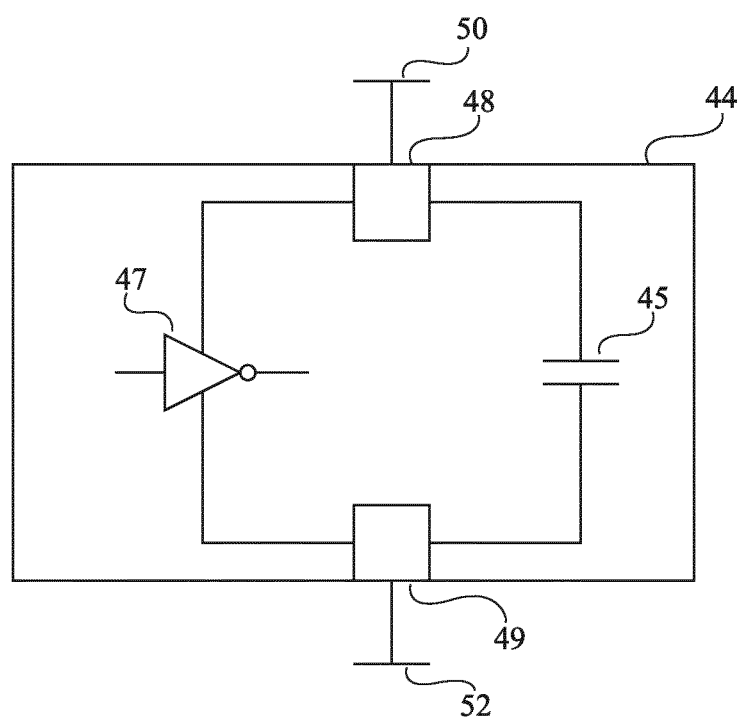


Fig 4



**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement national

établi sur la base des dernières revendications déposées avant le commencement de la recherche

FA 757268
FR 1160252

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
X	WO 01/46989 A2 (INTEL CORP [US]; KESHAVARZI ALI [IR]; VIVEK K DE [IN]; KARNIK TANAY [I]) 28 juin 2001 (2001-06-28) * page 9, ligne 9 - page 10, ligne 20; figures 10-13 *	1-6	H01L29/94 H01L27/04 H01L21/331 H01L21/74
X	NERIC FONG ET AL: "Accumulation MOS varactors for 4 to 40 GHz VCOs in SOI CMOS", 2002 IEEE INTERNATIONAL SOI CONFERENCE PROCEEDINGS. WILLIAMSBURG, VA, OCT. 7 - 10, 2002; [IEEE INTERNATIONAL SOI CONFERENCE], NEW YORK, NY : IEEE, US, 7 octobre 2002 (2002-10-07), pages 158-160, XP010611046, ISBN: 978-0-7803-7439-3 * alinéas Introduction, Device Structure and Operation, Q-V Characteristics; figures 1-2 *	1-6	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
			H01L
Date d'achèvement de la recherche		Examineur	
5 juin 2012		Neumann, Andreas	
CATÉGORIE DES DOCUMENTS CITÉS		T : théorie ou principe à la base de l'invention	
X : particulièrement pertinent à lui seul		E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure.	
Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie		D : cité dans la demande	
A : arrière-plan technologique		L : cité pour d'autres raisons	
O : divulgation non-écrite		
P : document intercalaire		& : membre de la même famille, document correspondant	

1

EPO FORM 1503 12.99 (P04C14)

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 1160252 FA 757268**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.

Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du 05-06-2012

Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
WO 0146989 A2	28-06-2001	AU 3072601 A	03-07-2001
		DE 10085347 B4	09-04-2009
		DE 10085347 T1	30-01-2003
		GB 2374462 A	16-10-2002
		HK 1046776 A1	03-12-2002
		JP 2004501501 A	15-01-2004
		US 2002140109 A1	03-10-2002
		WO 0146989 A2	28-06-2001
