I460825

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I460825 B**

(45)公告日： 中華民國 103 (2014) 年 11 月 11 日

(21)申請案號：099122856 (22)申請日： 中華民國 96 (2007) 年 07 月 13 日

(51)Int. Cl.： ***H01L21/8238(2006.01)*** ***H01L21/336 (2006.01)***

(30)優先權：2006/07/13 日本 2006-192440

(71)申請人：國立大學法人 東北大學 (日本) NATIONAL UNIVERSITY CPRPORATION TOHOKU UNIVERSITY (JP)
日本
財團法人國際科學振興財團 (日本) FOUNDATION FOR ADVANCEMENT OF INTERNATIONAL SCIENCE (JP)
日本

(72)發明人：大見忠弘 OHMI, TADAHIRO (JP)；寺本章伸 TERAMOTO, AKINOBU (JP)；黑田理人 KURODA, RIHITO (JP)

(74)代理人：周良謀；周良吉

(56)參考文獻：

JP	4-372166A	JP	8-78685A
JP	9-51097A	JP	2002-110586A
JP	2004-152965A	JP	2005-123626A
US	2002/0005553A1	US	2004/0079997A1
US	2005/0036382A1	US	2006/0038229A1

審查人員：羅文雄

申請專利範圍項數：8 項 圖式數：39 共 0 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

一種半導體裝置，藉由於遮光狀態下且於氮氣環境中以加氫超純水清洗矽表面而使峰至谷(P－V)值在 0.3nm 以下之平坦度之理想得以實現，且藉由使電極與矽之間之工作函數差在 0.2eV 以下，使接觸電阻降低至 10^{-11} Ωcm^2 以下之理想亦得以實現。藉此可獲得可以 10GHz 以上之頻率工作之半導體裝置。

In a light-shielded state and in a nitrogen atmosphere, a silicon surface is cleaned by the use of hydrogen-added ultra pure water. As a consequence, a flatness of 0.3nm or less as a peak-to-valley(P-V)value is achieved. Further, a difference in work function between an electrode and silicon is selected to be equal to or smaller than 0.2eV. As a consequence, a contact resistance of 10^{-11} Ω cm^2 is achieved. Thus, it is possible to obtain a semiconductor device which is operable at a frequency of 10GHz or more.

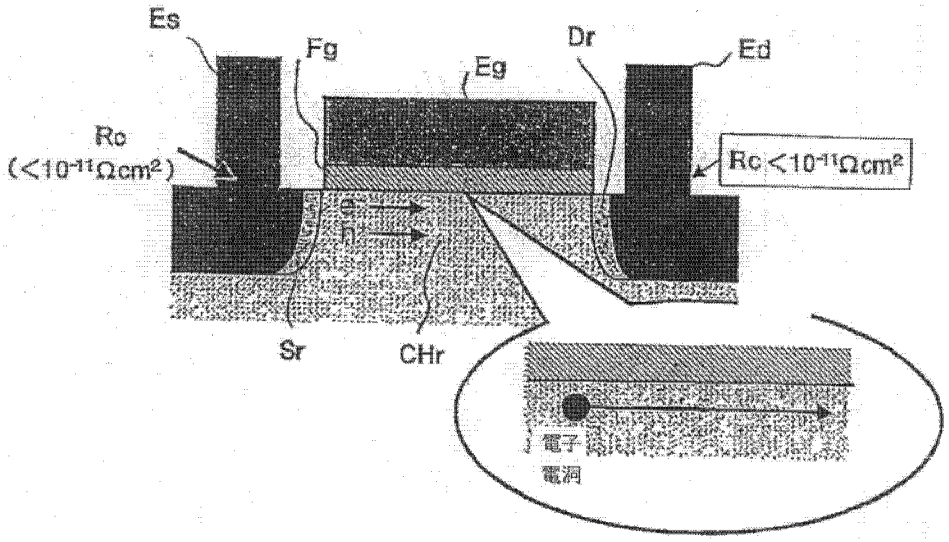


圖 3

CHr・・・通道區域

Sr・・・源極區

Dr・・・汲極區域

Fg・・・閘極絕緣膜

Eg・・・閘極電極

Es・・・源極電極

Ed・・・汲極電極

Rc・・・接觸電阻

I460825

公告本

分割案

發明專利說明書

（本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫）

※ 申請案號：99122856

※ 申請日期：96.7.13　　※IPC 分類：H01L 21/8238(2006.01)

原申請案號：96125522　　H01L 21/336(2006.01)

一、發明名稱：（中文/英文）

半導體裝置

SEMICONDUCTOR DEVICE

二、中文發明摘要：

一種半導體裝置，藉由於遮光狀態下且於氮氣環境中以加氫超純水清洗矽表面而使峰至谷（P－V）值在 0.3nm 以下之平坦度之理想得以實現，且藉由使電極與矽之間之工作函數差在 0.2eV 以下，使接觸電阻降低至 $10^{-11}\Omega\,cm^2$ 以下之理想亦得以實現。藉此可獲得可以 10GHz 以上之頻率工作之半導體裝置。

三、英文發明摘要：

In a light-shielded state and in a nitrogen atmosphere, a silicon surface is cleaned by the use of hydrogen-added ultra pure water. As a consequence, a flatness of 0.3nm or less as a peak-to-valley(P-V)value is achieved. Further, a difference in work function between an electrode and silicon is selected to be equal to or smaller than 0.2eV. As a consequence, a contact resistance of $10^{-11}\Omega\,cm^2$ is achieved. Thus, it is possible to obtain a semiconductor device which is operable at a frequency of 10GHz or more.

四、指定代表圖：

(一)本案指定代表圖為：第（3）圖。

(二)本代表圖之元件符號簡單說明：

CHr 通道區域

Sr 源極區

Dr 汲極區域

Fg 閘極絕緣膜

Eg 閘極電極

Es 源極電極

Ed 汲極電極

Rc 接觸電阻

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係關於廣泛使用於IC、LSI等之MOS型半導體裝置，特別是關於高速半導體裝置。

【先前技術】

自半導體裝置出現以來，在技術上吾人對半導體裝置投入最大努力之課題之一係工作頻率（時鐘脈衝頻率）之提昇。隨電晶體之可工作頻率增加，半導體裝置可高速工作，其適用範圍亦擴大而對現代寬頻網路社會之實現與IT化之發展有所貢獻。半導體裝置之工作頻率雖年年提昇，已達到GHz之區域，但近年來其提昇速度滯後。目前工作頻率停滯於3～4GHz，大眾皆期望能早日見到可以10GHz以上之時鐘脈衝頻率工作之半導體裝置之誕生。尺寸，係與半導體裝置之工作頻率提昇相關之要素之一，尺寸愈小其電容愈小，訊號傳遞速度將會增加。

眾所週知，近年來半導體裝置之尺寸縮小速度滯後已成為阻礙工作頻率提昇之重要因素。若將半導體元件之尺寸盡可能地縮小而假設其為一定，則吾人可說提昇工作頻率之要素係元件之工作電流。以MOSFET為例，使汲極電壓為一定時，相對應於閘極電壓可流過多少汲極電流，係決定工作頻率之要素之一。汲極電流愈大，輸出電容之充電放電時間愈短，訊號之往下一段之傳遞速度愈快。然而，元件之尺寸一旦縮小至極限，目前增大汲極電流係有其困難，而此問題正阻礙了工作頻率之提昇。

如上述，即使吾人欲將半導體裝置之工作頻率提昇至例如約10GHz以上，亦將遭遇經縮小至極限之電晶體中汲極電流無法增加之困難。因此至今為止眾人皆認為製作可以約10GHz以上，或約20GHz以上，甚至是40～60GHz之頻率工作之高速半導體裝置係不可能實現之事。

【發明內容】

發明所欲解決之課題

本發明之目的在於獲得一高速半導體裝置，該高速半導體裝置可以約 10GHz 以上之時鐘脈衝頻率工作。

且本發明之目的在於獲得一高速半導體裝置，該高速半導體裝置可以約 20GHz 以上之時鐘脈衝頻率工作。

且本發明之目的在於獲得一高速半導體裝置，該高速半導體裝置可以約 30GHz 以上之時鐘脈衝頻率工作。

且本發明之目的在於獲得一高速半導體裝置，該高速半導體裝置可以約 40GHz 以上之時鐘脈衝頻率工作。

且本發明之目的在於獲得一高速半導體裝置，該高速半導體裝置在約 60GHz 以上之時鐘脈衝頻率下亦可工作。

且本發明之目的在於提供一高速 MOS 電晶體，該高速 MOS 電晶體相對於一定之汲極電壓及閘極電壓，可增加所得之汲極電流。

解決課題之手段

以下列舉本發明之實施態樣。

（第 1 態樣）

一種半導體裝置，其特徵在於通道區域表面之平坦度係沿著由源極朝汲極之方向上長度 2nm 範圍內之峰至谷值為 0.3nm 以下。

（第 2 態樣）

如第 1 態樣之半導體裝置，其中通道區域表面之平坦度係沿著由源極朝汲極之方向上長度 2nm 範圍內之峰至谷值為 0.16nm 以下。

（第 3 態樣）

如第 1 或 2 態樣之半導體裝置，其中該通道區域之兩端具有源極區域及汲極區域，該源極區域及汲極區域之其中至少一者具有電性連接之電極，自該電極起至該通道區域為止之電阻係 1.5Ω・μm 以下。

（第 4 態樣）

一種半導體裝置，其特徵在於具有通道區域與其兩端之源極區域及汲極區域，該源極區域及汲極區域之其中至少一者具有電性連接之電極，自該電極至該通道區域為止之電阻係 4Ω・μm 以下。

（第 5 態樣）

如第 4 態樣之半導體裝置，其中該電阻係 1Ω・μm 以下。

（第 6 態樣）

如第 4 態樣之半導體裝置，其中該電阻包含：

接觸部接觸電阻，係該電極與該源極區域及汲極區域之其中至少一者之間者；及

內部串聯電阻，自該接觸部起至該通道區域為止，係該源極區域及汲極區域之該其中至少一者內部者；

且該接觸電阻係 $1\times10^{-10}\Omega\,cm^2$ 以下。

（第 7 態樣）

如第 6 態樣之半導體裝置，其中該電極，至少於該接觸部係由金屬矽化物所構成，選擇所構成該金屬矽化物之金屬，俾使該金屬矽化物與該源極區域及汲極區域之該其中任一者之間之工作函數差約為 0.32eV 以下。

（第 8 態樣）

一種半導體裝置，具有至少一對 n 通道電晶體及 p 通道電晶體，其特徵在於在與該 n 通道電晶體之源極、汲極區域分別連接之第 1 電極中，至少接觸部係由第 1 金屬矽化物所構成；在與該 p 通道電晶體之源極、汲極區域分別連接之第 2 電極中，至少接觸部係由不同於該第 1 金屬矽化物之第 2 金屬矽化物所構成。

（第 9 態樣）

如第 8 態樣之半導體裝置，其中該第 1 金屬矽化物係由其工作函數為-4.37eV 以上之材料所構成，該第 2 金屬矽化物係由其工作函數為-4.85eV 以下之材料所構成。

（第 10 態樣）

如第 8 或 9 態樣之半導體裝置，其中該 n 通道電晶體及該 p 通道電晶體之通道區域表面平坦度，係各電晶體之沿著由源極朝汲極之方向上長度 2nm 範圍內之峰至谷值為 0.3nm 以下。

（第 11 態樣）

如第 1 或 4 態樣之半導體裝置，其中該源極區域、汲極區域由一金屬或金屬半導體化合物所構成，該金屬或金屬半導體化合物之工作函數與該通道區域之半導體之工作函數差係 0.32eV 以下。

（第 12 態樣）

如第 11 態樣之半導體裝置，其中該通道區域由 n 型矽所構成，且該源極區域、汲極區域由一金屬或金屬矽化物所構成，該金屬或金屬矽化物之工作函數係-4.37eV 以上。

（第 13 態樣）

如第 11 態樣之半導體裝置，其中該通道區域由 p 型矽所構成，且該源極區域、汲極區域由一金屬或金屬矽化物所構成，該金屬或金屬矽化物之工作函數係-4.85eV 以下。

（第 14 態樣）

如第 1、4 或 8 態樣中任一態樣之半導體裝置，其中該半導體裝置包含 n 通道電晶體，該 n 通道電晶體之通道區域表面之至少一部分具有（100）晶面或自（100）晶面偏離±10°以內之晶面。

（第 15 態樣）

如第 1、4 或 8 態樣中任一態樣之半導體裝置，其中該半導體裝置包含 p 通道電晶體，該 p 通道電晶體之通道區域表面之至少一部分具有（110）晶面或自（110）晶面偏離±10°以內之晶面。

（第 16 態樣）

如第 8 或 9 態樣之半導體裝置，其中該 n 通道電晶體之通道區域表面之至少一部分具有（100）晶面或自（100）晶面偏離±10°以內之晶面，及（110）晶面或自（110）晶面偏離±10°以內之

晶面之至少其中一者；該p通道電晶體之通道區域表面之至少一部分具有（110）晶面或自（110）晶面偏離±10°以內之晶面，及（100）晶面或自（100）晶面偏離±10°以內之晶面之至少其中一者。

（第17態樣）

一種半導體裝置，具有一電路，該電路至少具有一對彼此互異之導電型電晶體，其特徵在於包含：

n通道電晶體，包含第1半導體層與包覆其表面至少一部分之第1閘極絕緣層；及

p通道電晶體，包含第2半導體層與包覆其表面至少一部分之第2閘極絕緣層；

且形成該第1半導體層通道之第1區域表面具有（100）晶面或自（100）晶面偏離±10°以內之晶面，及（110）晶面或自（110）晶面偏離±10°以內之晶面之至少其中一者；

形成該第2半導體層通道之第2區域表面具有（110）晶面或自（110）晶面偏離±10°以內之晶面，及（100）晶面或自（100）晶面偏離±10°以內之晶面之至少其中一者；

且該第1區域及該第2區域之表面平坦度，係各區域之沿著由源極朝汲極之方向上長度2nm範圍內之峰至谷值為0.3nm以下。

（第18態樣）

如第17態樣之半導體裝置，其中該平坦度係0.16nm以下。

（第19態樣）

如第17或18態樣之半導體裝置，其中於形成該通道之第1及第2區域之兩端分別具有源極區域及汲極區域與源極電極及汲極電極，自該各電極至形成該各通道之區域為止之電阻係1.5Ω・μm以下。

（第20態樣）

一種半導體裝置，具有一電路，該電路至少具有一對彼此互異之導電型電晶體，其特徵在於包含：

n通道電晶體，包含第1半導體層與包覆其表面至少一部分之第1閘極絕緣層；及

p通道電晶體，包含第2半導體層與包覆其表面至少一部分之第2閘極絕緣層；

且形成該第1半導體層通道之第1區域表面具有（100）晶面或自（100）晶面偏離±10°以內之晶面，及（110）晶面或自（110）晶面偏離±10°以內之晶面之至少其中一者；

形成該第2半導體層通道之第2區域表面具有（110）晶面或自（110）晶面偏離±10°以內之晶面，及（100）晶面或自（100）晶面偏離±10°以內之晶面之至少其中一者；

且於該第1及該第2區域之各兩端分別具有源極區域及汲極區域與源極電極及汲極電極；

自各該第1及第2區域至各兩端之各該源極電極、汲極電極為止之電阻係4Ω・μm以下。

（第21態樣）

如第20態樣之半導體裝置，其中該第1區域及第2區域之表面平坦度，係沿著由各源極區域朝汲極區域之方向上長度2nm範圍內之峰至谷值為0.3nm以下。

（第22態樣）

如第17或20態樣之半導體裝置，其中在該第1區域兩端之源極電極及汲極電極中，至少與源極區域及汲極區域分別連接之接觸部係由第1金屬矽化物所構成；在該第2區域兩端之源極電極及汲極電極中，至少與源極區域及汲極區域分別連接之接觸部係由不同於該第1金屬矽化物之第2金屬矽化物所構成。

（第23態樣）

如第22態樣之半導體裝置，其中該第1金屬矽化物係由其工作函數為-4.37eV以上之材料所構成，該第2金屬矽化物係由其工作函數為-4.85eV以下之材料所構成。

（第24態樣）

如第 17 或 20 態樣之半導體裝置，其中該第 1 區域兩端之源極區域及汲極區域係由其工作函數為-4.37eV 以上之第 1 金屬或金屬矽化物所構成，其與源極電極及汲極電極之至少一部分共用；該第 2 區域兩端之源極區域及汲極區域係由其工作函數為-4.85eV 以下之第 2 金屬或金屬矽化物所構成，其與源極電極及汲極電極之至少一部分共用。

（第 25 態樣）

如第 17 或 20 態樣之半導體裝置，其中形成該第 1 半導體層通道之第 1 區域表面及形成該第 2 半導體層通道之第 2 區域表面皆係由（100）晶面或自（100）晶面偏離±10°以內之晶面所構成。

（第 26 態樣）

如第 17 或 20 態樣之半導體裝置，其中形成該第 1 半導體層通道之第 1 區域表面及形成該第 2 半導體層通道之第 2 區域表面皆係由（110）晶面或自（110）晶面偏離±10°以內之晶面所構成。

（第 27 態樣）

如第 17 或 20 態樣之半導體裝置，其中該第 1 半導體層之該第 1 區域頂面及該第 2 半導體層之該第 2 區域頂面皆由（110）晶面或自（110）晶面偏離±10°以內之晶面所構成，且於該第 1 半導體層之其中一或兩側面上設置有形成通道之第 3 區域，該第 3 區域表面具有（100）晶面或自（100）晶面偏離±10°以內之晶面，決定該第 1 區域頂面之寬及長、該第 2 區域頂面之寬及長以及該第 3 區域表面之高及長，俾使該第 1 區域頂面之面積與該第 3 區域表面之面積之總和與該第 2 區域頂面之面積實質上相等或同等，且該 n 通道電晶體與該 p 通道電晶體之工作速度實質上相等或同等。

（第 28 態樣）

如第 8、17 或 20 態樣中任一態樣之半導體裝置，其中該 n 通道電晶體及該 p 通道電晶體皆係常閉式者，且該 n 通道電晶體及該 p 通道電晶體之其中一者係反相型及累積型之其中一者，而其

另一者係反相型及累積型之該一者或另一者。

（第 29 態樣）

如第 1、4 或 8 態樣中任一態樣之半導體裝置，其中該半導體裝置係常閉式者，且係反相型或累積型者。

（第 30 態樣）

如第 1、4 或 8 態樣中任一態樣之半導體裝置，其中該半導體裝置係累積型之電晶體。

（第 31 態樣）

如第 28 態樣之半導體裝置，其中該累積型電晶體之通道區域係由 SOI 層所構成，且該 SOI 層之厚度小於該通道區域之源極區域附近之空乏層之厚度。

（第 32 態樣）

如第 31 態樣之半導體裝置，其中決定該 SOI 層之厚度、該 SOI 層之雜質濃度及在該通道區域上閘極電極之工作函數，俾使該累積型電晶體之閘極電壓與源極電壓電位相同時，通道區域之源極區域側端部由空乏層所占滿。

（第 33 態樣）

如第 1 或 4 態樣之半導體裝置，其中在該通道區域上之閘極絕緣膜至少含有以微波激發之電漿所形成之 SiO_2、Si_3N_4 及金屬矽合金之氧化膜、金屬矽合金之氮化膜其中一者。

發明之效果

依本發明，藉由上述之態樣，可獲得一 MOS 電晶體（MOSFET），該 MOS 電晶體相對於一定之汲極電壓及閘極電壓，可增加所得之汲極電流。其結果，可獲得能夠以約 10GHz 以上之時鐘脈衝頻率工作之高速半導體裝置。且藉由使本發明之構成適用於使用最佳表面方位、Accumulation Mode 及三維構成之全平衡型 CMOS 構造中之至少其中一者，可獲得能夠以約 20GHz 以上、約 30GHz 以上、約 40GHz 以上，甚至約 60GHz 之時鐘脈衝頻率工作之高速半導體裝置。

【實施方式】

參照圖 1A、圖 1B，其中顯示有習知之 pMOSFET、nMOSFET 中之閘極電壓 VG 與汲極電流 ID 之關係。各電晶體係通道區域實際長度 Leff60nm，實際寬度 Weff10.0μm，閘極絕緣厚度（EOT）為 2.0nm。於圖 1A 顯示有經施加-1.5V 及-50mV 之汲極電壓 VD 之狀態下閘極電壓 VG 與汲極電流 ID 之關係。同樣地，於圖 1B 顯示有經施加 1.5V 及 50mV 之汲極電壓 VD 之情形下閘極電壓與汲極電流之關係。又，由此等圖示之縱軸所示之汲極電流 ID 係以絕對值 Abs 表示。在此，施加絕對值 1.5V 之汲極電壓 VD 時之特性係各電晶體之飽和區域，亦即（VG－Vth）＜VD 之關係（Vth 顯示閾值）成立區域之特性。另一方面，施加絕對值 50Mv 之汲極電壓 VD 時之特性係各電晶體之線性區域，亦即（VG－Vth）＞VD 之關係成立區域之特性。

如同由圖 1A、圖 1B 所知者，閘極電壓 VG 一旦接近於 0V，汲極電流 ID 即降低至 10^{-6}A 以下。在此若以汲極電流 ID 為 10^{-6}A 時之閘極電壓 VG 為閾值電壓 Vth，則圖 1A 及圖 1B 中之閾值電壓 Vth 將分別為-0.372V 及 0.379V。此意指以低電源電壓無法獲得大的汲極電流 ID，結果無法使閘極絕緣膜變薄。且即使提高閘極電壓 VG 之絕對值，汲極電流 ID 在 10^{-3}A（線性區域）至 10^{-2}A（飽和區域）成飽和之狀態，而無法再進一步增大。因此使用習知之 nMOSFET 及 pMOSFET，無法期待其耗電量降低，高速化及高性能化。具體而言，其時鐘脈衝頻率被限制在約 2～3GHz，不可能獲得以 10GHz 以上之時鐘脈衝頻率工作之 MOSFET。

參照圖 2，其中概略地且示意地顯示有習知之 MOSFET 之構造。於圖 2 所顯示之 MOSFET 包含：通道區域 CHr；源極區域 Sr 及汲極區域 Dr，設置於其兩側，俾將該當通道區域 CHr 夾在其間；閘極絕緣膜 Fg，設置於通道區域表面；及閘極電極 Eg，形成於閘極絕緣膜 Fg 上。於源極區域 Sr 及汲極區域 Dr 之表面分別設置有

源極電極 Es 及汲極電極 Ed。

圖示之習知之 MOSFET 中，於通道區域 CHr 之表面，亦即通道區域 CHr 與閘極絕緣膜 Fg 之間之界面，如圖 2 中放大通道區域中央部示意地顯示者，其於原子尺度下非平坦者，為具有山峰及峽谷之凹凸形狀。自源極朝汲極之方向，長 2nm 其間之峰至谷值（於以下所說明之本發明中有時被稱為「平坦度」），無論於圖 1A、圖 1B 所示之任一電晶體中皆為約 1.5nm。因此，成為載體之電子或電洞沿著通道區域 CHr 與閘極絕緣膜 Fg 間之界面，在通道區域 CHr 內曲折移動而大幅受到界面散射之影響。各聲子散射、庫侖散射及界面散射愈小則載體 遷移率(移動度）愈大。藉由將通道表面之表面方位加以最佳化（亦即於 nMOSFET 係（100）晶面等，於 pMOSFET 係（110）晶面或（551）晶面）雖可縮小聲子散射及庫侖散射，但自過去一般認為不可能縮小界面散射。

且於圖示例中，源極電極 Es 與源極區域 Sr 之間之接觸電阻以 Rc 表示，源極區域 Sr 與通道區域 CHr 之間之源極區域內部電阻以 Rn+（或 Rp+）表示。此於汲極區域 Dr 與汲極電極 Ed 之間，汲極區域 Dr 與通道區域 CHr 之間亦相同。

若以 gmi 表示圖 2 所示之 MOSFET 之純互導，則可以下列算式（1）表示純互導 gmi。

$$gmi = (\mu eff \times W)(Vg - Vth) / (L \times Tox / \varepsilon ox) \quad (1)$$

其中 μeff 係實際遷移率，W 係通道寬度，L 係通道長度，Tox 係實際閘極絕緣膜厚，εox 係閘極絕緣膜之介電常數。

另一方面，如圖 2 所示，若將接觸電阻 Rc 及區域電阻 Rn+（或 Rp+）之總和以串聯電阻 Rs 表示，則可以下列算式（2）表示於圖 2 所示之 MOSFET 之實際互導 gmeff。

$$gmeff = gmi / (1 + Rs \cdot gmi) \quad (2)$$

由此可知欲增大實際互導 gmeff 當然需增大純互導 gmi，且需盡可能縮小串聯電阻 Rs。

且若設包含圖示之 MOSFET 之 CMOS 電路（參照圖 12A）中

之源極、汲極之間之電容為 CL，則該當 CMOS 電路中之工作延遲時間 τ 可以下列算式（3）表示。

$$\tau = CL / gmeff = CL\ (1 + Rs \cdot gmi) / gmi \quad (3)$$

自算式（3）可知，為使 MOSFET 高速化，將純互導 gmi 增大、縮小源極、汲極之間之電容 CL、串聯電阻 Rs 即可。

另一方面，算式(1)所示之實際遷移率 μeff 可以下列算式(4)表示。

$$(1/\mu eff) = (1/\mu c) + (1/\mu p) + (1/\mu r) \quad (4)$$

其中 μc 係庫侖散射所造成之通道區域中之載體遷移率，μp 係聲子散射所造成之通道區域中之載體遷移率，μr 係界面散射所造成之通道區域中之載體遷移率。

自算式（1）可知增大實際遷移率 μeff 即可增大純互導 gmi，而若欲增大純互導 gmi，增大通道區域中之載體遷移率 μr 即可。

依本案發明人等之研究得知，若欲增大 μr，則使通道區域表面，亦即通道區域與閘極絕緣膜之間之界面於原子尺度下平坦化即可。特別是若可獲得峰至谷（P－V）值 0.3nm 以下之平坦度，將大幅改善 MOSFET 之實際遷移率 μeff。

且於圖 1A、圖 1B 顯示有其特性之任一電晶體中，接觸電阻 Rc 約為 $1\times10^{-8}\Omega\,cm^2$，其結果，串聯電阻 Rs 約為 100Ω・μm。

由本發明得知若可使接觸電阻縮小至約 $1\times10^{-10}\Omega\,cm^2$ 以下，甚至是 $1\times10^{-11}\Omega\,cm^2$ 以下，則可增大實際互導 gmeff。此時，串聯電阻 Rs 中，自過去由於接觸電阻 Rc 過大而與此相較較小之區域電阻 Rn+（或 Rp+）之影響係可忽略者。然而，於本發明藉由縮小接觸電阻 Rc，區域電阻 Rn+(或 Rp+)之影響變得亦無法忽略，因此亦得知藉由使其為 4Ω・μm 以下，1.5Ω・μm 以下，甚至是 1Ω・μm 以下，可戲劇性地改善 MOSFET 之實際互導 gmeff。

以下將參照圖 3，根據上述之見解說明依本發明之高速半導體裝置之原理性構成。亦即於圖 3，通道區域 CHr 與閘極絕緣膜 Fg 之間之界面於原子尺度下係平坦者，亦即平坦度在 0.3nm 以下，

甚至在 0.16nm 以下。於具有如此構成之 MOSFET 中，載體（電子或電洞）不受通道區域表面界面散射之影響而可直線流動。因此，如於圖 2 所說明者，與載體曲折流動時相較，載體之遷移率顯著提高許多。

且於圖 3 所示之電極構造中具有藉由將電極區域部分埋設於源極區域 Sr 及汲極區域 Dr 內等使自源極區域 Sr 及汲極區域 Dr 之電極接觸部至通道區域 CHr 之長度為極小之構成。藉此不僅減少了區域電阻（Rn+或 Rp+），如以下所述亦藉由考慮到形成源極區域、汲極區域之 n+或 p+矽區域之工作函數而選定電極材料，可使電極與源極區域、電極與汲極區域之接觸電阻 Rc 降低至 $10^{-11}\Omega cm^2$ 以下。因此可使實際互導 gmeff 極大。

圖 4A、圖 4B 分別顯示具有於圖 1B 之特性圖所示之尺寸之 n 通道電晶體之線性區域中，汲極電流 ID－閘極電壓 VG 特性、互導 gm－閘極電壓 VG 特性之模擬結果。於圖 4A 以粗實線所示之習知技術（conventional）相當於圖 1B 之 VD＝50mV 之情況。其中於圖 1B，縱軸以對數表示，而於圖 4A、圖 4B、圖 5A、圖 5B，縱軸以線性表示。於圖 4A，曲線 C1 係顯示將通道區域表面之平坦度改善至極限（P－V 值 0.13nm）時之特性，曲線 C2 係顯示將源極側之串聯電阻 Rs、汲極側之串聯電阻 Rd 改善至零時之特性。兩曲線 C1 及 C2 分別顯示與粗實線所示之習知之 nMOSFET 之特性曲線相較，可使汲極電流 ID 戲劇性地增大。且如曲線 C3 所示，若使源極串聯電阻 Rs、汲極串聯電阻 Rd 實質上為零，且改善通道區域表面之平坦度至極限，則可以相乘效果更加改善汲極電流 ID－閘極電壓 VG 特性。亦即藉由削減串聯電阻及改善表面平坦度中之至少一方式，可戲劇性地增大汲極電流 ID，若雙方皆採用則其效果將以相乘效果倍增。

於圖 4B 所示之互導 gm－閘極電壓 VG 特性中，與以粗實線所示之習知之 nMOSFET 相較，如曲線 C11 所示，經改善通道區域表面平坦度至極限之 nMOSFET 中互導 gm 可戲劇性地大幅增

大。且如曲線 C12 所示，藉由使串聯電阻 Rs、Rd 實質上為零，可較習知之 nMOSFET 更為增大互導 gm。且將平坦度及串聯電阻雙方縮小時，藉由相乘效果，可如曲線 C13 所示使互導 gm 極大。

圖 5A、圖 5B 顯示關於具有於圖 1A 之特性圖所示之尺寸之 pMOSFET 之線性區域之特性進行模擬之結果。圖 5A 係汲極電流 ID－閘極電壓 VG 特性，圖 5B 係互導 gm－閘極電壓 VG 特性。於圖 5A，曲線 C21 顯示縮小通道區域表面平坦度時之特性，曲線 C22 顯示縮小串聯電阻 Rs、Rd 時之特性。吾人可知無論於其中之任一情形下，其與以粗實線所示之習知之 MOSFET 之特性（相當於圖 1A 之 VD＝-50mV 之情形）相較皆獲得改善。且如曲線 C23 所示，若縮小平坦度及串聯電阻 Rs、Rd，則可更加增大汲極電流 ID。且使用（110）晶面時，如曲線 C24 所示，可顯著改善汲極電流 ID。

於圖 5B 所示之互導 gm－閘極電壓 VG 特性中，藉由個別分別縮小平坦度及串聯電阻（Rs、Rd），如曲線 C21a 及 C22a 所示，與以粗實線所示之習知之 pMOSFET 相較，亦可增大互導 gm。且使平坦度及串聯電阻雙方縮小時，如曲線 C23a 所示，可更加增大互導 gm。且如曲線 C24a 所示，於經改善平坦度及串聯電阻雙方，且使用（110）晶面之 pMOSFET 中，互導 gm 可獲得顯著之改善。

圖 6A～圖 6D、圖 7A～圖 7D 顯示使電晶體更為小型化時之線性區域及飽和區域中之特性。在此之電晶體之閘極絕緣膜厚（EOT）為 1.0nm，閘極長度為 45nm（實際長度 29nm）。圖 6A、圖 6C、圖 7A、圖 7C 係通道表面為（551）晶面之 p 通道電晶體之 VG－ID 特性及 VG－gm 特性。圖中，Vds 表示汲極-源極電壓。圖 6B、圖 6D、圖 7B、圖 7D 係通道表面為（100）晶面之 n 通道電晶體之 VG－ID 特性及 VG－gm 特性。自圖 6A～圖 6D、圖 7A～圖 7D 中之任一者可知，藉由個別分別縮小通道區域表面平坦度及串聯電阻（Rs、Rd），與習知之 pMOSFET、nMOSFET 相較，可更加增大汲極電流 ID 及互導 gm。且此等圖中顯示，縮小平坦

度及串聯電阻（Rs、Rd）雙方時，可以相乘效果更加增大汲極電流 ID 及互導 gm。

以下說明關於用以獲得上述通道區域表面平坦度之製程。平坦化矽基板表面之方法中，有一種以無鹼清洗及／或使用犧牲氧化膜以實現平坦化之方法。以如此之平坦化方法，適用記載於特開 2004-200672 公報之方法時，可降低矽基板表面平均粗度 Ra 至 0.15nm 以下。然而藉由此方法所得之平均粗度（Ra）在 0.15nm 以下之表面，其峰至谷（P－V）值通常約為 1.0nm，頂多為 0.6～0.9nm。以此程度之平坦度改善汲極電流 ID 及互導 gm 有其困難。

本案發明人等考慮到上述事實，且研究縮小峰至谷（P－V）值之方法，結果確認了以下現象：使用於氧含量在 1ppb 以下之加氫超純水中添加有 30%之 IPA(異丙醇)之清洗液，於氮氣環境（氧含量 1ppb 以下）下，且於遮光之狀態下進行表面之清洗，且以等向性氧化或氮化（使用高密度電漿之氧自由基或氮自由基所進行之氧化或氮化）形成閘極絕緣膜。其結果，可使峰至谷（P－V）值降低至約 0.16nm 以下，如圖 8B 所示可提升界面平坦度至平坦之極限，亦即約一個原子程度之段差（0.13nm）。且自此得知若於遮光狀態，且無氧之狀態下以添加有 IPA 之清洗液清洗，則即使存在有鹼亦可提昇平坦度至極限。且吾人發現自（100）晶面偏離 4 度之晶面較容易使其表面平坦化，吾人另發現（551）晶面[亦即自（110）晶面偏離 8 度之晶面]，在無光與氧之情形下易進行平坦化。

圖 8A、圖 8B 顯示到達平坦之極限，亦即具有一個原子程度之段差（0.13nm）之矽表面之示意圖及表面攝影。於圖 8A 顯示有自（100）晶面偏離 4 度之晶面之側面，8 個原子排列於具有一個氧原子程度之段差之寬 20Å 之平台之表面上。且於圖 8A 亦顯示有（551）晶面，亦即自（110）晶面偏離 8 度之晶面上之原子排列，可得知其平坦度相當於一個原子程度之段差。圖 8B 顯示自（100）晶面偏離 4 度之晶面之平台狀表面。若使源極方向、汲極

方向為沿平台之方向，則利用平坦面之效果將更為提高。

在此參照圖 9A、圖 10A、圖 10B，於此等圖中，作為遷移率之通道電場 Eeff 之函數顯示載體遷移率之聲子散射所造成之影響（參照虛線）、庫侖散射所造成之影響（參照單點虛線）及界面散射所造成之影響（參照雙點虛線）。圖中，Nsub 表示半導體層之雜質濃度。圖 9A、圖 10A 係（100）晶面之 nMOSFET 之情形（縱軸之縮尺不同）。參照此即知表面平坦度為極限值（Δ＝0.13nm）時（Λ顯示源極－汲極方向之通道長度，此長度中之（P－V）值係Δ值）實質上決定載體遷移率者僅聲子散射之影響，而表面平坦度，即峰至谷（P－V）值若為 1.0nm（且長度為 0.73nm）則遷移率將大幅劣化。圖 9B 顯示電場 Eff 為 1.5MV／cm時，其劣化之程度。如圖 9B 所示，平坦度為 0.16 以下則劣化為 10%以下，平坦度為 0.30nm 以下則劣化為 30%以下，因此本發明之表面平坦度定為 0.30nm 以下。又，圖 10B 顯示其為 pMOSFET 時，表面即使係（100）晶面，表面平坦化所產生之載體遷移率之改善效果相當大，而若使表面為（551）晶面則庫侖散射之影響將為之降低，載體遷移率更加增大。

其次將詳細說明關於串聯電阻之降低。於習知之半導體裝置中，吾人皆於 nMOSFET 及 pMOSFET 雙方使用同一金屬矽化物（例如 TiSi）作為電極材料。此電極材料之工作函數約為-4.6eV。其理由係由於形成習知之 nMOSFET 之源極區域、汲極區域之 n+區域之矽導電帶(-4.05eV)與禁止帶(-5.15eV)之位準差為 1.1eV，而此時矽導電帶與電極材料之間之工作函數差（阻障高度）$q\Phi_{BN}$為 0.55eV。同樣地，形成習知之 pMOSFET 之源極區域、汲極區域之 p+區域之矽中，矽之導電帶與電極材料之間之工作函數差(阻障高度）$q\Phi_{BP}$亦為 0.55eV。如此雙方之阻障高度幾乎相等導致兩電晶體之接觸電阻相等。其結果，接觸電阻 Rc 約為 $1\times10^{-8}\Omega\,cm^2$，串聯電阻 Rs 為 100Ω・μm。

於本發明中，無論 n 通道電晶體或 p 通道電晶體之任一者，

皆使用與源極區域、汲極區域之阻障高度為 0.32eV 以下，甚至是 0.2eV 以下之電極材料。亦即藉由 n+矽區域與電極之間之阻障高度 $q\Phi_{BN}$ 為 0.32eV 以下，甚至是較 0.2eV 小之材料構成電極，且藉由 p+矽區域與電極之間之阻障高度 $q\Phi_{BP}$ 亦為 0.32eV 以下，甚至是較 0.2eV 小之材料構成電極，可縮小前述之串聯電阻（Rs、Rd）。此時，與 n+矽區域接觸之電極材料需使用和與 p+矽區域接觸之電極材料不同者。

因此，依本發明之半導體裝置中，於 n+矽區域與 p+矽區域使用彼此互異之金屬或金屬矽化物。具體而言，於 nMOSFET 使用工作函數為-4.37eV（-4.25eV 更佳）以上之金屬或金屬矽化物，例如 Er、Mg、Mn、Cd、Hf、Y、Zr 等或此等矽化物形成電極。另一方面，於 pMOSFET 則使用工作函數為-4.85eV（-4.95eV 更佳）以下之金屬或金屬矽化物，例如 Pd、Pt、Co、Ni、Ir 等或此等矽化物形成電極。藉由使用如此之材料形成電極，可使接觸電阻 Rc 降低至 $1\times10^{-10}\Omega\,cm^2$ 以下，甚至是 $1\times10^{-11}\Omega\,cm^2$ 以下。

參照圖 11 即可見到於其中顯示有接觸電阻 Rc 與電極－矽區域間之工作函數差之關係。如圖 11 所示者，電極－矽區域間之工作函數差為 0.5eV 時，接觸電阻 Rc 約為 $10^{-8}\Omega\,cm^2$。如此，接觸電阻 Rc 大，則如前述無法改善 MOSFET 之汲極電流 ID 及互導 gm。

另一方面，依本案發明人等之研究，若使上述之電極－矽區域間之工作函數差降低至 0.32eV 以下，則可降低接觸電阻 Rc 至 $10^{-10}\Omega\,cm^2$ 以下，若甚至使工作函數差降低至 0.2eV 以下，則接觸電阻 Rc 將可降低至 $10^{-11}\Omega\,cm^2$ 以下。其結果將如前述者，可改善 MOSFET 之特性。本案發明人等已確認若欲降低工作函數差至 0.32eV 以下，可藉由使用相互不同之金屬製作與 n+矽區域接觸之電極和與 p+矽區域接觸之電極兩者，使工作函數差降低至 0.32eV 以下。

因此，與 n+矽區域接觸之電極之電極材料中，若使用具有接

近-4.05eV 之工作函數之材料，亦即 Er（-3.2eV）、Mg（-3.7eV）、Mn（-4.1eV）、Cd（-4.3eV）、Hf（-3.9eV）、Y（-3.1eV）、Zr（-4.1eV），即可達成上述之工作函數差。另一方面，與 p+矽區域接觸之電極之電極材料中，若使用具有接近-5.15eV 之工作函數之材料，亦即 Pd（-5.2eV）、Pt（-5.6eV）、Co（-5.0eV）、Ni（-5.2eV）、Ir（-5.3eV），即可實現 0.2eV 以下之工作函數差。

關於串聯電阻，如上述藉由將接觸電阻降低至 $10^{-10}\Omega\,cm^2$ 以下，甚至是 $10^{-11}\Omega\,cm^2$ 以下，即可大幅降低串聯電阻，在理想之狀態下，源極區域、汲極區域之內部電阻相加可為 1Ω・μm。在此，與使串聯電阻為零之理想狀態相比，串聯電阻若為 1.5Ω・μm 以下，則互導 gm 之劣化將為 1%以下而可忽視。因此，串聯電阻雖定為 1.5Ω・μm 以下，但按照其他條件可為 4Ω・μm 以下。

且亦可不以半導體構成源極區域、汲極區域，而以與通道區域之半導體之工作函數差為 0.32eV 以下，甚至是 0.2eV 以下之金屬或金屬矽化物所構成。此情形下之材料如上述般選定即可。其結果，源極區域、汲極區域之內部電阻消失，可更加降低串聯電阻。

參照圖 12A 即可見到其中顯示有由 nMOSFET 及 pMOSFET 所構成之 CMOS 電路，亦即反相器電路。在此，於圖 12A 所示之 nMOSFET 及 pMOSFET 皆係形成於（100）晶面上之習知構造，此時，如圖 12B 所示，汲極電流小，特別是於 pMOSFET 極小，兩者不平衡。此時，pMOSFET 之電流驅動能力為 nMOSFET 之電流驅動能力之約 30%，因此構成於圖 12A 所示之閘極時，相當程度增大了 pMOSFET 之大小。

於圖 12A 所示之 nMOSFET 及 pMOSFET 皆形成於（100）晶面上，而藉由本發明改善了通道區域表面，亦即與閘極絕緣膜之間之界面平坦度，且電晶體成為具有 $10^{-11}\Omega\,cm^2$ 以下之串聯電阻者，此時，如圖 12C 所示，兩電晶體之汲極電流飛躍性地增大。此時，pMOSFET 之電流驅動能力亦為 nMOSFET 之電流驅動能力

之約 30%，因此構成於圖 12A 所示之閘極時相當程度增大了 pMOSFET 之大小。

其次，於圖 12A 所示之 nMOSFET 及 pMOSFET 皆形成於（551）晶面上，且藉由本發明改善了通道區域表面，亦即與閘極絕緣膜之間之界面平坦度，且電晶體成為具有 $10^{-11}\Omega\,cm^2$ 以下之串聯電阻者，此時，如圖 12D 所示，兩電晶體，特別是 pMOSFET 之汲極電流飛躍性地增大。nMOSFET 與圖 12C 時相比電流驅動能力雖約達 60%，但即使如此亦較習知構造（參照圖 12B）大。此時，nMOSFET 之電流驅動能力為 pMOSFET 之電流驅動能力之約 60%，因此構成於圖 12A 所示之閘極時 nMOSFET 僅增大相應此之大小。

如圖 15A～圖 15C 之實施例，使於圖 12A 所示之 nMOSFET 及 pMOSFET 皆形成於（551）晶面上，且使 nMOSFET 為亦使用有（100）晶面之三維構造，而令兩電晶體之面積、電流驅動能力完全平衡，且藉由本發明改善通道區域表面之平坦度，並使電晶體成為具有 $10^{-11}\Omega\,cm^2$ 以下之串聯電阻者，此時，如圖 12E 所示，兩電晶體之汲極電流可保持平衡並飛躍性地增大。又，如上述兩電晶體之面積、電流驅動能力完全平衡之 CMOS 電路被稱為平衡 CMOS 電路。關於相互具有相等特性之 nMOSFET 及 pMOSFET 於特願 2005-369170 號說明書中有所詳述，因此於此省略其說明。

參照圖 13A 即知以具有圖 12B 所述之構成之 CMOS 閘極，其可工作之時鐘脈衝頻率頂多 5GHz。然而，以具有圖 12C 所述之依本發明之構成之 CMOS 閘極，其可工作之時鐘脈衝頻率可擴大至 10GHz。且以具有圖 12D 所述之依本發明之構成之 CMOS 閘極，其可工作之時鐘脈衝頻率可擴大至 20GHz。且以具有圖 12E 所述之依本發明之構成之 CMOS 閘極，其可工作之時鐘脈衝頻率可擴大至 30GHz。此等之例皆使用 Inversion Mode 之電晶體，而若使用 Accumulation Mode 之電晶體，具有依本發明之構成之 CMOS 閘極之可工作時鐘脈衝頻率，可分別擴大至 20GHz、40GHz、

60GHz。

參照圖 13B 即可見到其中顯示有以 10GHz 之時鐘脈衝驅動上述平衡 CMOS 電路及習知之 CMOS 電路時之輸出入特性。於圖 13B，輸入訊號以虛線顯示，分別表示平衡 CMOS 電路之輸出訊號為 e，習知之 CMOS 電路（具有圖 12B 所述之構成之 CMOS 電路）之輸出訊號為 b，具有圖 12D 所述之構成之 CMOS 電路之輸出訊號為 d。又，構成電路之各 MOSFET 具有 65nm 之通道長 L（實際通道長 Lee＝38nm），通道寬 1.0nm，實際絕緣膜厚（EOT）1.20nm 之大小，於此顯示有電源電壓（VDD）為 1.20V 時之特性。如圖 13B，賦予其約 10GHz 之頻率的時鐘脈衝時，相當於習知之 CMOS 電路之輸出訊號 b 而呈現滯後。

於圖 13C 分別顯示有將 40GHz 之時鐘訊號分別作為輸入訊號賦予上述三種 CMOS 電路時之輸出入特性。如自圖 13C 所示者即知，習知之 CMOS 電路之輸出訊號 b 相對於輸入訊號大幅滯後，且其振幅亦大為降低，不堪使用。另一方面，平衡 CMOS 電路如亦可自輸出訊號 e 所知者，時鐘脈衝頻率即使高達 40GHz 亦可進行正常之工作。

參照圖 13D，於此顯示利用圖 12B、圖 12C、圖 12D 及圖 12E 中所述之 CMOS 電路，分別構成 4 輸入 NOR 閘及 4 輸入 NAND 閘，將各閘成 10 段級聯連接，以 50GHz 之時鐘脈衝頻率使其工作時之輸出入波形。其分別顯示有賦予 10 段級聯連接 4 輸入閘極之初段之一輸入之輸入脈衝波形與自終段之輸出取出之輸出訊號。對各閘極之其他 3 輸入分別於 NOR 閘賦予接地電位，於 NAND 閘賦予電源電壓。輸入訊號於使用 Inversion Mode 之電晶體之 CMOS 電路為 1.0V，於使用 Accumulation Mode 之電晶體之 CMOS 電路為 1.2V。輸出波形 b、c、d、e 分別顯示使用圖 12B 所述之習知之 CMOS 電路之情形、使用具有依圖 12C 所述之本發明之構成之 CMOS 電路之情形、使用具有依圖 12D 所述之本發明之構成之 CMOS 電路之情形、使用具有依圖 12E 所述之本發明之構成之

CMOS 電路之情形（任一者皆使用 Inversion Mode 之電晶體）。且輸出波形 cA、dA、eA 分別顯示使用 Accumulation Mode 之電晶體，並使用具有依圖 12C 所述之本發明之構成之 CMOS 電路之情形、使用 Accumulation Mode 之電晶體，並使用具有依圖 12D 所述之本發明之構成之 CMOS 電路之情形、使用 Accumulation Mode 之電晶體，並使用具有依圖 12E 所述之本發明之構成之平衡 CMOS 電路之情形。以 NOR 閘無法獲得波形 b。亦即以習知電路訊號無法抵達第 10 段。以具有本發明之構成之閘極，任一者皆可如圖示獲得輸出。關於 NAND 閘，雖可獲得習知電路之輸出波形 b，但可見相當程度之滯後與波形之變形，而以具有本發明之構成之閘極，任一者之滯後皆少，且亦不見波形之圓形畸變。

[第 1 實施例]

參照圖 14 即可見到其中顯示有依本發明之第 1 實施例之 MOSFET 之具體構成例。圖 14 所示之 MOSFET 係 nMOSFET，於 p 型矽基板或金屬基板 51 上具有嵌入絕緣層（BOX）52，於 BOX52 上形成有 SOI 層 53。在此，BOX52 藉由厚度 10.0nm 之 SiO_2 形成，另一方面，SOI 層 53 藉由厚度 20.0nm 之 n+矽層形成。於 SOI 層 53 形成有：

通道區域 530，具有 $3\times10^{18}\,cm^{-3}$ 之雜質濃度；及

源極區域 531 及汲極區域 532，較形成於通道區域 530 兩側之通道區域濃度高。

通道區域 530 具有 0.50μm 之通道長 L。且於通道區域 530 表面形成有 SiO_2 等效膜厚（EOT）為 1.0nm 之氮化矽所構成之閘極絕緣膜 54，且於閘極絕緣膜 54 上形成有 Ta 之閘極電極 55。閘極絕緣膜 54 及閘極電極 55 沿通道區域 530 之長度方向包覆通道區域整體，且稍微重疊源極區域 531 及汲極區域 532。源極區域 531 及汲極區域 532 之寬為 5nm，於此兩側之 SOI 層 53 上設置有藉由 Mg 矽化物所形成之源極電極 561 及汲極電極 571。於源極電極 561 及汲極電極 571 上分別連接有 Cu 所構成之源極配線層 56 及汲極

配線層 57。

在此，通道區域 530 之表面至少在去除自然氧化膜等處理後，使用將 IPA 添加 30%至氧含量為 1ppb 以下之加氫超純水中而製成之清洗液，在氮氣環境（氧含量 1ppb 以下）中，且在遮光狀態下清洗，其後接受使用高密度電漿之氮自由基所進行之直接氮化以形成閘極絕緣膜 54，此界面 P－V 值為 0.16nm 以下。亦即，通道區域 530 與閘極絕緣膜 54 之間之界面於原子尺度下極為平坦。且源極電極 561 及汲極電極 571 與通道區域之間之源極區域 531 及汲極區域 532 之厚度為 5nm，此等之電阻分別為 1.0Ω・μm。源極電極 561 及汲極電極 571 之 Mg 矽化物與源極區域 531 及汲極區域 532 係歐姆接觸，因此電阻值幾乎為零，材料之電阻值為 $4.46\times10^{-2}\Omega\cdot\mu m$，因此與源極區域 531 及汲極區域 532 之內部電阻相比係可忽視者，結果，串聯電阻幾乎為 1.0Ω・μm。依具有如此之構成之本發明第 1 實施例之 nMOSFET 可進行前述之高速工作。

[第 2 實施例]

其次將參照圖 15A～圖 15C，說明作為本發明之第 2 實施例，使包含 nMOSFET 及 pMOSFET 之 CMOS 電路構成之半導體裝置。

圖 15A 係依本發明之第 2 實施例之半導體裝置之概略立體圖。其他分別為：圖 15B 顯示圖 15A 之 A－A'線剖面圖，圖 15C 顯示圖 15A 之 B－B'線剖面圖。

第 2 實施例係可使其以同一尺寸保持電流驅動能力之平衡而設計之 SOI 型三維構造 CMOS 裝置。於此 CMOS 裝置中，pMOSFET（p 通道電晶體）僅製作於電洞遷移率大且表面平坦化容易之（551）晶面，而 nMOSFET 則除製作於電子遷移率稍劣之（551）晶面外，並使自電子遷移率大且易於進行表面平坦化之自（100）晶面偏離 4°之晶面形成於側壁而構成閘極。亦即，n 通道電晶體係三維構造，p 通道電晶體係平面構造。

如圖 15B、圖 15C 所示，吾人準備有一基板，該基板係於支

持基板 12 上具有與 200nm 厚之嵌入氧化膜 13 分離之既定厚度之（511）表面方位之矽，亦即 n 型（基板磷（P）濃度 $10^{17}cm^{-3}$）之 SOI（Silicon on Insulator, 絕緣層上覆矽）層 14－n、14－p。

為使圖示之 SOI 層 14－n、14－p 之（550）表面方位之表面及自（100）晶面偏離 4°之表面方位之側面之（P－V）值為 0.3nm 以下，吾人對其進行有前述之平坦化處理。亦即吾人將 SOI 層 14－n、14－p 於遮光狀態下，於氮氣環境中，使用加氫超純水加以清洗。

在此，SOI 層 14－n、14－p 之表面通道長度方向宜為＜110＞方向。此係由於（551）晶面之電洞遷移所產生之飽和電流量於＜110＞方向為最大。另一方面，關於（100）晶面之電子遷移所產生之飽和電流量則需考慮到結晶方向相依性小。

於圖示例，SOI 層中，形成 n 通道電晶體之區域 14－n 及形成 p 通道電晶體之區域 14－p 以外者皆藉由蝕刻予以去除。其結果，各區域 14－n、14－p 與氧化膜 13 分離並形成於其上。SOI 層可作為 i 層共通於雙方之區域，亦可作為 p 型，其後將形成 p 通道電晶體之區域 14－p 變換為 n 型。亦可於此時植入閾值調整用之雜質，以進行基板濃度調整。例如 100nm 世代時為 $4\times10^{18}cm^{-3}$。分離之各區域側面係自（100）晶面偏離 4°之晶面。此等側面中，除 n 通道電晶體區域 14－n 之通道區域側面外，其他之側面如圖 15B 所示，皆以習知之方法形成有厚氧化膜 25。

厚氧化膜 25 可藉由例如以下之方法形成。首先藉由 CVD 法沉積 45nm 以上之 SiO_2，之後，使用損害小之各向異性蝕刻於側壁殘留氧化膜並蝕刻後，遮蔽電晶體區域 14－n 區域以外之部分，藉由濕蝕刻將 n 通道電晶體區域 14－n 之通道區域之側面側壁之厚氧化膜予以去除，即可於電晶體區域 14－p 之側壁留下厚氧化膜 25。

於圖 15B，氧化膜 25 形成後進行清洗，接著以微波激發電漿裝置形成閘極絕緣膜，將 2nm 之 Si_3N_4 膜 15 分別形成於 n 通道電

晶體區域 14－n 之通道區域頂面及側面、p 通道電晶體區域 14－p 之通道區域頂面。此時亦可形成用以獲得所期望之電容之膜厚。且亦可使用 SiO_2、HfO_x、ZrO_x、La_2O_3 等金屬氧化物、$Pr_xSi_yN_z$ 等金屬氮化物等高介電常數材料製作閘極絕緣膜 15。

其後形成 Ta 膜，施以所期望之閘極長、閘極寬之蝕刻以形成閘極電極 16。其後於 nMOSFET 區域之源極、汲極層 17 離子植入砷 $4\times10^{15}cm^{-2}$，於 pMOSFET 區域之源極、汲極層 18 離子植入硼 $4\times10^{15}cm^{-2}$，以進行活性化。

且以 CVD 形成 SiO_2 膜，如圖 15C 所示，作為配線層形成閘極配線 19、輸出配線 20、汲極電極 21 及源極電極 22。此時，汲極電極 21 及源極電極 22 分別埋設於源極區域及汲極區域內，俾使自各電極至通道區域之電阻為 1.5Ω・μm 以下。在此選擇電極材料，俾使各電極與矽之間之接觸電阻 Rc 為 $10^{-11}\Omega cm^2$ 以下。亦即連接 nMOSFET 之 n+矽區域之電極係藉由自 Mg、Mn、Cd、Hf、Y、Zr 中所選擇之材料（於本實施例為 Mg）形成。另一方面，連接 pMOSFET 之 p+矽區域之電極係藉由自 Co、Ni、Pd、Ir 中所選擇之材料（於本實施例為 Ir）形成。藉此可使電極與矽區域之間之工作函數差為 0.2eV 以下。結果可使 nMOSFET、pMOSFET 中之實際互導增大。於圖示之例中，所選擇之各電極材料於與矽區域之間形成有矽化物。

且於圖示之例中，inversion 型（亦即 inversion－mode）pMOSFET100p 與 inversion 型（亦即 inversion－mode）nMOSFET100n 形成於同一基板上。此時 n 通道電晶體區域 14－n 之通道區域頂面及側面之總面積與 p 通道電晶體區域 14－p 之通道區域頂面之面積相等，兩電晶體之工作速度亦相等。

其次說明用以獲得如此之電晶體之條件。使兩電晶體 100p、100n 之通道區域長 L 相等，設 n 通道電晶體區域 14－n 之通道區域頂面寬為 Wn，其側面高為 H，設 p 通道電晶體區域 14－p 之通道區域頂面寬為 Wp。此時，俾使後述之算式（5）成立。

為使兩電晶體之工作速度相等需使後述之算式（6）成立。在此，設 nMOSFET 之偏離（100）4°之晶面及（551）晶面之互導分別為 gmn（100）及 gmn（551），設 p 通道電晶體之（511）晶面之互導為 gmp（551），此等互導 gmn（100）、gmn（551）及 gmp（551）中之任一者皆為已知。且若決定例如寬 Wn 為適當值，則可作為算式（5）及算式（6）之連立方程式之解獲得必要之高 H 及寬 Wp。

在如此之條件下，例如使寬 Wn 為 22nm，gmn（551）約為 0.7gmn（100），gmp（551）為 0.8gmn（100），則高 H 為 5.5nm，寬 Wp 為 33nm。又，於圖示之實施例兩電晶體之通道長皆為 25nm。

$$Wp=2H+Wn \quad (5)$$

$$gmp(110)\times Wp=gmn(100)\times 2H+gmp(110)\times Wn \quad (6)$$

藉此可使 nMOSFET100n 與 pMOSFET100p 之通道面積及閘極面積幾乎相同，兩電晶體之電流驅動能力，再加上工作速度幾乎相同而可獲得全平衡 CMOS。且藉由使兩電晶體之閘極面積相同，兩電晶體之閘極電容相同，可使由此等電晶體所構成之類比開關之偏離雜訊降低 15dB 之多。又，圖 15C 所示之實施例中，pMOSFET 及 nMOSFET 雙方皆藉由 inverrsion 型之電晶體所構成。圖 15C 中，$I_{inv}P$ 表示沿以箭頭顯示之方向流動於 p 通道區域內之電流。

圖 16A～圖 16C 中顯示有圖 15C 以外之三種實施例，係相當於圖 15C 之方向之剖面圖。無論於其中之任一實施例中，SOI 層之表面及側面皆接受過使（P－V）值為 0.3nm 以下之平坦化處理。且如圖 11 中所說明，需慎重選擇電極材料及電極構造以製作汲極及源極電極，俾使接觸電阻 Rc 為 $10^{-10}\Omega\,cm^2$ 以下。圖 16A～圖 16C 中，$I_{acc}n$（$I_{inv}n$）、$I_{acc}p$（$I_{inv}p$）亦分別表示沿以箭頭顯示之方向流動於 n 通道區域或 p 通道區域內之電流。

圖 16A 係 n 通道電晶體（亦即 nMOSFET）101n 及 p 通道電晶體（亦即 pMOSFET）101p 皆為 accumulation 型之例。圖 16B

係 n 通道電晶體（亦即 nMOSFET）102n 為 accumulation 型，p 通道電晶體（pMOSFET）102p 為 inversion 型之例。圖 16B 之構成係藉由相同導電型 well（n 井）與相同導電型（p^+型）之閘極電極所形成，因此具有處理較簡單之優點。且藉由使用 Accumulation 模式之 n 通道電晶體可降低 CMOS 整體之 1／f 雜訊。圖 16C 係 n 通道電晶體（nMOSFET）103n 為 inversion 型，p 通道電晶體（pMOSFET）103p 為 accumulation 型之例。此例係藉由相同導電型 well（p 井）與相同導電型（n+型）之閘極電極所形成，因此具有處理較簡單之優點。且由於僅使用 n^+型之多晶矽閘極電極，因此可防止薄膜化所造成之硼之擴散（硼易朝閘極氧化膜擴散因此會發生載體之界面遷移率劣化之現象）。且藉由使用 accumulation 型之電晶體，亦有與 inversion 型電晶體相比可增大電流驅動能力之優點。且係 accumulation 型電晶體時，藉由選擇閘極電極與通道區域之半導體層之工作函數差，形成於通道區域之空乏層厚度可較通道區域之半導體層膜厚大。

於實施例中吾人已說明關於使各電晶體區域表面為（511）晶面，側面為偏離（100）4°之晶面時之情形，然而本發明不完全限定於此，其表面亦可為自（110）晶面偏離±10°以內之晶面，其側面亦可為自（100）晶面偏離±10°以內之晶面。且亦可同樣適用於其表面為（100）晶面或自（100）晶面偏離±10°以內之晶面，其側面為（110）晶面或自（110）晶面偏離±10°以內之晶面之情形。

<u>產業上利用性</u>

以上吾人已說明關於 nMOSFET、pMOSFET 之單體電晶體及藉由此等電晶體所構成之 CMOS 電路，但本發明並不限定於此，其亦可適用於各種元件及電路。

【圖式簡單說明】

圖 1A 係顯示習知之 pMOSFET 之閘極電壓 VG－汲極電流 ID 特性之曲線圖。

圖 1B 係顯示習知之 nMOSFET 之閘極電壓 VG－汲極電流 ID 特性之曲線圖。

圖 2 係示意地顯示習知之 MOSFET 之構造圖。

圖 3 係顯示依本發明之 MOSFET 之概略構成圖。

圖 4A 係顯示依本發明之 nMOSFET 之汲極電流 ID－閘極電壓 VG 特性之模擬結果圖。

圖 4B 係顯示依本發明之 nMOSFET 之互導 gm－閘極電壓 VG 特性之模擬結果圖。

圖 5A 係顯示依本發明之 pMOSFET 之汲極電流 ID－閘極電壓 VG 特性之模擬結果圖。

圖 5B 係顯示依本發明之 pMOSFET 之互導 gm－閘極電壓 VG 特性之模擬結果圖。

圖 6A 係顯示依本發明之 pMOSFET 之線性區域中之 ID－VG 特性圖。

圖 6B 係顯示依本發明之 nMOSFET 之線性區域中之 ID－VG 特性圖。

圖 6C 係顯示依本發明之 pMOSFET 之線性區域中之 gm－VG 特性圖。

圖 6D 係顯示依本發明之 nMOSFET 之線性區域中之 gm－VG 特性圖。

圖 7A 係顯示依本發明之 pMOSFET 之飽和區域中之 ID－VG 特性圖。

圖 7B 係顯示依本發明之 nMOSFET 之飽和區域中之 ID－VG 特性圖。

圖 7C 係顯示依本發明之 pMOSFET 之飽和區域中之 gm－VG 特性圖。

圖 7D 係顯示依本發明之 nMOSFET 之飽和區域中之 gm－VG 特性圖。

圖 8A 係顯示依本發明之 MOSFET 中之矽表面狀態之示意圖。

圖 8B 係顯示依本發明之 MOSFET 中之矽表面狀態之顯微鏡攝影。

圖 9A 係顯示通道電場 Eeff 與遷移性之關係圖。

圖 9B 係顯示矽／閘極絕緣膜界面之平坦性與遷移性之關係圖。

圖 10A 係顯示依本發明之 nMOSFET 中之矽／閘極絕緣膜界面之平坦性與遷移性之關係圖。

圖 10B 係顯示依本發明之 pMOSFET 中之矽／閘極絕緣膜界面之平坦性與遷移性之關係圖。

圖 11 係顯示電極與矽區域之間之接觸電阻 Rc 與工作函數差之關係之曲線圖。

圖 12A 係顯示藉由 MOSFET 所構成之 CMOS 電路之構成圖。

圖 12B 係習知技術之 MOSFET 之汲極電壓－汲極電流之特性圖。

圖 12C 係依本發明之 MOSFET 之汲極電壓－汲極電流之特性圖。

圖 12D 係依本發明之 MOSFET 之汲極電壓－汲極電流之特性圖。

圖 12E 係依本發明之 MOSFET 之汲極電壓－汲極電流之特性圖。

圖 13A 係顯示裝置構造與工作速度之關係圖。

圖 13B 係顯示習知之 CMOS 電路及依本發明之 CMOS 電路之輸出入特性圖。

圖 13C 係顯示習知之 CMOS 電路及依本發明之 CMOS 電路之輸出入特性圖。

圖 13D 係顯示習知之 CMOS 電路及依本發明之 CMOS 電路之輸出入特性圖。

圖 14 係將依本發明之第 1 實施例之 MOSFET 之構成加以具體說明之剖面圖。

圖 15A 係依本發明之第 2 實施例之半導體裝置(CMOS 電路)之概略立體圖。

圖 15B 係圖 15A 之 A－A'線之剖面圖。

圖 15C 顯示圖 15A 之 B－B'線之剖面圖。

圖 16A 係顯示依本發明之另一實施例之 CMOS 電路之構成圖。

圖 16B 係顯示依本發明之又一實施例之 CMOS 電路之構成圖。

圖 16C 係顯示依本發明之再一實施例之 CMOS 電路之構成圖。

【主要元件符號說明】

VG　閘極電壓

ID　汲極電流

VD　汲極電壓

Vth　閾值電壓

CHr　通道區域

Sr　源極區域

Dr　汲極區域

Fg　閘極絕緣膜

Eg　閘極電極

Es　源極電極

Ed　汲極電極

Rc　接觸電阻

Rn+（Rp+）　區域電阻

gmi　純互導

μeff　實際遷移率

W　通道寬度

L　通道長度

Tox　實際閘極絕緣膜厚

Eox　閘極絕緣膜之介電常數

Rs、Rd　串聯電阻

gmeff　實際互導

CL　電容

τ　工作延遲時間

μc　庫侖散射所造成之通道區域中之載體遷移率

μp　聲子散射所造成之通道區域中之載體遷移率

μr　界面散射所造成之通道區域中之載體遷移率

C1～C3、C11～C13、C21～C24、C21a～C24a　曲線

gm　互導

（1）～（6）　算式

EOT　閘極絕緣膜厚

Ra　平均粗度

Eeff　通道電場

Λ　源極－汲極方向之通道長度

Eff　電場

$q\Phi_{BN}$、$q\Phi_{BP}$　工作函數差（阻障高度）

e、b、d　輸出訊號

L　通道長

Lee　實際通道長

VDD　電源電壓

b、c、d、e、cA、dA、eA　輸出波形

51　金屬基板

52　嵌入絕緣層（BOX）

53　SOI層

530　通道區域

531　源極區域

532　汲極區域

54　閘極絕緣膜

55　閘極電極

561　源極電極

571　汲極電極

56　源極配線層

57　汲極配線層

12　支持基板

13　嵌入氧化膜

14-n　形成 n 通道電晶體之區域（SOI 層）

14-p　形成 p 通道電晶體之區域（SOI 層）

25　厚氧化膜

15　Si_3N_4 膜、閘極絕緣膜

16　閘極電極

17、18　源極、汲極層

19　閘極配線

20　輸出配線

21　汲極電極

22　源極電極

100p　inversion 型 pMOSFET

100n　inversion 型 nMOSFET

Wn　n 通道電晶體區域 14－n 之通道區域頂面寬

H　n 通道電晶體區域 14－n 之通道區域側面高

Wp　p 通道電晶體區域 14－p 之通道區域頂面寬

gmn（100）　nMOSFET 之偏離（100）4°之晶面之互導

gmn（551）　nMOSFET 之（551）晶面之互導

gmp（551）　p 通道電晶體之（511）晶面之互導

101n、102n、103n　n 通道電晶體

101p、102p、103p　p 通道電晶體

2014 年 1 月 28 日修正替換頁
99122856(無劃線版)

七、申請專利範圍：

1.一種半導體裝置，具有包含至少一對彼此互異之導電型電晶體的一電路，其特徵在於包含：

n 通道電晶體，具有第 1 半導體層與包覆其表面至少一部分之第 1 閘極絕緣層；及

p 通道電晶體，具有第 2 半導體層與包覆其表面至少一部分之第 2 閘極絕緣層；

且形成該第 1 半導體層通道之第 1 區域表面具有（100）晶面或自（100）晶面偏離±10°以內之晶面，及（110）晶面或自（110）晶面偏離±10°以內之晶面之至少其中一者；

形成該第 2 半導體層通道之第 2 區域表面具有（110）晶面或自（110）晶面偏離±10°以內之晶面，及（100）晶面或自（100）晶面偏離±10°以內之晶面之至少其中一者；

該第 1 半導體層之該第 1 區域頂面及該第 2 半導體層之該第 2 區域頂面皆由（110）晶面或自（110）晶面偏離±10°以內之晶面所構成；

且於該第 1 半導體層之其中一或兩側面上設置有形成通道之第 3 區域，該第 3 區域表面具有（100）晶面或自（100）晶面偏離±10°以內之晶面；

將該第 1 區域頂面之寬及長、該第 2 區域頂面之寬及長以及該第 3 區域表面之高及長定成使得該第 1 區域頂面之面積與該第 3 區域表面之面積的總和與該第 2 區域頂面之面積實質上相等或同等，且該 n 通道電晶體與該 p 通道電晶體之工作速度實質上相等或同等。

2.如申請專利範圍第 1 項之半導體裝置，其中

於該第 1 及該第 2 區域之各兩端分別具有源極區域及汲極區域與源極電極及汲極電極；

由各該第 1 及第 2 區域至各自的兩端之各該源極電極、汲極電極為止之電阻係 4Ω・μm 以下；

且該第1區域與該第1閘極絕緣層之界面及該第2區域與該第2閘極絕緣層之界面其平坦度為沿各區域自源極朝汲極之方向長度2nm內之峰至谷值在0.3nm以下。

3.如申請專利範圍第2項之半導體裝置，其中和該第1區域兩端之源極電極及汲極電極的至少源極區域及汲極區域分別連接之接觸部，係由第1金屬矽化物所構成；和該第2區域兩端之源極電極及汲極電極的至少源極區域及汲極區域分別連接之接觸部，係由不同於該第1金屬矽化物之第2金屬矽化物所構成。

4.如申請專利範圍第3項之半導體裝置，其中該第1金屬矽化物係由工作函數為-4.37eV以上之材料所構成，該第2金屬矽化物係由工作函數為-4.85eV以下之材料所構成。

5.如申請專利範圍第2項之半導體裝置，其中該第1區域兩端之源極區域及汲極區域係由工作函數為-4.37eV以上之第1金屬或金屬矽化物所構成，其與源極電極及汲極電極之至少一部分共用；該第2區域兩端之源極區域及汲極區域係由工作函數為-4.85eV以下之第2金屬或金屬矽化物所構成，其與源極電極及汲極電極之至少一部分共用。

6.如申請專利範圍第1項之半導體裝置，其中該n通道電晶體及該p通道電晶體皆係常閉式者，且該n通道電晶體及該p通道電晶體之其中一者係反相型及累積型之其中一種，而兩電晶體的其中另一者係反相型及累積型之該其中一種或另一種。

7.如申請專利範圍第6項之半導體裝置，其中該累積型電晶體之通道區域係由SOI層所構成，且該SOI層之厚度小於該通道區域之源極區域附近之空乏層之厚度。

8.如申請專利範圍第7項之半導體裝置，其中將該SOI層之厚度、該SOI層之雜質濃度及在該通道區域上閘極電極之工作函數決定成使得該累積型電晶體之閘極電壓與源極電壓電位相同時，通道區域之源極區域側端部由空乏層所占滿。

2014 年 1 月 28 日修正替換頁
99122856(無劃線版)

八、圖式：

圖式

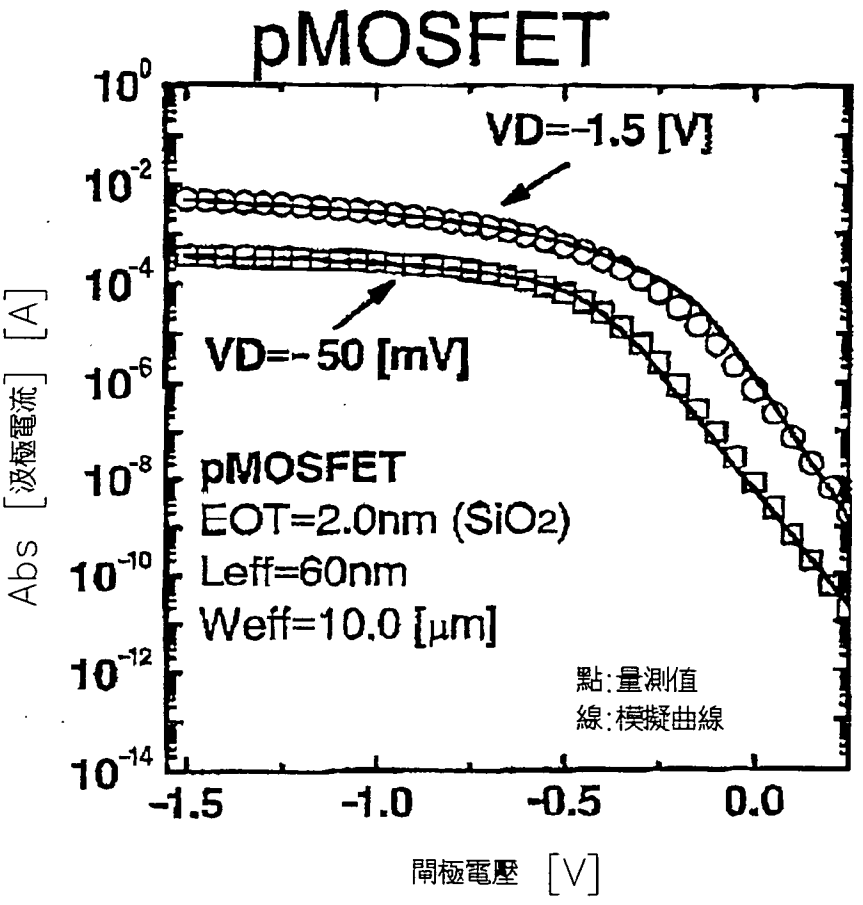

pMOSFET
VD=-1.5 [V]
VD=-50 [mV]
pMOSFET
EOT=2.0nm (SiO2)
Leff=60nm
Weff=10.0 [μm]
點:量測值
線:模擬曲線
Abs [汲極電流] [A]
閘極電壓 [V]
10^0
10^-2
10^-4
10^-6
10^-8
10^-10
10^-12
10^-14
-1.5
-1.0
-0.5
0.0

圖 1A

圖式

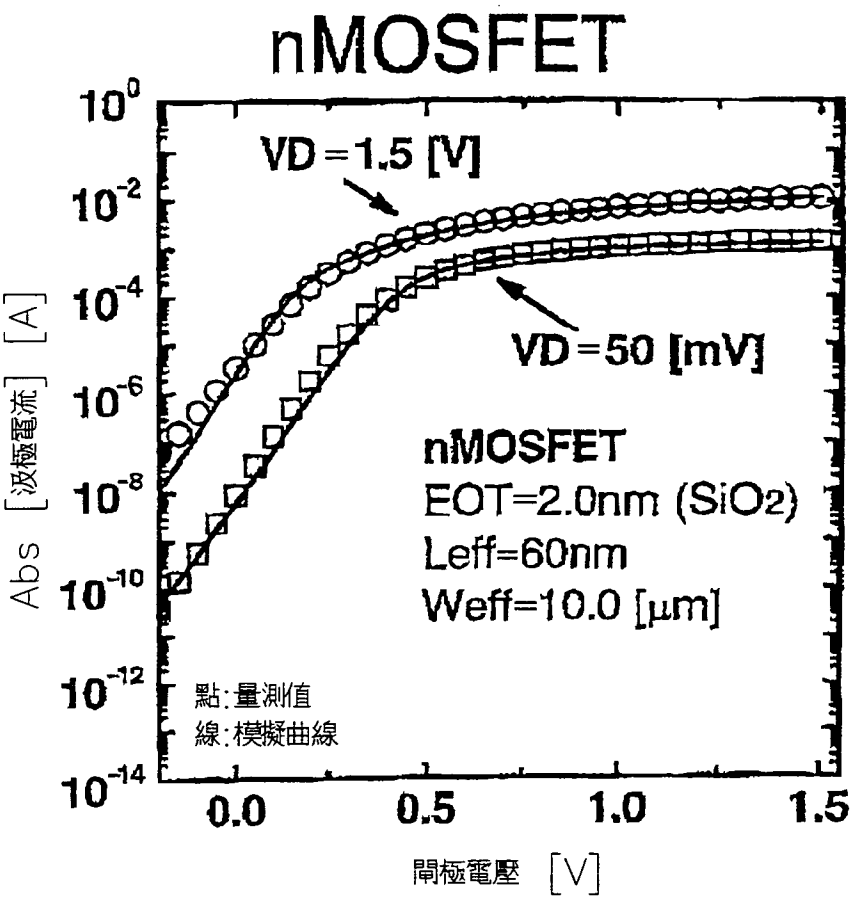

nMOSFET
VD=1.5 [V]
VD=50 [mV]
nMOSFET
EOT=2.0nm (SiO2)
Leff=60nm
Weff=10.0 [μm]
點:量測值
線:模擬曲線
Abs [汲極電流] [A]
閘極電壓 [V]
10^0
10^-2
10^-4
10^-6
10^-8
10^-10
10^-12
10^-14
0.0
0.5
1.0
1.5

圖 1B

圖式

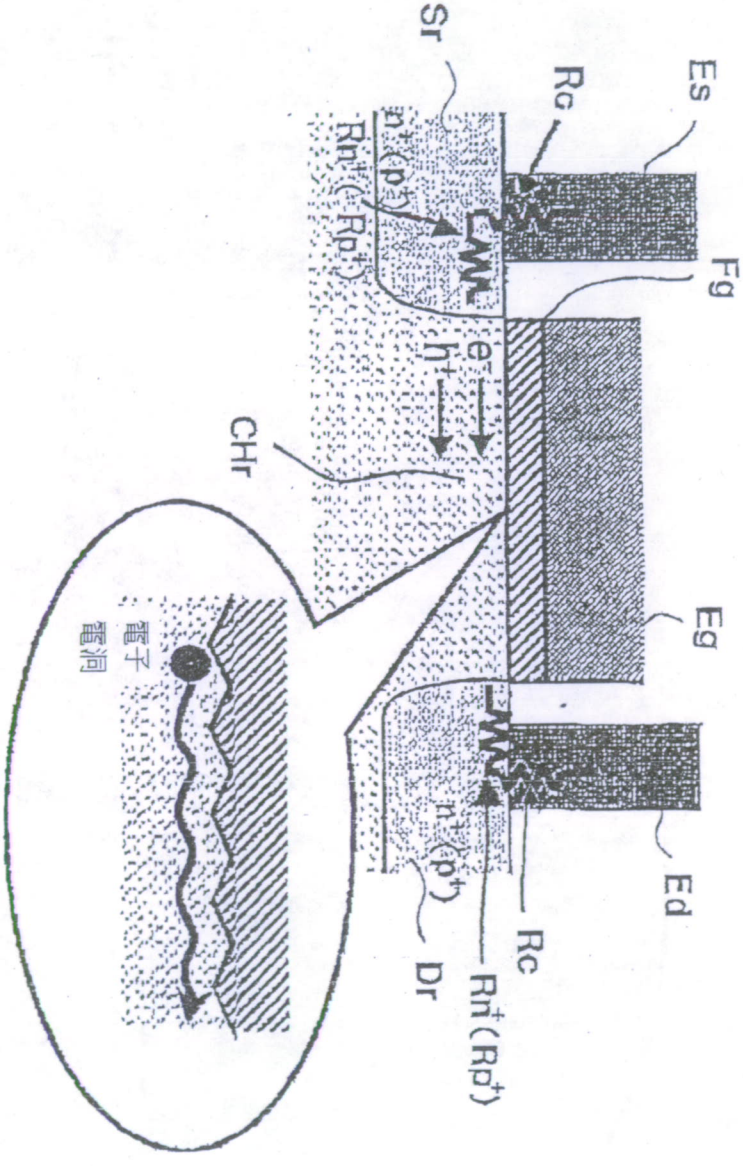


圖 2

圖式

2014 年 1 月 28 日修正替換頁
99122856 (無劃線版)

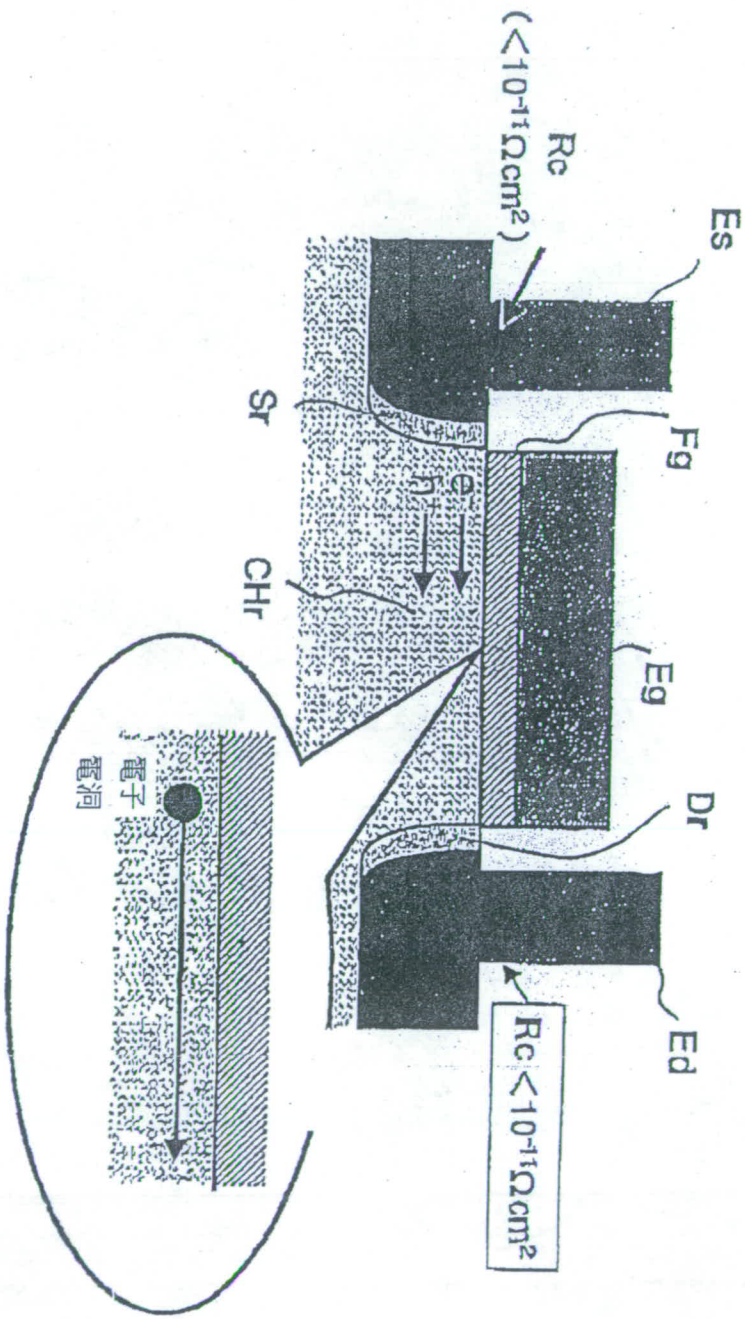


圖 3

圖式

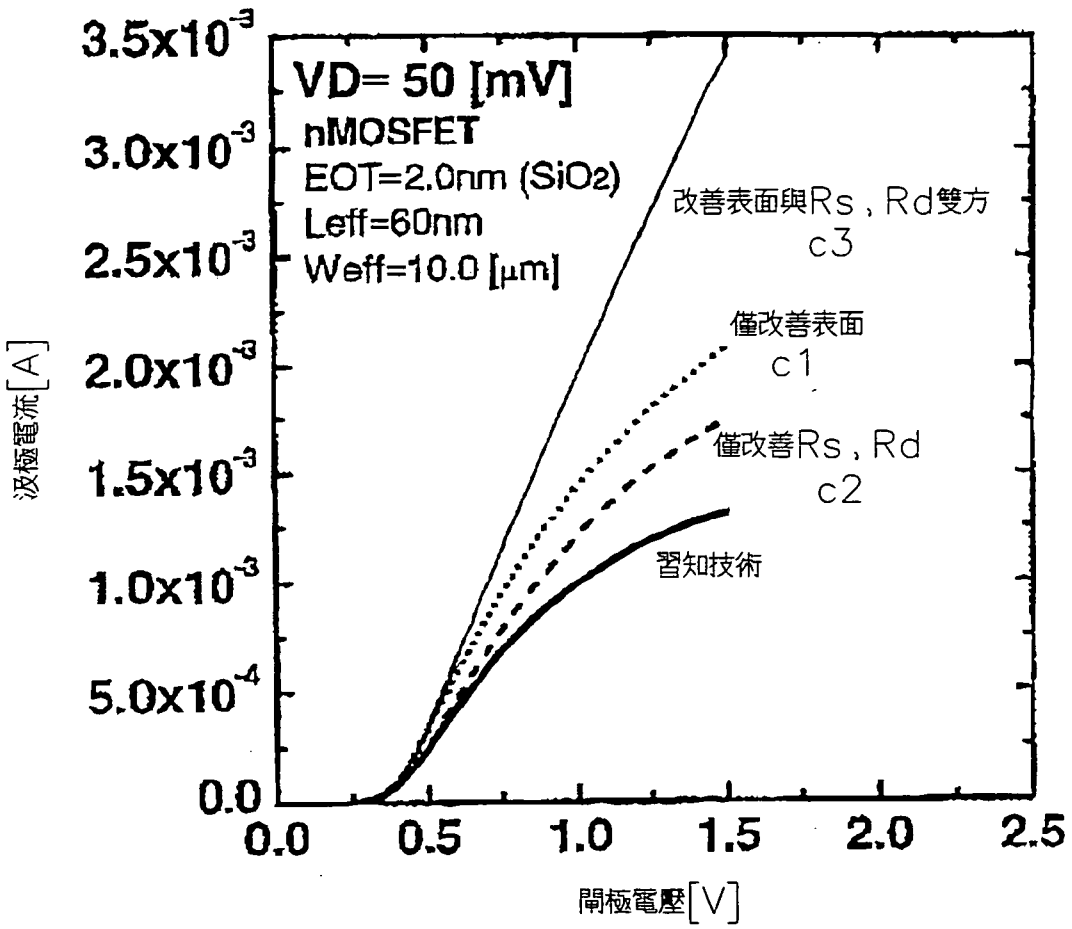

ID-VG
VD= 50 [mV]
nMOSFET
EOT=2.0nm (SiO2)
Leff=60nm
Weff=10.0 [μm]
3.5x10-3
3.0x10-3
2.5x10-3
2.0x10-3
1.5x10-3
1.0x10-3
5.0x10-4
0.0
0.0
0.5
1.0
1.5
2.0
2.5
汲極電流[A]
閘極電壓[V]
改善表面與Rs，Rd雙方
c3
僅改善表面
c1
僅改善Rs，Rd
c2
習知技術

圖 4A

圖式

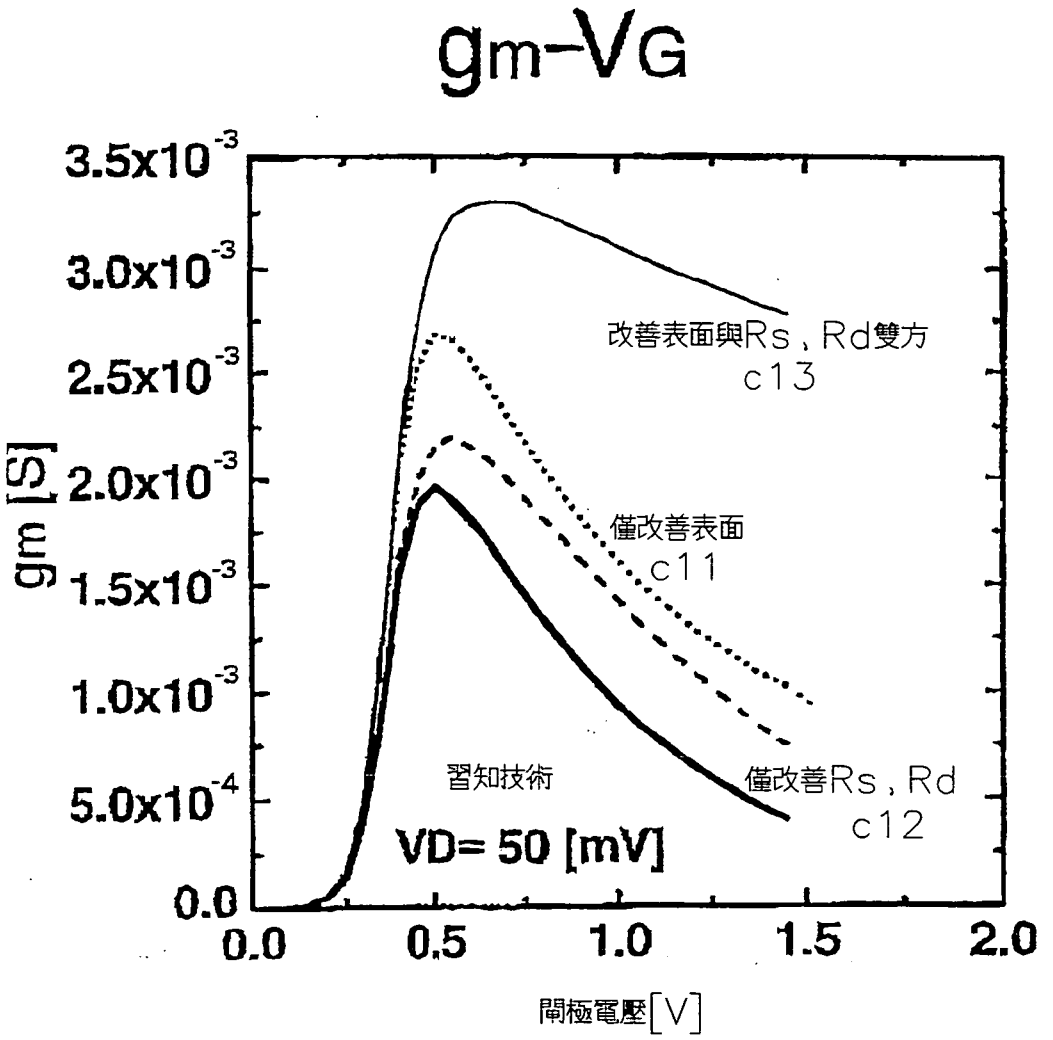

gm-VG
3.5x10-3
3.0x10-3
2.5x10-3
2.0x10-3
1.5x10-3
1.0x10-3
5.0x10-4
0.0
gm [S]
0.0
0.5
1.0
1.5
2.0
閘極電壓[V]
改善表面與Rs，Rd雙方
c13
僅改善表面
c11
習知技術
僅改善Rs，Rd
c12
VD= 50 [mV]

圖 4B

圖式

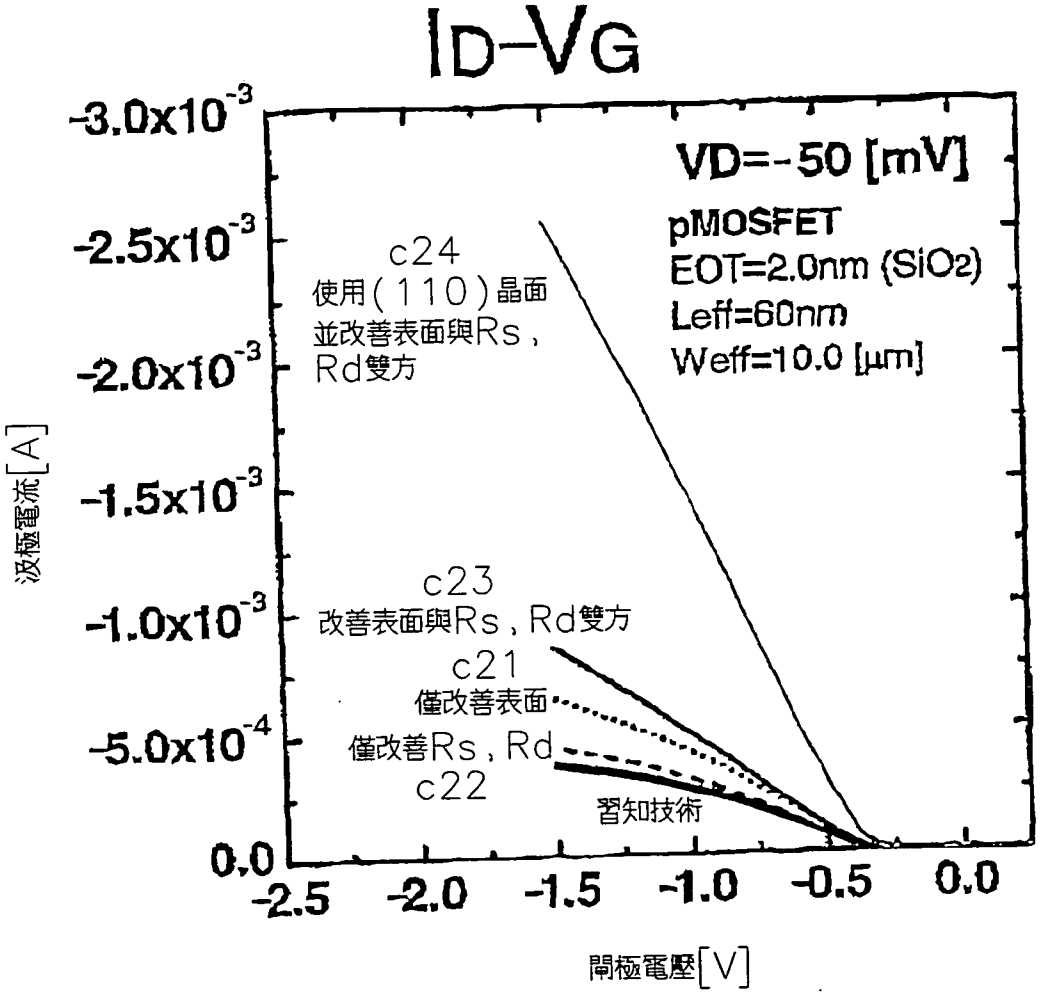

ID-VG
VD=-50 [mV]
pMOSFET
EOT=2.0nm (SiO2)
Leff=60nm
Weff=10.0 [μm]
c24
使用(110)晶面
並改善表面與Rs，
Rd雙方
c23
改善表面與Rs，Rd雙方
c21
僅改善表面
僅改善Rs，Rd
c22
習知技術
汲極電流[A]
-3.0x10-3
-2.5x10-3
-2.0x10-3
-1.5x10-3
-1.0x10-3
-5.0x10-4
0.0
-2.5
-2.0
-1.5
-1.0
-0.5
0.0
閘極電壓[V]

圖 5A

圖式

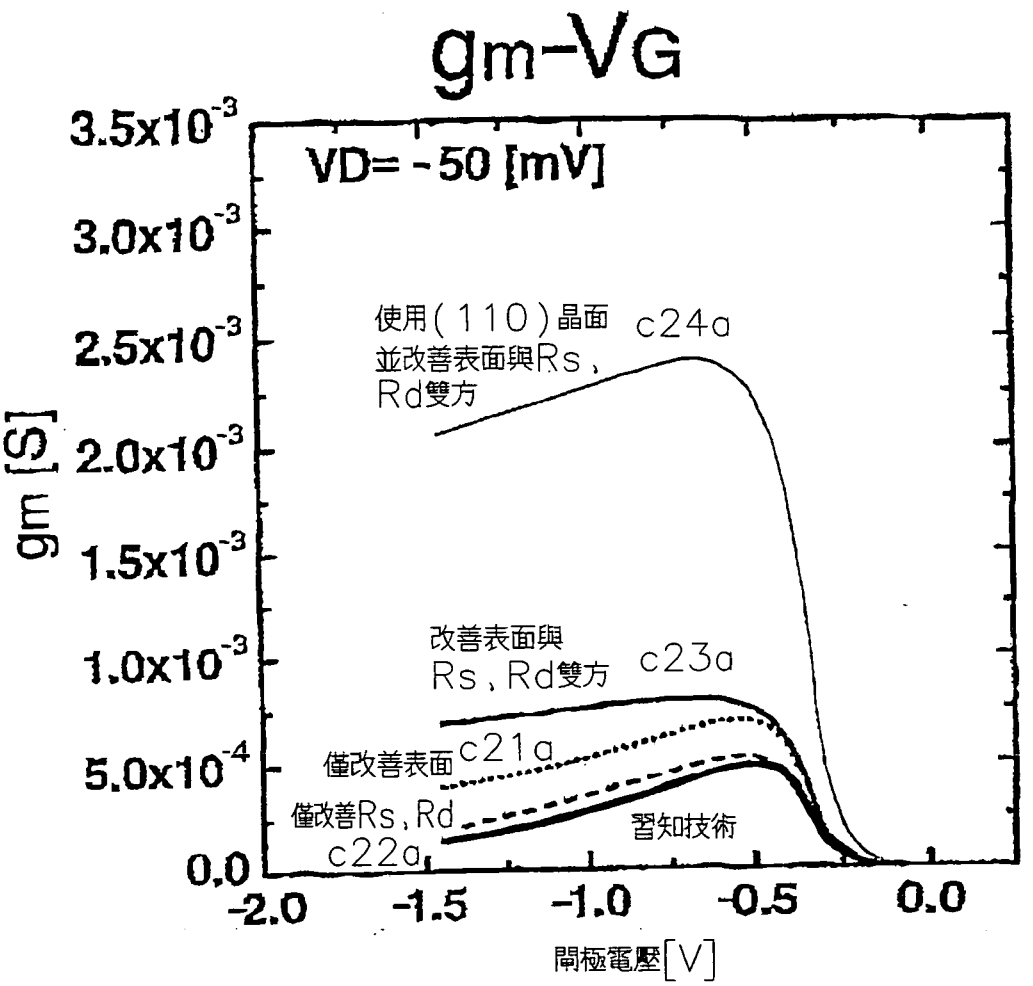

gm-VG
VD= -50 [mV]
gm [S]
3.5x10-3
3.0x10-3
2.5x10-3
2.0x10-3
1.5x10-3
1.0x10-3
5.0x10-4
0.0
-2.0
-1.5
-1.0
-0.5
0.0
閘極電壓[V]
使用(110)晶面並改善表面與Rs，Rd雙方 c24a
改善表面與Rs，Rd雙方 c23a
僅改善表面 c21a
僅改善Rs，Rd c22a
習知技術

圖 5B

圖式

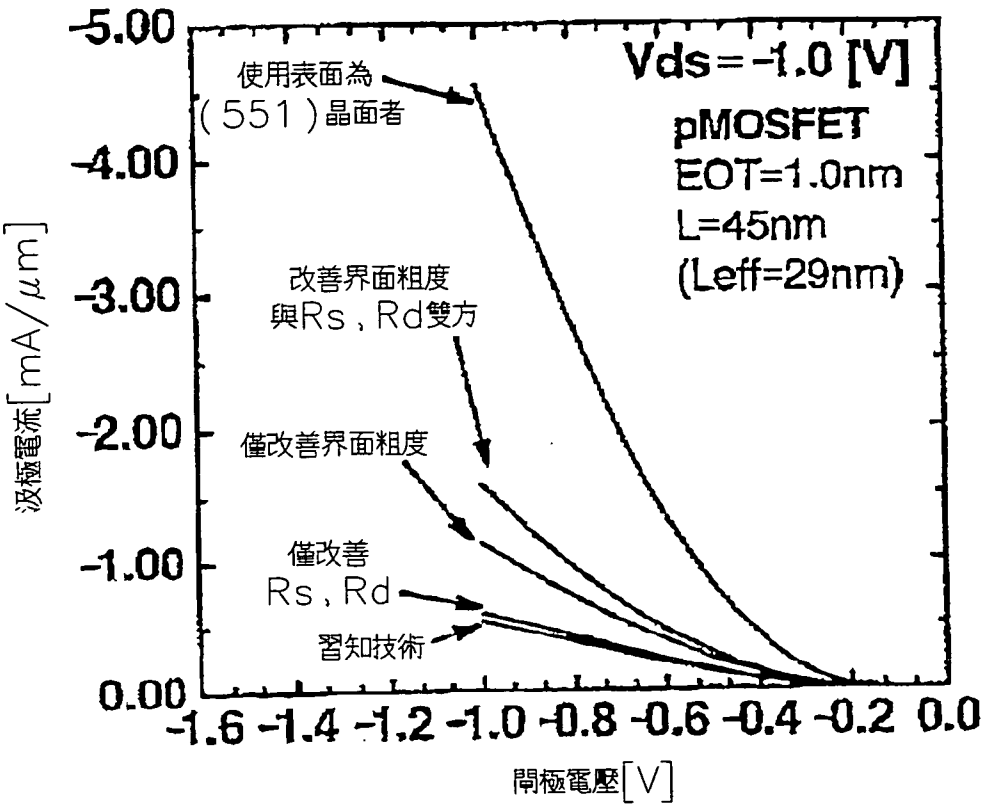

-5.00
-4.00
-3.00
-2.00
-1.00
0.00
-1.6 -1.4 -1.2 -1.0 -0.8 -0.6 -0.4 -0.2 0.0
汲極電流[mA/μm]
閘極電壓[V]
Vds=-1.0 [V]
pMOSFET
EOT=1.0nm
L=45nm
(Leff=29nm)
使用表面為
(551)晶面者
改善界面粗度
與Rs，Rd雙方
僅改善界面粗度
僅改善
Rs，Rd
習知技術

圖 6A

圖式

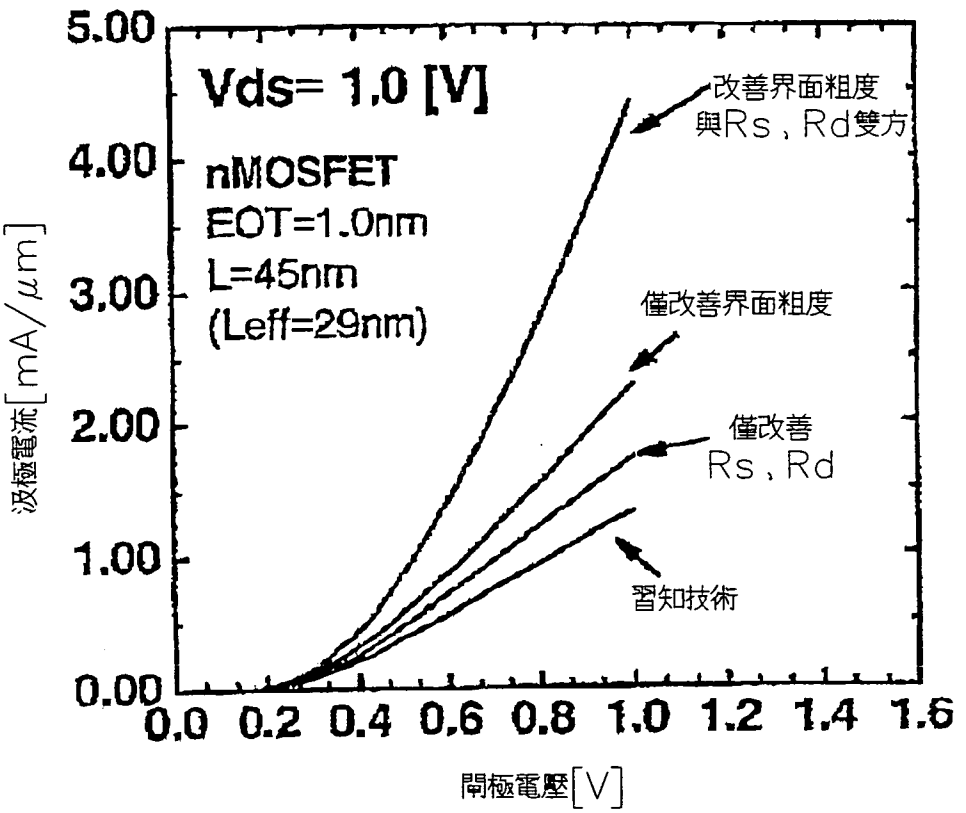

5.00
4.00
3.00
2.00
1.00
0.00
0.0 0.2 0.4 0.6 0.8 1.0 1.2 1.4 1.6
Vds= 1.0 [V]
nMOSFET
EOT=1.0nm
L=45nm
(Leff=29nm)
改善界面粗度
與Rs，Rd雙方
僅改善界面粗度
僅改善
Rs，Rd
習知技術
汲極電流[mA/μm]
閘極電壓[V]

圖 6B

圖式

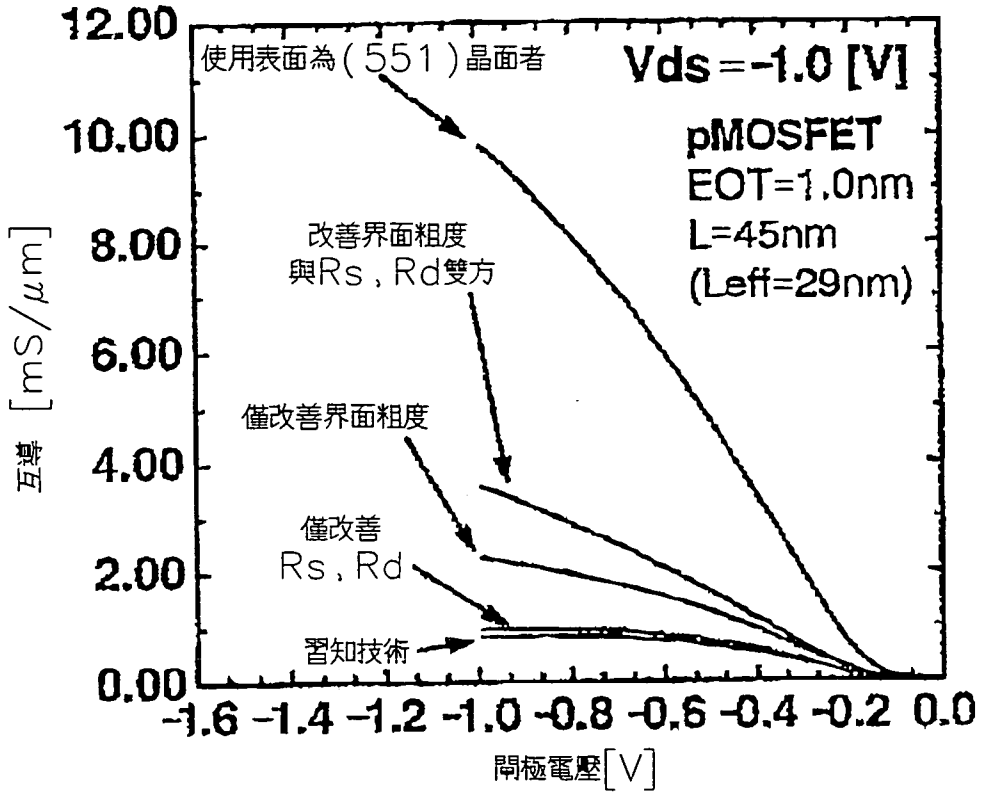

12.00
10.00
8.00
6.00
4.00
2.00
0.00
互導 [mS/μm]
使用表面為(551)晶面者
Vds=-1.0 [V]
pMOSFET
EOT=1.0nm
L=45nm
(Leff=29nm)
改善界面粗度
與Rs, Rd雙方
僅改善界面粗度
僅改善
Rs, Rd
習知技術
-1.6 -1.4 -1.2 -1.0 -0.8 -0.6 -0.4 -0.2 0.0
閘極電壓[V]

圖 6C

圖式

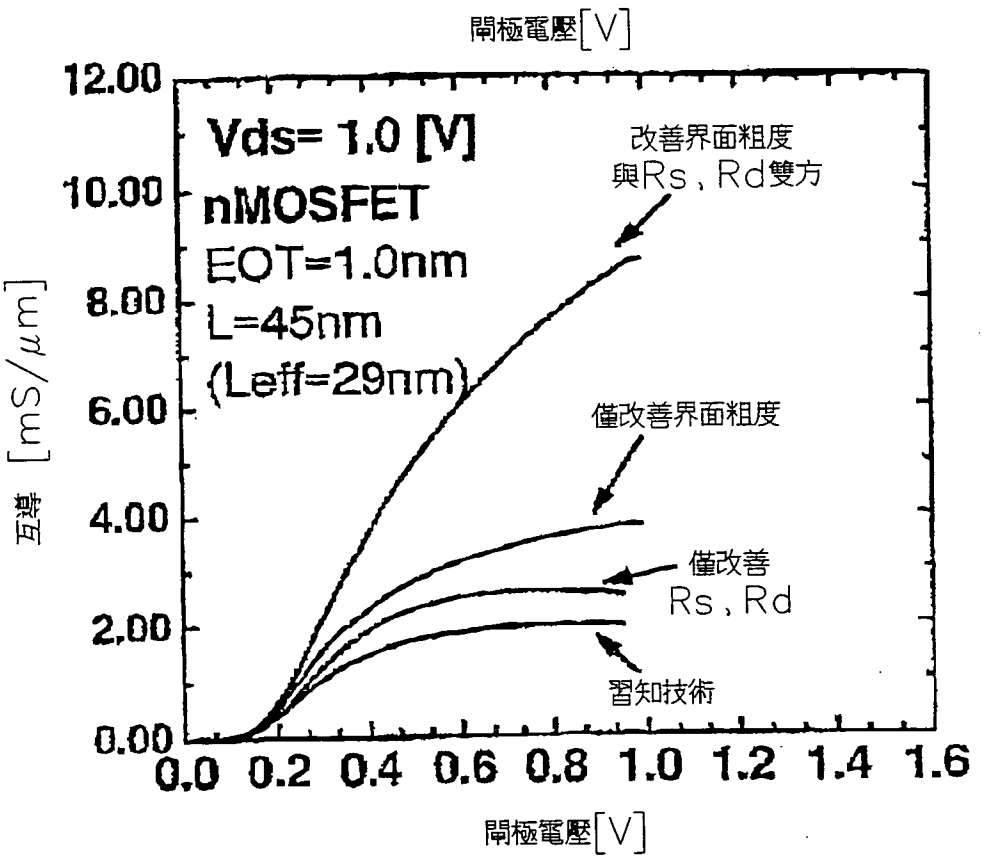

閘極電壓[V]
12.00
10.00
8.00
6.00
4.00
2.00
0.00
互導 [mS/μm]
Vds= 1.0 [V]
nMOSFET
EOT=1.0nm
L=45nm
(Leff=29nm)
改善界面粗度
與Rs，Rd雙方
僅改善界面粗度
僅改善
Rs，Rd
習知技術
0.0 0.2 0.4 0.6 0.8 1.0 1.2 1.4 1.6
閘極電壓[V]

圖 6D

圖式

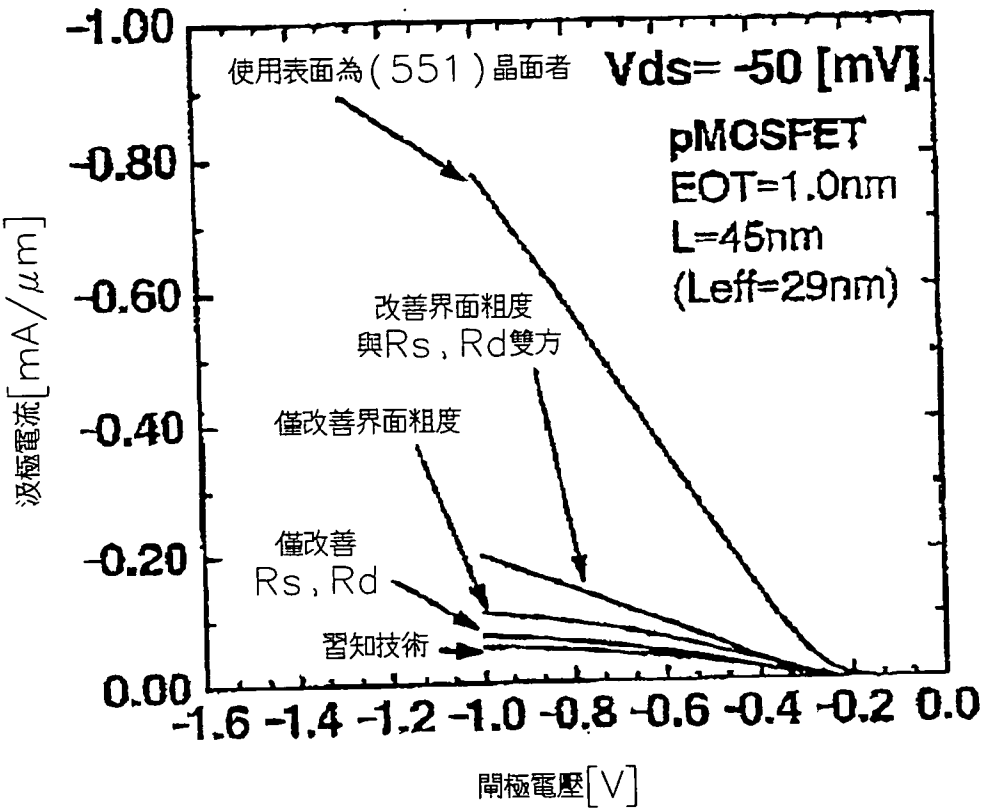

使用表面為(551)晶面者
Vds= -50 [mV]
pMOSFET
EOT=1.0nm
L=45nm
(Leff=29nm)
改善界面粗度
與Rs, Rd雙方
僅改善界面粗度
僅改善
Rs, Rd
習知技術
汲極電流[mA/μm]
閘極電壓[V]
-1.00
-0.80
-0.60
-0.40
-0.20
0.00
-1.6 -1.4 -1.2 -1.0 -0.8 -0.6 -0.4 -0.2 0.0

圖 7A

圖式

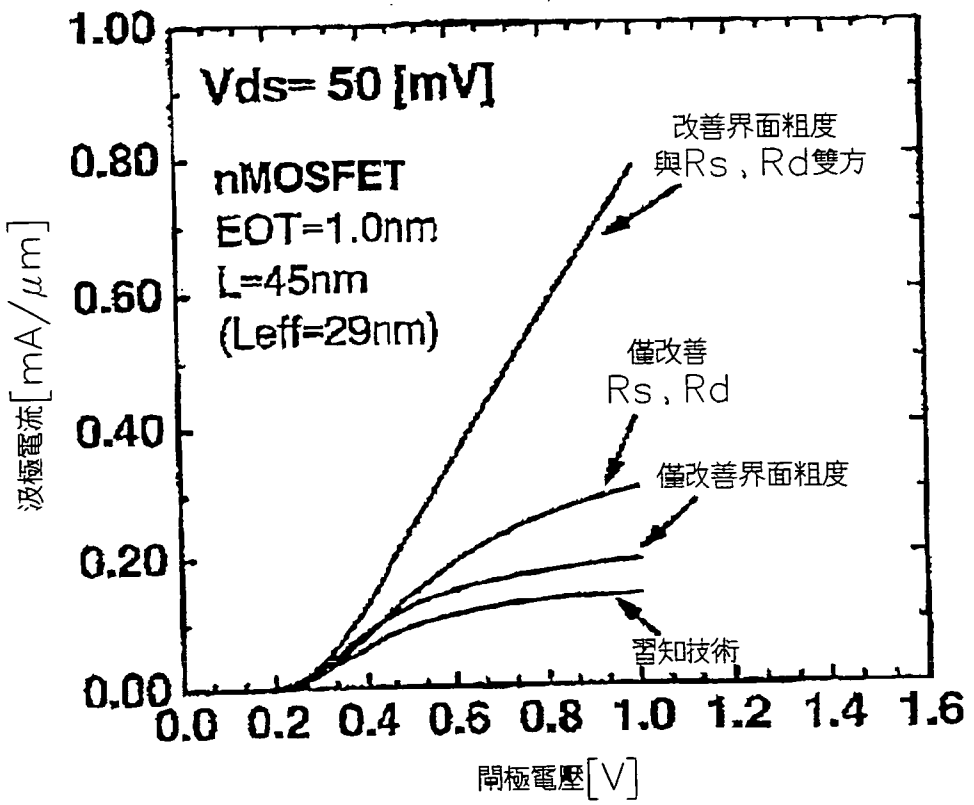

1.00
0.80
0.60
0.40
0.20
0.00
Vds= 50 [mV]
nMOSFET
EOT=1.0nm
L=45nm
(Leff=29nm)
改善界面粗度
與Rs，Rd雙方
僅改善
Rs，Rd
僅改善界面粗度
習知技術
汲極電流[mA/μm]
0.0 0.2 0.4 0.6 0.8 1.0 1.2 1.4 1.6
閘極電壓[V]

圖 7B

圖式

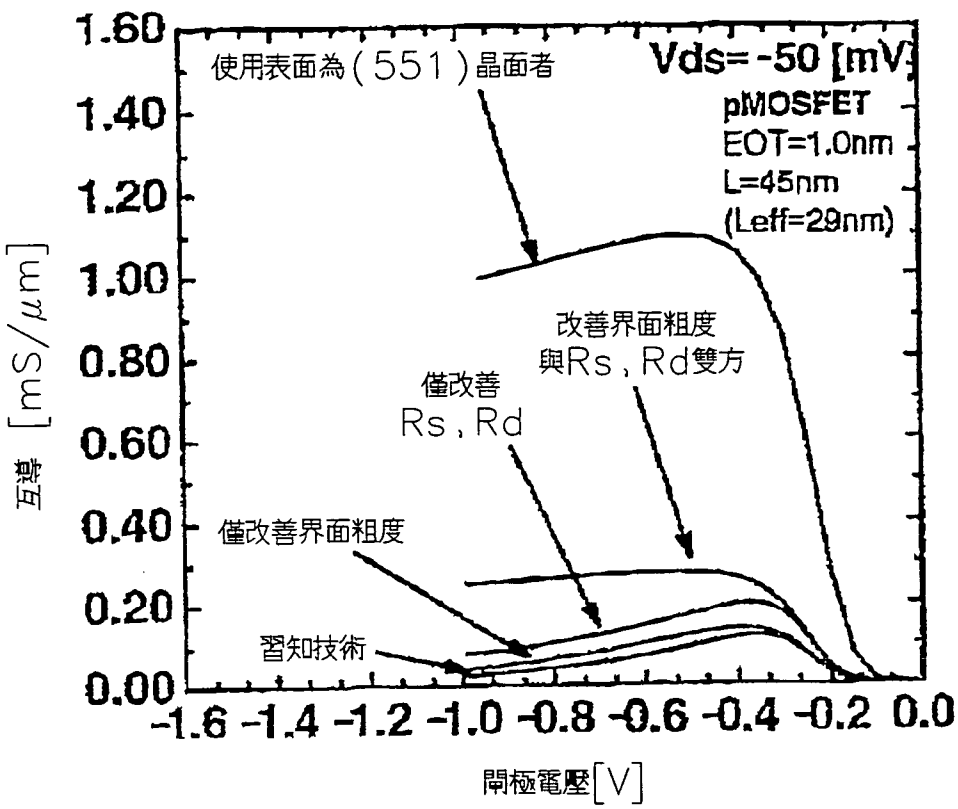

使用表面為(551)晶面者
Vds=-50 [mV]
pMOSFET
EOT=1.0nm
L=45nm
(Leff=29nm)
改善界面粗度
與Rs，Rd雙方
僅改善
Rs，Rd
僅改善界面粗度
習知技術
互導 [mS/μm]
1.60
1.40
1.20
1.00
0.80
0.60
0.40
0.20
0.00
-1.6 -1.4 -1.2 -1.0 -0.8 -0.6 -0.4 -0.2 0.0
閘極電壓[V]

圖 7C

圖式

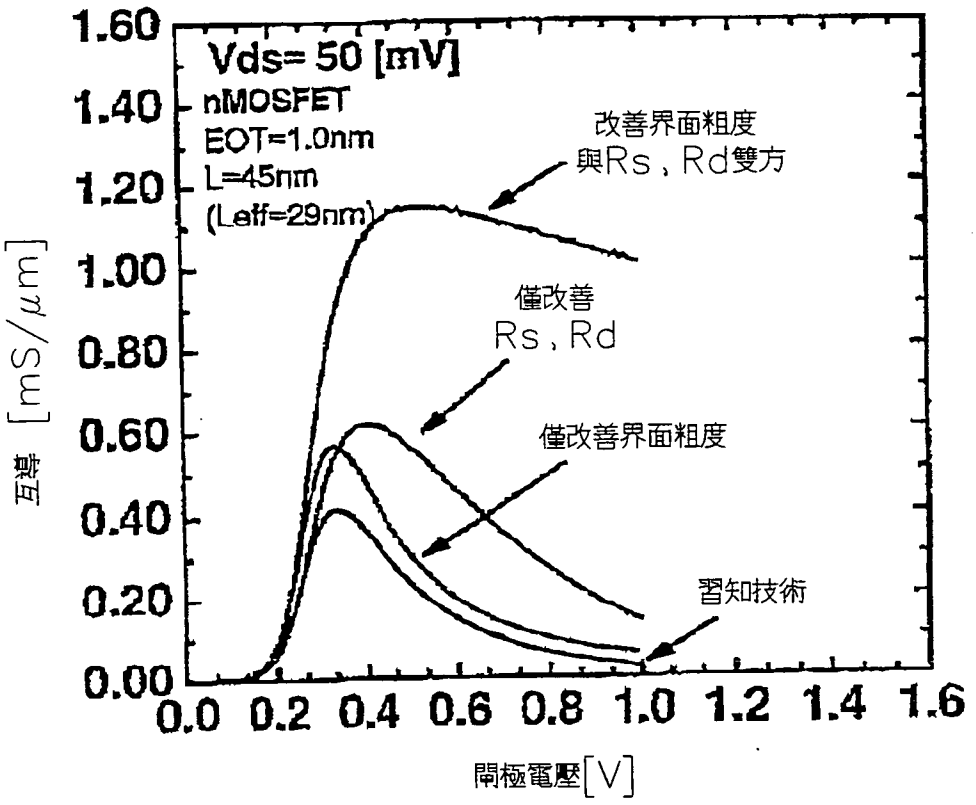
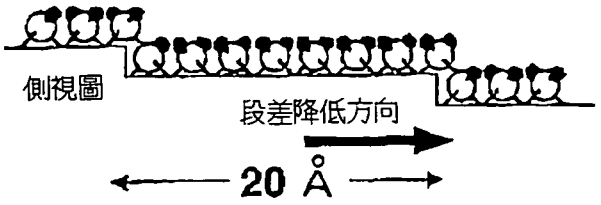

Vds= 50 [mV]
nMOSFET
EOT=1.0nm
L=45nm
(Leff=29nm)
改善界面粗度
與Rs，Rd雙方
僅改善
Rs，Rd
僅改善界面粗度
習知技術
互導 [mS/μm]
閘極電壓[V]
1.60
1.40
1.20
1.00
0.80
0.60
0.40
0.20
0.00
0.0 0.2 0.4 0.6 0.8 1.0 1.2 1.4 1.6

圖 7D

圖式

自(100)偏離4°之晶面



(551)晶面[自(110)偏離8°之晶面]

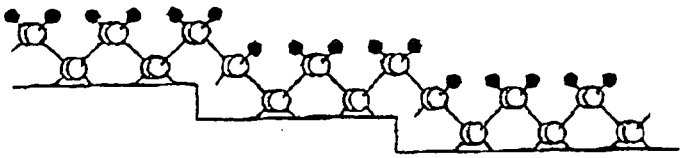


圖 8A

圖式

IPA濃度30%

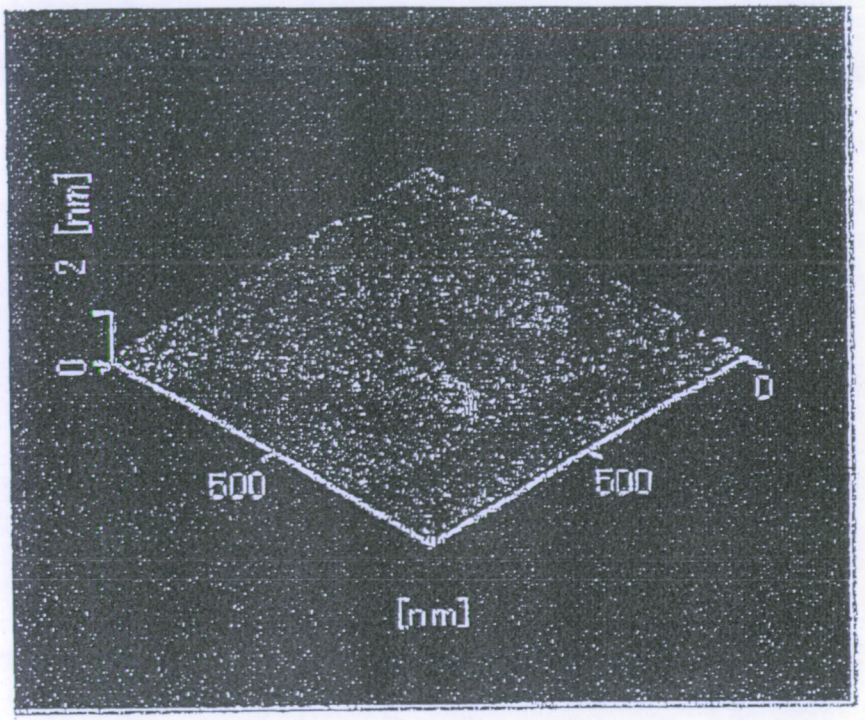


圖 8B

圖式

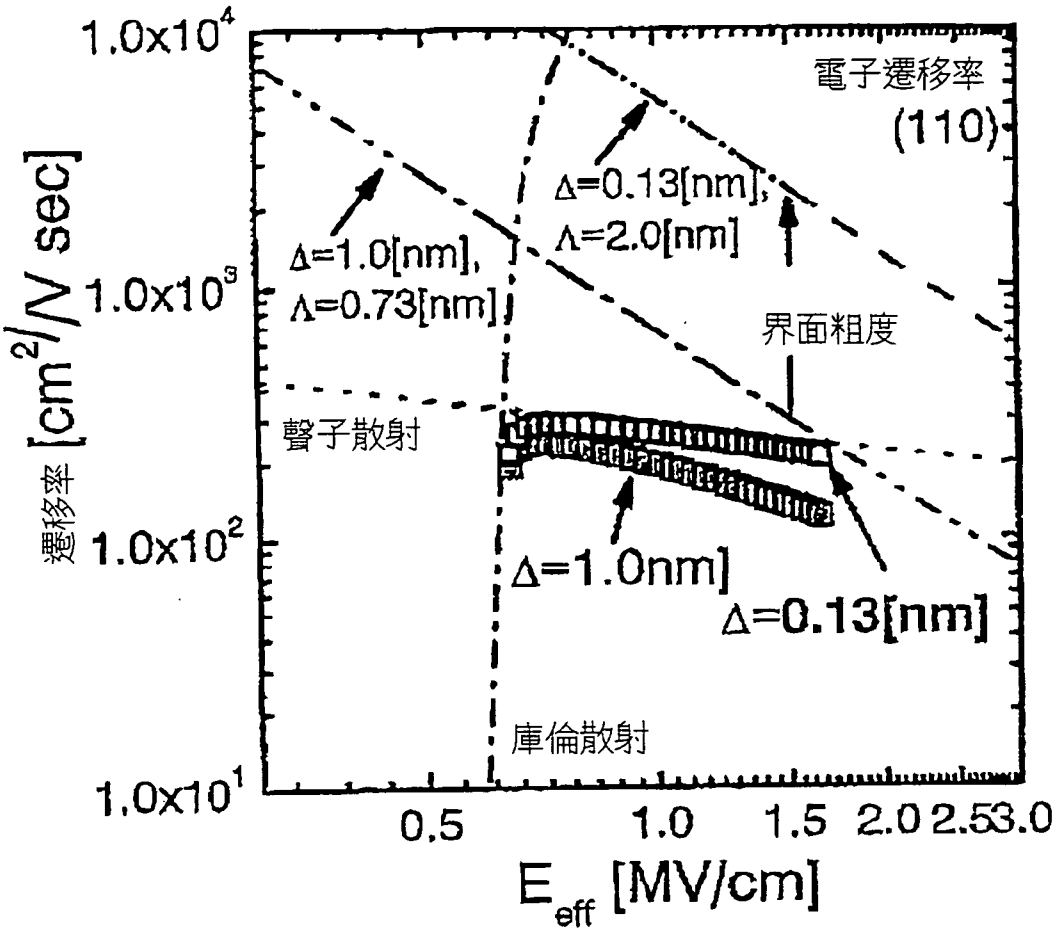

1.0x10^4
1.0x10^3
1.0x10^2
1.0x10^1
遷移率 [cm^2/V sec]
電子遷移率
(110)
Δ=0.13[nm],
Λ=2.0[nm]
Δ=1.0[nm],
Λ=0.73[nm]
界面粗度
聲子散射
Δ=1.0nm]
Δ=0.13[nm]
庫倫散射
0.5
1.0
1.5
2.0
2.5
3.0
E_eff [MV/cm]

圖 9A

圖式

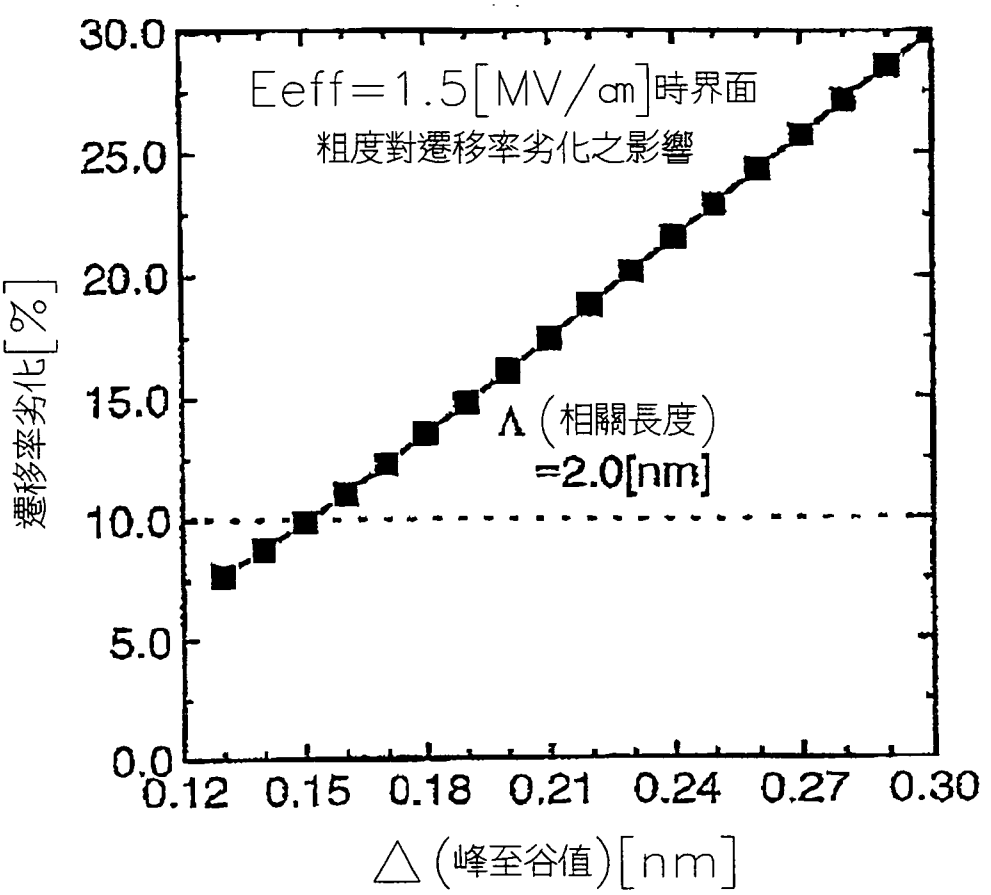

Eeff=1.5[MV/cm]時界面
粗度對遷移率劣化之影響
遷移率劣化[%]
30.0
25.0
20.0
15.0
10.0
5.0
0.0
Λ(相關長度)
=2.0[nm]
0.12
0.15
0.18
0.21
0.24
0.27
0.30
△(峰至谷值)[nm]

圖 9B

圖式

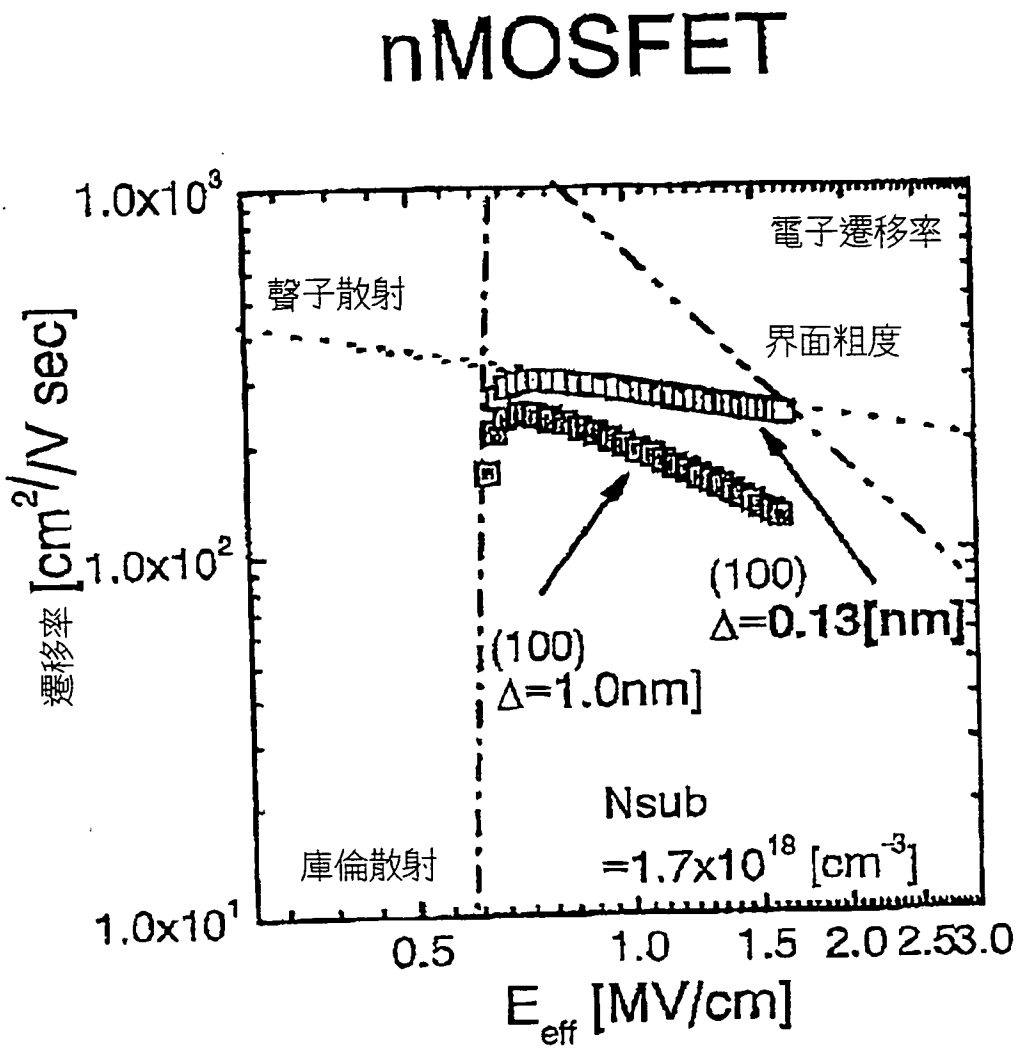

nMOSFET
1.0x10^3
1.0x10^2
1.0x10^1
遷移率 [cm^2/V sec]
聲子散射
電子遷移率
界面粗度
(100)
Δ=0.13[nm]
(100)
Δ=1.0nm]
Nsub
=1.7x10^18 [cm^-3]
庫倫散射
0.5
1.0
1.5
2.0
2.5
3.0
E_eff [MV/cm]

圖 10A

圖式

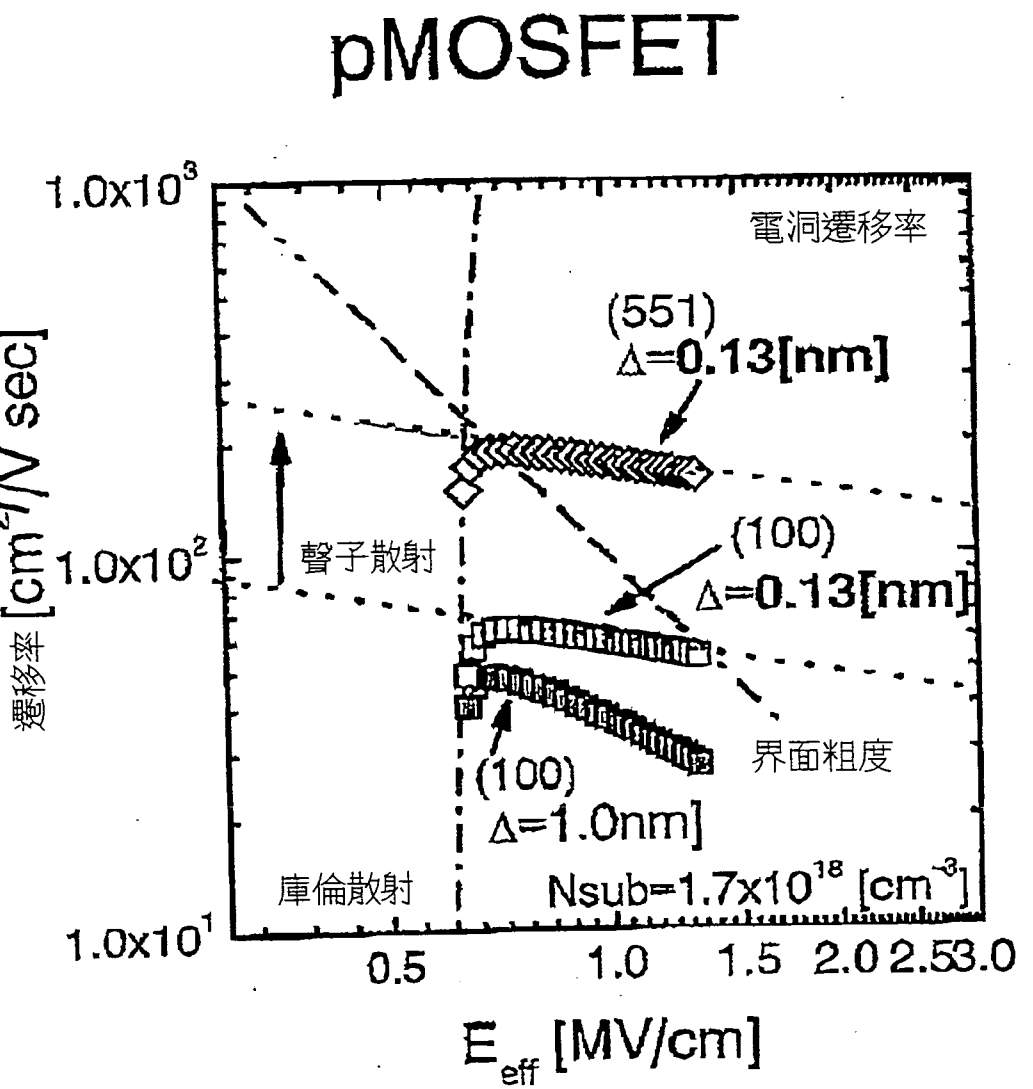

pMOSFET
1.0x10^3
1.0x10^2
1.0x10^1
遷移率 [cm^2/V sec]
電洞遷移率
(551)
Δ=0.13[nm]
聲子散射
(100)
Δ=0.13[nm]
界面粗度
(100)
Δ=1.0nm]
庫倫散射
Nsub=1.7x10^18 [cm^-3]
0.5
1.0
1.5
2.0
2.5
3.0
E_eff [MV/cm]

圖 10B

圖式

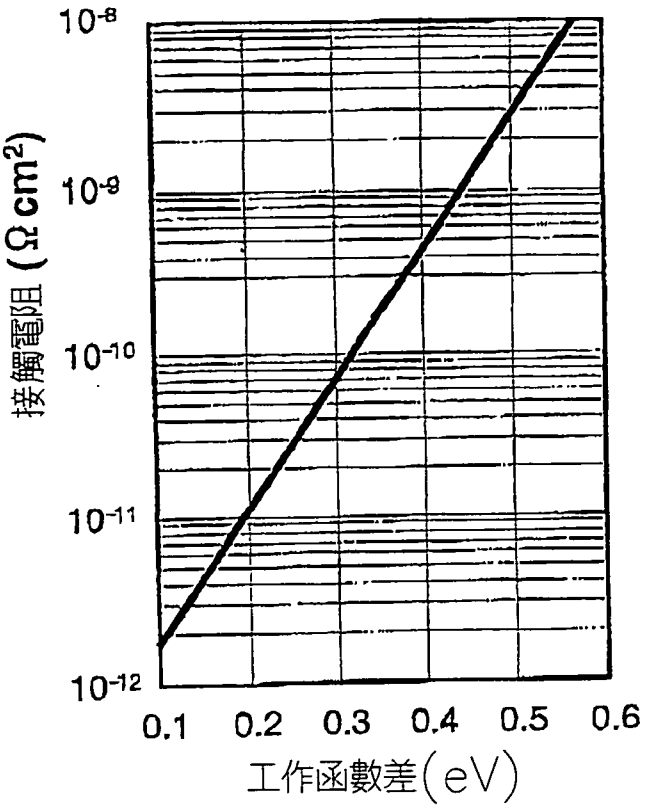
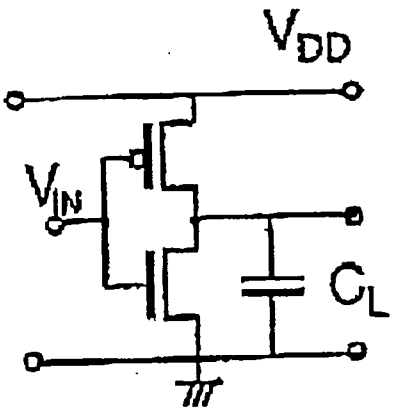

10-8
10-9
10-10
10-11
10-12
接觸電阻 (Ω cm2)
0.1
0.2
0.3
0.4
0.5
0.6
工作函數差(eV)

圖 11

圖 12A


VDD
VIN
CL

圖式

圖 12B

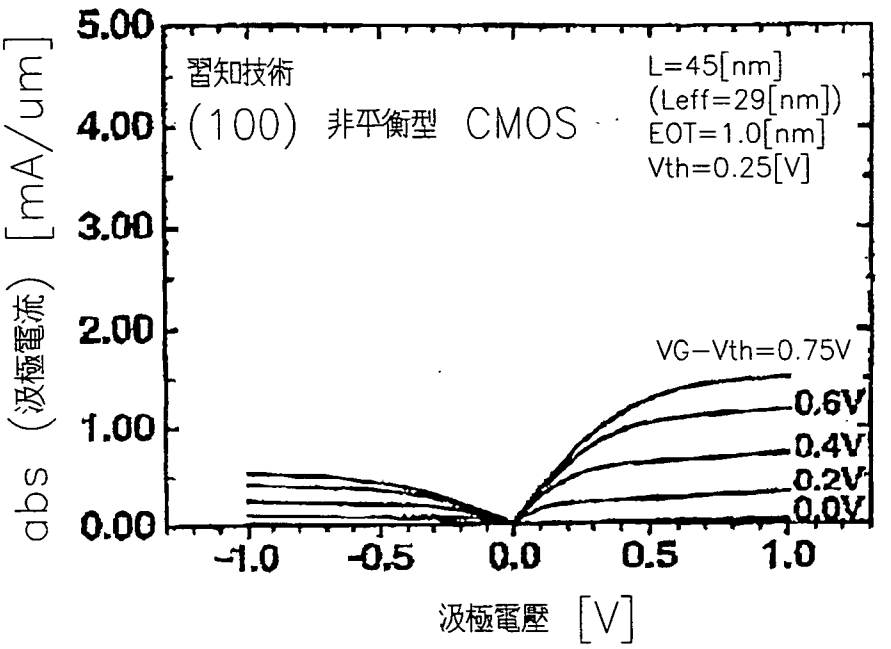
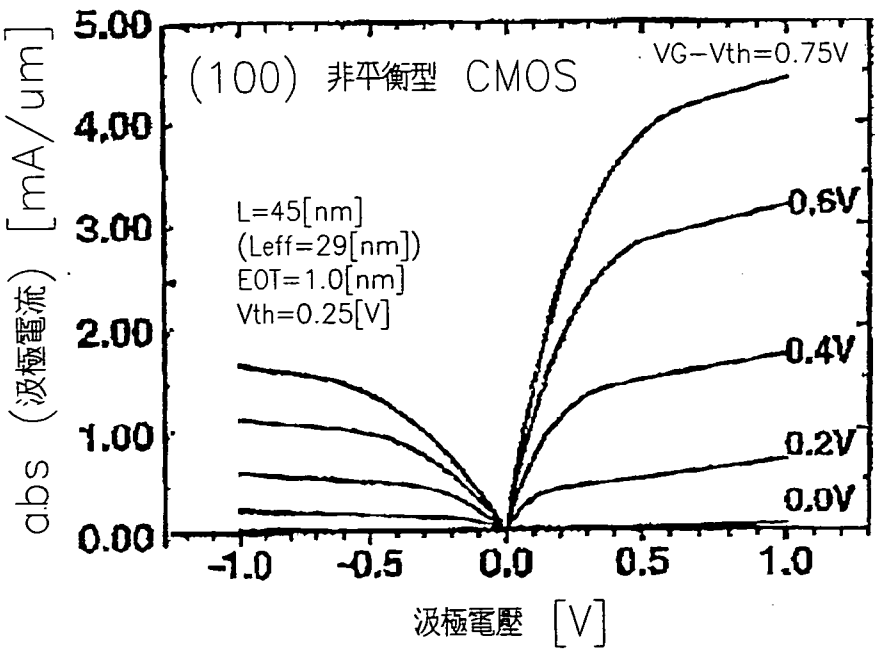

習知技術
(100) 非平衡型 CMOS
L=45[nm]
(Leff=29[nm])
EOT=1.0[nm]
Vth=0.25[V]
VG−Vth=0.75V
0.6V
0.4V
0.2V
0.0V
abs (汲極電流) [mA/um]
5.00
4.00
3.00
2.00
1.00
0.00
-1.0
-0.5
0.0
0.5
1.0
汲極電壓 [V]

圖 12C


(100) 非平衡型 CMOS
VG−Vth=0.75V
L=45[nm]
(Leff=29[nm])
EOT=1.0[nm]
Vth=0.25[V]
0.6V
0.4V
0.2V
0.0V
abs (汲極電流) [mA/um]
5.00
4.00
3.00
2.00
1.00
0.00
-1.0
-0.5
0.0
0.5
1.0
汲極電壓 [V]

圖式

圖 12D

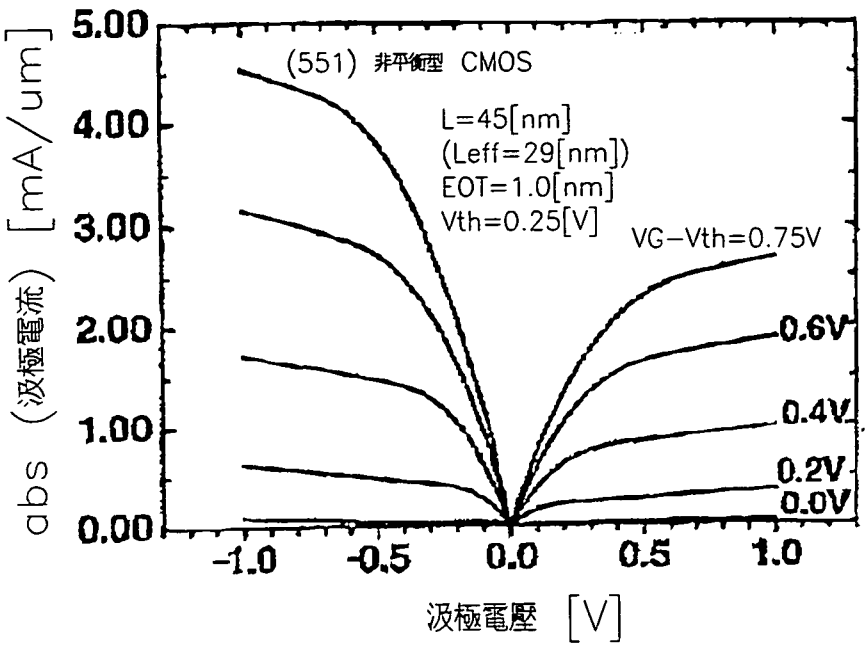
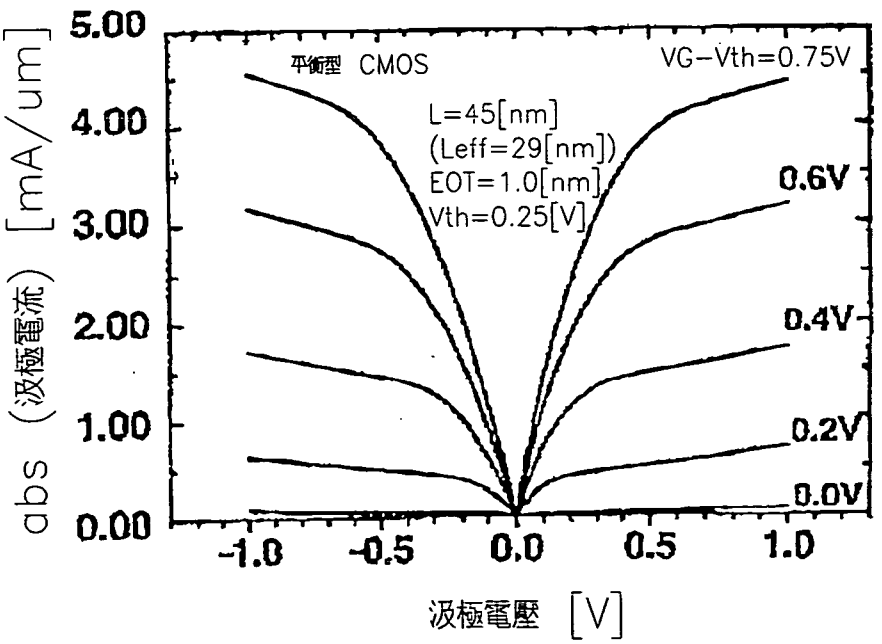

(551) 非平衡型 CMOS
L=45[nm]
(Leff=29[nm])
EOT=1.0[nm]
Vth=0.25[V]
VG−Vth=0.75V
0.6V
0.4V
0.2V
0.0V
abs (汲極電流) [mA/um]
5.00
4.00
3.00
2.00
1.00
0.00
-1.0
-0.5
0.0
0.5
1.0
汲極電壓 [V]

圖 12E


平衡型 CMOS
VG−Vth=0.75V
L=45[nm]
(Leff=29[nm])
EOT=1.0[nm]
Vth=0.25[V]
0.6V
0.4V
0.2V
0.0V
abs (汲極電流) [mA/um]
5.00
4.00
3.00
2.00
1.00
0.00
-1.0
-0.5
0.0
0.5
1.0
汲極電壓 [V]

圖式

	裝置構造	工作速度極限
平面形狀之MOS	習知技術(100)面CMOS	5GHz時鐘脈衝 圖12(b)
	(100)面非平衡型CMOS (反相型)	10GHz時鐘脈衝 圖12(c)
	(100)面非平衡型CMOS (累積型)	20GHz時鐘脈衝
	(551)面非平衡型CMOS (反相型)	20GHz時鐘脈衝 圖12(d)
	(551)面非平衡型CMOS (累積型)	40GHz時鐘脈衝
3維形狀之MOS	平衡型CMOS (反相型)	30GHz時鐘脈衝 圖12(e)
	平衡型CMOS (累積型：SOI)	60GHz時鐘脈衝

圖 13A

圖式

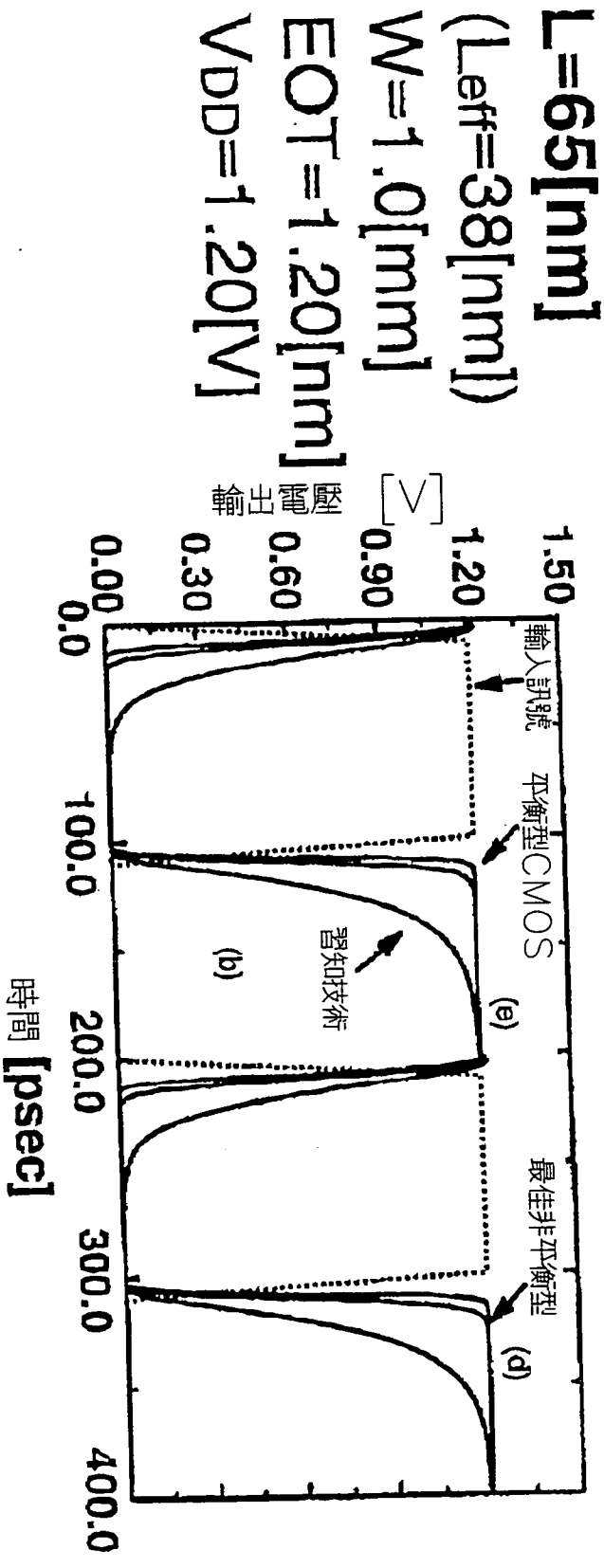

L=65[nm]
(Leff=38[nm])
W=1.0[mm]
EOT=1.20[nm]
VDD=1.20[V]
輸出電壓 [V]
0.00
0.30
0.60
0.90
1.20
1.50
0.0
100.0
200.0
300.0
400.0
時間 [psec]
輸入訊號
平衡型CMOS
習知技術
(b)
(c)
最佳非平衡型
(d)

圖 13B

圖式

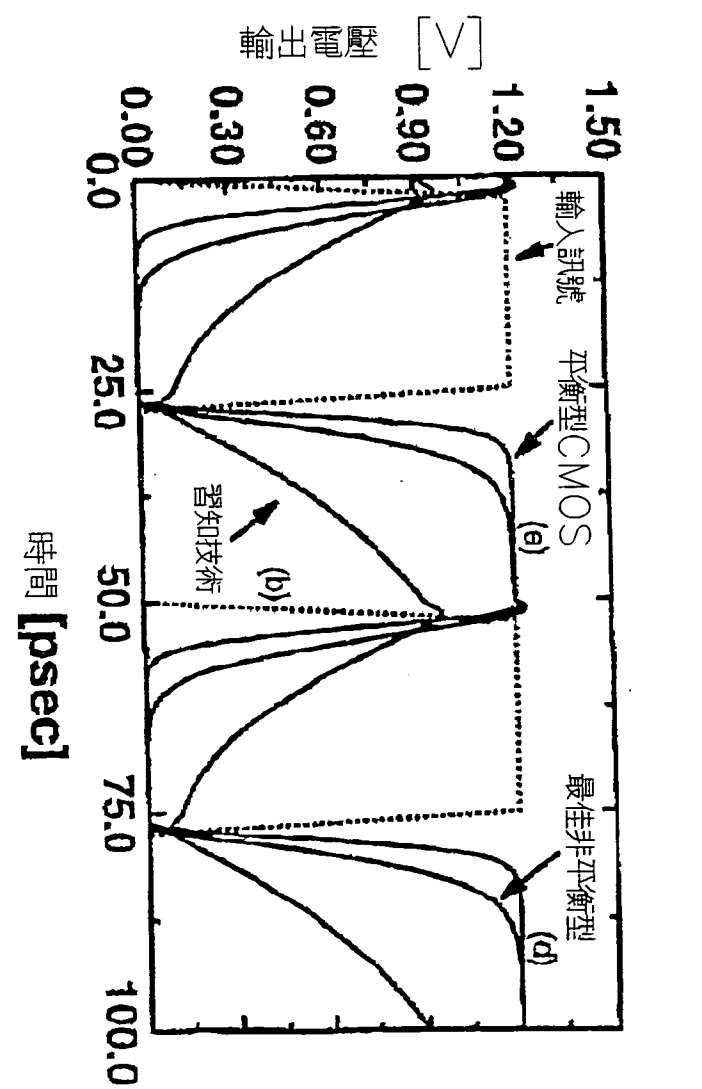

L=65[nm]
(Leff=38[nm])
W=1.0[mm]
EOT=1.20[nm]
VDD=1.20[V]
輸出電壓 [V]
0.00
0.30
0.60
0.90
1.20
1.50
0.0
25.0
50.0
75.0
100.0
時間 [psec]
輸入訊號
平衡型CMOS
(e)
習知技術
(b)
最佳非平衡型
(d)

圖 13C

圖式

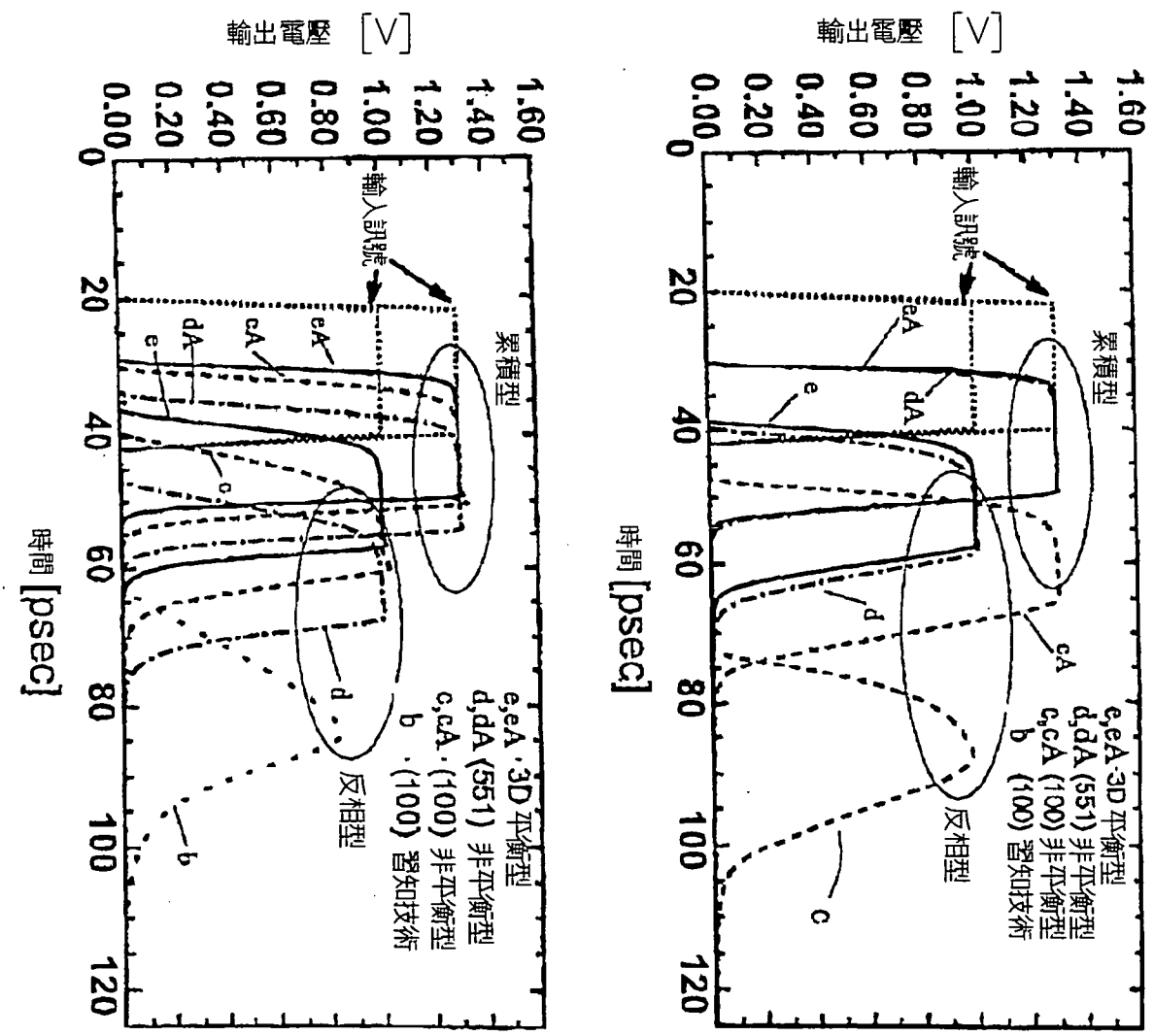

NOR
輸出電壓 [V]
時間 [psec]
累積型
輸入訊號
e,eA:3D 平衡型
d,dA (551) 非平衡型
c,cA (100) 非平衡型
b (100) 習知技術
反相型
NAND
L=45[nm]
(Leff=29[nm])
反相型: 1.0V
累積型: 1.3V
e,eA:3D 平衡型
d,dA (551) 非平衡型
c,cA:(100) 非平衡型
b :(100) 習知技術

圖 13D

圖式

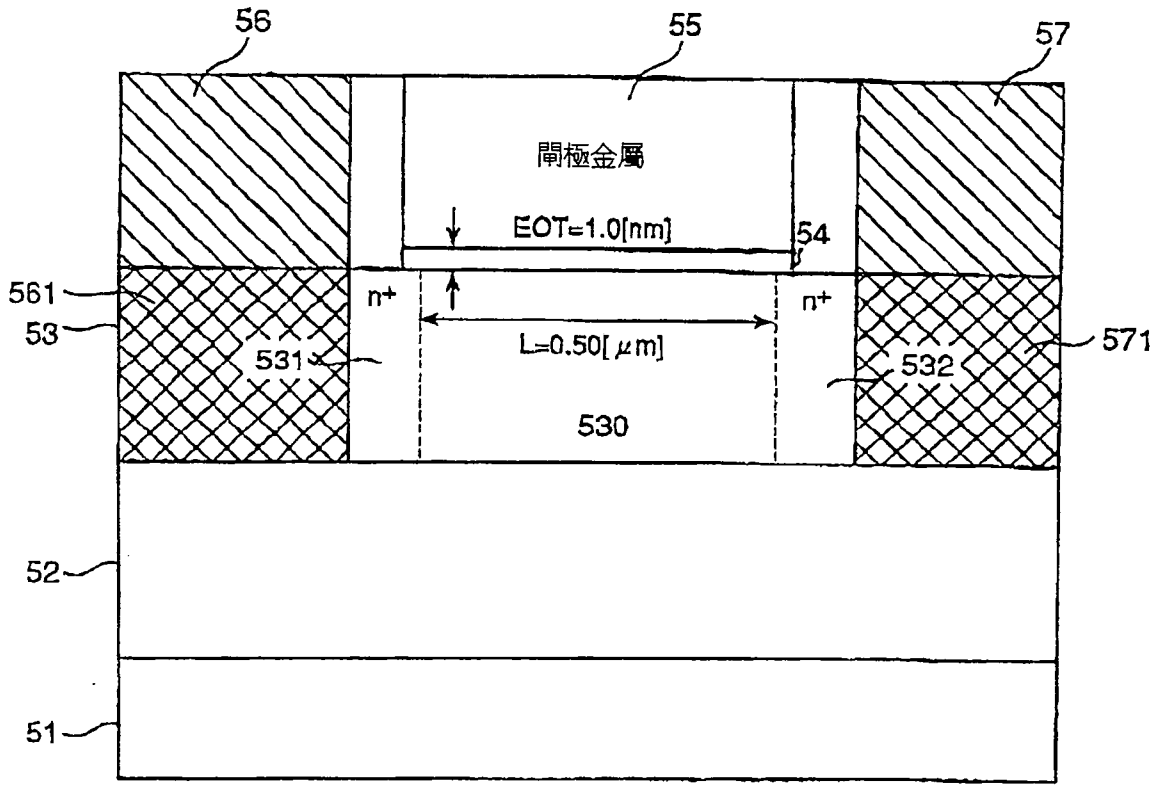


圖 14

圖式

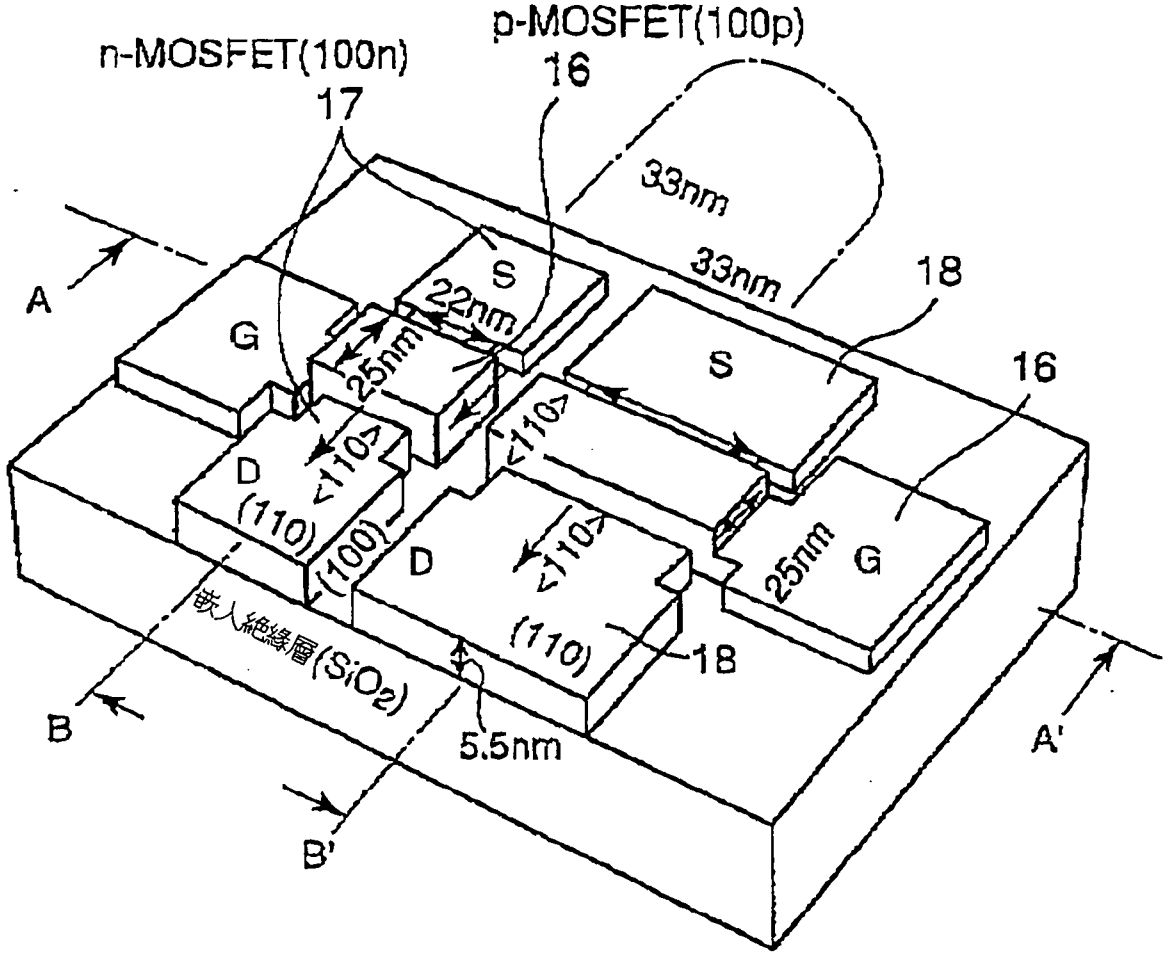

n-MOSFET(100n)
p-MOSFET(100p)
17
16
33nm
33nm
18
A
G
S
22nm
25nm
S
16
<110>
<110>
D
(110)
(100)
D
<110>
25nm
G
嵌入絕緣層(SiO2)
(110)
18
B
5.5nm
A'
B'

圖 15A

圖式

圖 15B

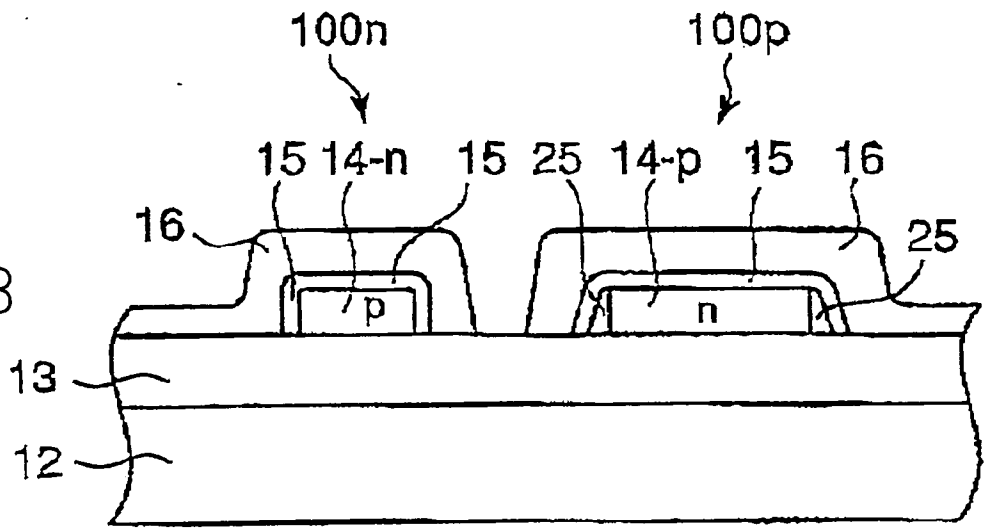
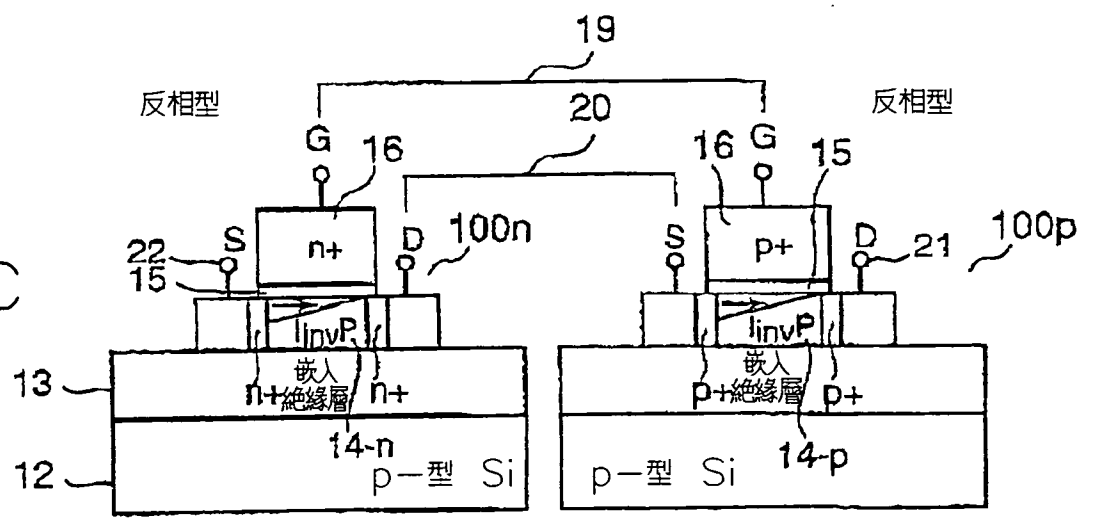

100n
100p
15
14-n
15
25
14-p
15
16
16
25
p
n
13
12

圖 15C


19
反相型
20
反相型
G
16
16
G
15
22
15
S
n+
D
100n
S
p+
D
21
100p
IinvP
IinvP
嵌入
n+絕緣層
n+
嵌入
p+絕緣層
p+
13
12
14-n
p－型 Si
p－型 Si
14-p

圖式

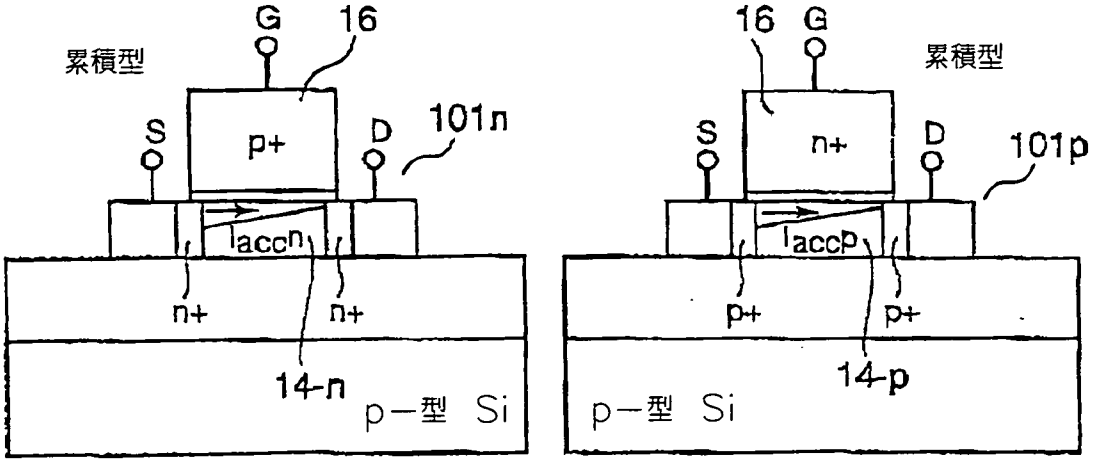

累積型
G
16
S
p+
D
101n
Iaccn
n+
n+
14-n
p−型 Si
16
G
累積型
S
n+
D
101p
Iaccp
p+
p+
14-p
p−型 Si

圖 16A

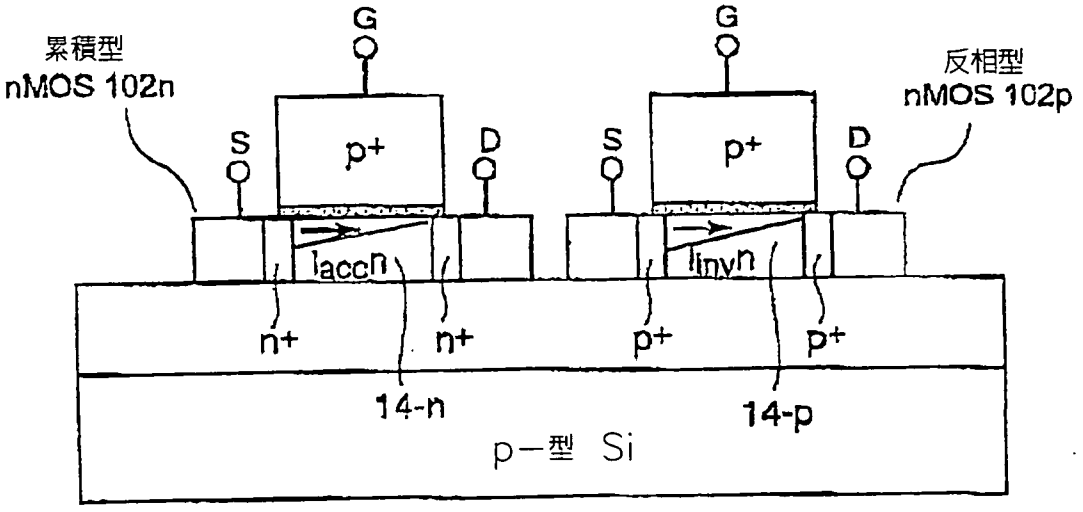

累積型
nMOS 102n
G
S
p+
D
Iaccn
n+
n+
14-n
G
反相型
nMOS 102p
S
p+
D
Iinvn
p+
p+
14-p
p−型 Si

圖 16B

圖式

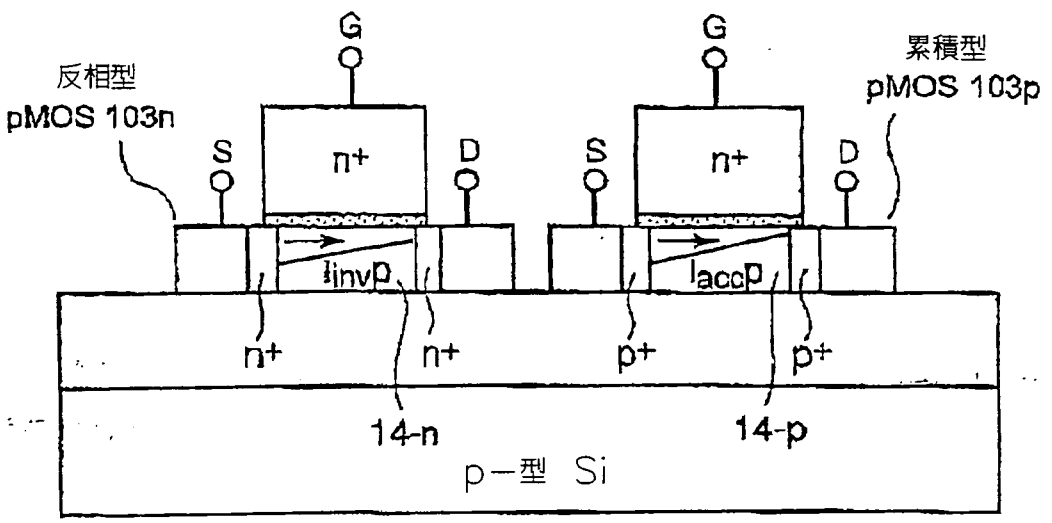

G
G
反相型
pMOS 103n
累積型
pMOS 103p
S
n+
D
S
n+
D
linvp
laccp
n+
n+
p+
p+
14-n
14-p
p－型 Si

圖 16C