

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4971998号  
(P4971998)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月13日(2012.4.13)

|                              |              |
|------------------------------|--------------|
| (51) Int. Cl.                | F I          |
| <b>HO3K 19/177 (2006.01)</b> | HO3K 19/177  |
| <b>HO1L 21/82 (2006.01)</b>  | HO1L 21/82 A |
|                              | HO1L 21/82 C |

請求項の数 21 (全 30 頁)

(21) 出願番号 特願2007-553406 (P2007-553406)  
 (86) (22) 出願日 平成19年7月19日(2007.7.19)  
 (86) 国際出願番号 PCT/JP2007/064261  
 (87) 国際公開番号 W02008/013098  
 (87) 国際公開日 平成20年1月31日(2008.1.31)  
 審査請求日 平成22年3月5日(2010.3.5)  
 (31) 優先権主張番号 特願2006-204383 (P2006-204383)  
 (32) 優先日 平成18年7月27日(2006.7.27)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005821  
 パナソニック株式会社  
 大阪府門真市大字門真1006番地  
 (74) 代理人 100109210  
 弁理士 新居 広守  
 (72) 発明者 丸井 信一  
 日本国大阪府門真市大字門真1006番地  
 松下電器産業株式会社内  
 審査官 官島 郁美

最終頁に続く

(54) 【発明の名称】 半導体集積回路、プログラム変換装置及びマッピング装置

(57) 【特許請求の範囲】

【請求項1】

クロックに同期して動作し、自己の論理を再構成することが可能であり、各々が分離してレイアウトされる複数のリコンフィギュラブルコアと、

前記複数のリコンフィギュラブルコアに含まれる第1のリコンフィギュラブルコアと第2のリコンフィギュラブルコアとの間に形成され、前記第1のリコンフィギュラブルコアの出力を一時保持し、前記第2のリコンフィギュラブルコアへと出力する第1のレジスタ回路群とを備え、

前記複数のリコンフィギュラブルコアの各々は、

アレイ状に配置され、各々が所定の論理を実現する複数のロジックエレメントと、  
 前記複数のロジックエレメントの間を接続するプログラマブルな配線とを備えることを特徴とする半導体集積回路。

10

【請求項2】

前記第1のレジスタ回路群は、

前記第1のリコンフィギュラブルコアの出力を一時保持する第1のレジスタ回路と、  
 前記第1のレジスタ回路から出力されるデータを保持し、前記第2のリコンフィギュラブルコアへと出力する第2のレジスタ回路とを含む

ことを特徴とする請求項1記載の半導体集積回路。

【請求項3】

前記第1のレジスタ回路及び前記第2のレジスタ回路に入力されるクロックは、前記第

20

2のレジスタ回路が保持するデータの出力先となるリコンフィギュラブルコアと同一のクロックである

ことを特徴とする請求項2記載の半導体集積回路。

【請求項4】

前記第1のレジスタ回路群へデータを出力するリコンフィギュラブルコアと、前記第1のレジスタ回路群からデータが入力されるリコンフィギュラブルコアとは入力されるクロックが異なる

ことを特徴とする請求項3記載の半導体集積回路。

【請求項5】

前記複数のリコンフィギュラブルコアは、

前記リコンフィギュラブルコアの論理を再構成するためのコンフィギュレーションデータが入力される第1の辺と、前記第1の辺と対向する第2の辺と、前記第1の辺と直交する第3の辺と、前記第3の辺と対向する第4の辺とで囲まれる矩形の形状を有する第3のリコンフィギュラブルコア及び第4のリコンフィギュラブルコアを含み、

前記第3のリコンフィギュラブルコア及び第4のリコンフィギュラブルコアは、前記第1の辺同士が対向するように分離してレイアウトされる

ことを特徴とする請求項1記載の半導体集積回路。

【請求項6】

前記半導体集積回路は、さらに、

前記第3のリコンフィギュラブルコアと前記第4のリコンフィギュラブルコアとの間に形成され、前記第3のリコンフィギュラブルコア及び前記第4のリコンフィギュラブルコアの論理を再構成するためのコンフィギュレーションデータを保持する第1記憶回路を備える

ことを特徴とする請求項5記載の半導体集積回路。

【請求項7】

前記複数のリコンフィギュラブルコアは、さらに、

第1の辺と、前記第1の辺と対向する第2の辺と、前記第1の辺と直交する第3の辺と、前記第3の辺と対向する第4の辺とで囲まれる矩形の形状を有する第5のリコンフィギュラブルコア及び第6のリコンフィギュラブルコアを含み、

前記第5のリコンフィギュラブルコアと第6のリコンフィギュラブルコアとは、前記第1の辺同士が対向するように分離して配置され、

前記第3のリコンフィギュラブルコアと第5のリコンフィギュラブルコアとは、前記第3の辺同士が対向するように分離して配置され、

前記第4のリコンフィギュラブルコアと第6のリコンフィギュラブルコアとは、前記第3の辺同士が対向するように分離して配置される

ことを特徴とする請求項6記載の半導体集積回路。

【請求項8】

前記半導体集積回路は、さらに、

前記第5のリコンフィギュラブルコアと前記第6のリコンフィギュラブルコアとの間に形成され、前記第5のリコンフィギュラブルコア及び前記第6のリコンフィギュラブルコアの論理を再構成するためのコンフィギュレーションデータを保持する第2記憶回路を備える

ことを特徴とする請求項7記載の半導体集積回路。

【請求項9】

前記半導体集積回路は、さらに、

前記第1のレジスタ回路群へのクロックの供給を個別に停止するクロック停止回路を備える

ことを特徴とする請求項1記載の半導体集積回路。

【請求項10】

前記第1のレジスタ回路群は、

10

20

30

40

50

前記第 1 のリコンフィギュラブルコアの出力を一時保持し、前記第 2 のリコンフィギュラブルコアへと出力する第 2 のレジスタ回路群と、

前記第 2 のリコンフィギュラブルコアの出力を一時保持し、前記第 1 のリコンフィギュラブルコアへと出力する第 3 のレジスタ回路群とを含む

ことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 1 1】

前記第 1 のレジスタ回路群は、前記複数のリコンフィギュラブルコアの間のうち、隣接するリコンフィギュラブルコアの間の全てに配置され、隣接する 2 つのリコンフィギュラブルコアのうちのリコンフィギュラブルコアの出力を一時保持し、他のリコンフィギュラブルコアへと出力する

10

ことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 1 2】

前記複数のリコンフィギュラブルコアには全て同一のクロックが入力される

ことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 1 3】

前記第 1 のレジスタ回路群は、複数のビットから構成されるデータを複数組保持する

ことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 1 4】

前記ロジックエレメントの各々は L U T を備える

ことを特徴とする請求項 1 記載の半導体集積回路。

20

【請求項 1 5】

前記ロジックエレメントの各々は少なくとも 1 つの A L U を備える

ことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 1 6】

前記半導体集積回路は、さらに、

C P U を備え、

前記複数のリコンフィギュラブルコア、前記第 1 のレジスタ回路群、及び前記 C P U は、1 つの半導体基板上に実装される

ことを特徴とする請求項 1 記載の半導体集積回路。

【請求項 1 7】

30

自己の論理を再構成することが可能であり、各々が分離してレイアウトされる複数のリコンフィギュラブルコアと、

前記複数のリコンフィギュラブルコアのうち少なくとも 2 つの間に形成され、一のリコンフィギュラブルコアの出力を一時保持し、他のリコンフィギュラブルコアへと出力する第 1 のレジスタ回路群とを備える半導体集積回路に、

回路記述に記述される回路機能をマッピングするマッピング装置であって、

前記回路機能を、複数の回路機能ブロックに分割する分割手段と、

前記複数の回路機能ブロックから、前記複数の回路機能ブロックの間に位置するレジスタを除外する除外手段と、

前記除外された回路機能ブロックの各々を論理合成する合成手段と、

40

前記論理合成された回路機能ブロックの各々を前記リコンフィギュラブルコアの各々に配置及び配線する配置配線手段とを備える

ことを特徴とするマッピング装置。

【請求項 1 8】

複数のモジュールからなる回路の回路機能が記述された回路記述を変換するプログラム変換装置であって、

前記回路記述に基づき、前記回路の入力信号と出力信号との制約を算出する算出手段と、

前記複数のモジュール間にレジスタを挿入、又は挿入しない複数のパターンを生成する生成手段と、

50

前記生成された複数のパターンから、前記制約を満たすパターンを抽出するパターン抽出手段と、

前記抽出されたパターンのうちいずれかを選択し変換後の回路記述として出力する選択手段とを備える

ことを特徴とするプログラム変換装置。

【請求項 19】

前記プログラム変換装置は、さらに、

前記複数のモジュールのうちフィールドバック系を有する複数のモジュールを抽出するフィールドバック抽出手段を備え、

前記生成手段は、前記フィールドバック抽出手段により抽出された複数のモジュールを 1 つのモジュールとして、モジュール間にレジスタを挿入、又は挿入しない複数のパターンを生成する

ことを特徴とする請求項 18 記載のプログラム変換装置。

【請求項 20】

自己の論理を再構成することが可能であり、各々が分離してレイアウトされる複数のリコンフィギュラブルコアと、

前記複数のリコンフィギュラブルコアのうち少なくとも 2 つの間に形成され、一のリコンフィギュラブルコアの出力を一時保持し、他のリコンフィギュラブルコアへと出力する第 1 のレジスタ回路群とを備える半導体集積回路に、

回路記述に記述される回路機能をマッピングするマッピング装置におけるマッピング方法であって、

前記回路機能を、複数の回路機能ブロックに分割する分割ステップと、

前記複数の回路機能ブロックから、前記複数の回路機能ブロックの間に位置するレジスタを除外する除外ステップと、

前記除外された回路機能ブロックの各々を論理合成する合成ステップと、

前記論理合成された回路機能ブロックの各々を前記リコンフィギュラブルコアの各々に配置及び配線する配置配線ステップとを含む

ことを特徴とするマッピング方法。

【請求項 21】

複数のモジュールからなる回路の回路機能が記述された回路記述を変換するプログラム変換装置におけるプログラム変換方法であって、

前記回路記述に基づき、前記回路の入力信号と出力信号との制約を算出する算出ステップと、

前記複数のモジュール間にレジスタを挿入、又は挿入しない複数のパターンを生成する生成ステップと、

前記生成された複数のパターンから、前記制約を満たすパターンを抽出するパターン抽出ステップと、

前記抽出されたパターンのうちいずれかを選択し変換後の回路記述として出力する選択ステップとを含む

ことを特徴とするプログラム変換方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路、プログラム変換装置及びマッピング装置に関し、特に、複数のリコンフィギュラブルコアを備える半導体集積回路に関する。

【背景技術】

【0002】

従来、FPGA (Field Programmable Gate Array) に代表される自己の論理を再構成することが可能な半導体集積回路 (以下、「論理再構成可能な半導体集積回路」と記す。) が存在する。

10

20

30

40

50

## 【0003】

図1は、従来の論理再構成可能な半導体集積回路の全体構成を示す図である。図1に示す従来の論理再構成可能な半導体集積回路500は、アレイ状に配置される複数のロジックエレメント(LE)501を備える。論理再構成可能な半導体集積回路の一つであるFPGAでは、ロジックエレメント501は、ルックアップテーブル(LUT)で構成される。LUTの内容を書き換えることによって、ロジックエレメント501の入力に対する出力の関係が変化する。また、各々のロジックエレメント501は図示しないプログラマブルな配線で接続される。プログラマブルな配線により、何れのロジックエレメント501の出力が何れのロジックエレメント501に入力されるかがプログラマブルに決定される。以上のように、ロジックエレメント501の入力に対する出力の関係と、各々のロジックエレメント501の接続関係とを変更することによって、半導体集積回路500に所望の回路機能を実現できる。

10

## 【0004】

また、プログラマブルな配線については、全てのロジックエレメントが全てのロジックエレメントと直接接続されるようにすると最も接続の自由度が高くなるが、配線リソースが膨大となって現実的ではない。一方で1つのロジックエレメントが1つのロジックエレメントとしか接続できないとすると自由度がない。配線リソースと自由度とのバランスをとってどのような配線構造とすると効率がよいかについては様々に考えられており、一例として特許文献1に記載される技術が知られている。

## 【0005】

次に、図1に示す論理再構成可能な半導体集積回路500に所望の回路機能をマッピングする方法について図2を用いて説明する。図2は、従来の論理再構成可能な半導体集積回路500に対するマッピングの流れを示す図である。図2に示すマッピングは論理再構成可能な半導体集積回路500のアーキテクチャ毎に専用の合成ツール及びP&R(Place and Route)ツールを用いて行われる。

20

## 【0006】

まず、ユーザは、HDL(Hardware Description Language)などのハードウェア記述言語、又はC言語などの上級言語を用いて、実現すべき回路機能を記述する(S101)。次に、合成ツールが、記述された回路機能に対して論理合成を行う(S102)。具体的には、合成ツールは、記述された回路機能を1つのロジックエレメント501に割り当て可能な機能単位に分割する。次に、合成ツールは、分割された機能単位間の接続関係を決定する。

30

## 【0007】

次に、P&Rツールが、分割された機能単位を実回路におけるロジックエレメント501上に配置する(S103)。これにより、各々のロジックエレメント501の機能(入力に対する出力の関係)が決定される。

## 【0008】

次に、P&Rツールが、論理合成によって決定された接続関係を満たすように、プログラマブルな配線を用いてロジックエレメント501間を配線する(S104)。

## 【0009】

以上の配置及び配線を、速度(タイミング)及び回路領域(面積)に対する所定の制限が満たされるまで繰り返す。所定の制限が満たされた場合に、マッピングが終了する。また、所定の制限が満たされない場合には、論理合成を再度行うこともある。

40

## 【0010】

なお、2つのFPGAをマスクのレイアウト上で接続することにより、少ない設計工数で大規模な論理再構成可能な半導体集積回路を構築する手法が特許文献2に開示されている。

【特許文献1】米国特許第5594363号明細書

【特許文献2】米国特許第6335635号明細書

【発明の開示】

50

**【発明が解決しようとする課題】****【0011】**

しかしながら、近年、デジタルTV及び携帯電話に代表されるデジタル機器の多機能化は目覚ましく、これらのデジタル機器で処理される内容も複雑になっている。これに伴い、論理再構成可能な半導体集積回路を用いて実現すべき回路機能も大規模化が進んでおり、大規模な論理再構成可能な半導体集積回路に大規模な回路機能をマッピングする必要性が高まっている。

**【0012】**

特許文献2に開示される論理再構成可能な半導体集積回路は、基本単位の集合体であるのでスケラビリティに富み、かつ規模拡張が比較的容易である。しかしながら、大規模な論理再構成可能な半導体集積回路に大規模な回路機能をマッピングする場合、まず実現すべき回路機能を機能単位に分割する組み合わせが増大する。さらに各々の機能単位をどのロジックエレメントに割り当てるかの組み合わせが増大する。さらにプログラマブルな配線をどのように用いてロジックエレメント間を接続するかの組み合わせも増大する。結果として、回路規模の増大に伴ってマッピングの組み合わせは急激に増大する。したがって、従来の合成ツール及びP&Rツールを用いて大規模な再構成可能な半導体集積回路を最大限用いて回路機能を実現しようとした場合、マッピングが収束しないことも考えられる。一方でこれらの課題を解決できるような賢い合成ツール及びP&Rツールは現状では存在していない。

**【0013】**

本発明は上記に鑑みてなされたものであり、大規模な回路機能を容易にマッピングすることが可能な論理再構成可能な半導体集積回路を提供することを目的とする。

**【0014】**

さらに、別の目的として、複数のリコンフィギュラブルコアを1チップに実装して大規模な論理再構成可能な半導体集積回路を構成する場合に、設計が容易かつ小面積となる半導体集積回路のレイアウトを提供することを目的とする。

**【課題を解決するための手段】****【0015】**

上記目的を達成するために、本発明に係る半導体集積回路は、クロックに同期して動作し、自己の論理を再構成することが可能であり、各々が分離してレイアウトされる複数のリコンフィギュラブルコアと、前記複数のリコンフィギュラブルコアに含まれる第1のリコンフィギュラブルコアと第2のリコンフィギュラブルコアとの間に形成され、前記第1のリコンフィギュラブルコアの出力を一時保持し、前記第2のリコンフィギュラブルコアへと出力する第1のレジスタ回路群とを備え、前記複数のリコンフィギュラブルコアの各々は、アレイ状に配置され、各々が所定の論理を実現する複数のロジックエレメントと、前記複数のロジックエレメントの間を接続するプログラマブルな配線とを備える。

**【0016】**

この構成によれば、各々のリコンフィギュラブルコアを独立した回路として回路機能をマッピングできるので、大規模な回路機能を論理再構成可能な半導体集積回路にマッピングする場合であっても、短時間にマッピングを収束させることができる。よって、本発明は、大規模な回路機能を容易にマッピングすることが可能な論理再構成可能な半導体集積回路を提供できる。

**【0017】**

また、前記第1のレジスタ回路群は、前記第1のリコンフィギュラブルコアの出力を一時保持する第1のレジスタ回路と、前記第1のレジスタ回路から出力されるデータを保持し、前記第2のリコンフィギュラブルコアへと出力する第2のレジスタ回路とを含んでもよい。

**【0018】**

この構成によれば、配線距離に起因する遅延に対してタイミング制約を緩和できる。

**【0019】**

また、前記第1のレジスタ回路及び前記第2のレジスタ回路に入力されるクロックは、前記第2のレジスタ回路が保持するデータの出力先となるリコンフィギュラブルコアと同一のクロックであってもよい。

【0020】

この構成によれば、各リコンフィギュラブルコアを非同期で動作させた場合でも、第2のレジスタ回路でデータを確実に保持できる。よって、メタステーブル（セットアップ制約又はホールド制約が満たされない状態）の発生を防止できる。

【0021】

また、前記第1のレジスタ回路群へデータを出力するリコンフィギュラブルコアと、前記第1のレジスタ回路群からデータが入力されるリコンフィギュラブルコアとは入力されるクロックが異なってもよい。

10

【0022】

この構成によれば、各リコンフィギュラブルコアを非同期で動作させた場合に発生するメタステーブルの発生を防止できる。

【0023】

また、前記複数のリコンフィギュラブルコアは、前記リコンフィギュラブルコアの論理を再構成するためのコンフィギュレーションデータが入力される第1の辺と、前記第1の辺と対向する第2の辺と、前記第1の辺と直交する第3の辺と、前記第3の辺と対向する第4の辺とで囲まれる矩形の形状を有する第3のリコンフィギュラブルコア及び第4のリコンフィギュラブルコアを含み、前記第3のリコンフィギュラブルコア及び第4のリコンフィギュラブルコアは、前記第1の辺同士が対向するように分離してレイアウトされてもよい。

20

【0024】

この構成によれば、コンフィギュレーションデータを第1の辺から第3のリコンフィギュラブルコア及び第4のリコンフィギュラブルコアに供給できる。これにより、コンフィギュレーションデータを保持する記憶回路を固めて配置することが可能となり、チップ設計が容易となる。また、記憶回路から、第3のリコンフィギュラブルコア及び第4のリコンフィギュラブルコアへの配線距離を短くできる。これにより、短い時間で動的にリコンフィギュラブルコアの機能を再構成できる。よって、本発明は、複数のリコンフィギュラブルコアを1チップに実装して大規模な論理再構成可能な半導体集積回路を構成する場合に、設計が容易かつ小面積となるレイアウトを有する半導体集積回路を提供できる。

30

【0025】

また、前記半導体集積回路は、さらに、前記第3のリコンフィギュラブルコアと前記第4のリコンフィギュラブルコアとの間に形成され、前記第3のリコンフィギュラブルコア及び前記第4のリコンフィギュラブルコアの論理を再構成するためのコンフィギュレーションデータを保持する第1記憶回路を備えてもよい。

【0026】

この構成によれば、第1記憶回路に保持されるコンフィギュレーションデータを第1の辺から第3のリコンフィギュラブルコア及び第4のリコンフィギュラブルコアに供給できる。これにより、コンフィギュレーションデータを保持する記憶回路を固めて配置することが可能となり、チップ設計が容易となる。また、第1記憶回路から、第3のリコンフィギュラブルコア及び第4のリコンフィギュラブルコアへの配線距離を短くできる。これにより、短い時間で動的にリコンフィギュラブルコアの機能を再構成できる。

40

【0027】

また、前記複数のリコンフィギュラブルコアは、さらに、第1の辺と、前記第1の辺と対向する第2の辺と、前記第1の辺と直交する第3の辺と、前記第3の辺と対向する第4の辺とで囲まれる矩形の形状を有する第5のリコンフィギュラブルコア及び第6のリコンフィギュラブルコアを含み、前記第5のリコンフィギュラブルコアと第6のリコンフィギュラブルコアとは、前記第1の辺同士が対向するように分離して配置され、前記第3のリコンフィギュラブルコアと第5のリコンフィギュラブルコアとは、前記第3の辺同士が対向

50

するように分離して配置され、前記第4のリコンフィギュラブルコアと第6のリコンフィギュラブルコアとは、前記第3の辺同士が対向するように分離して配置されてもよい。

【0028】

この構成によれば、4つのリコンフィギュラブルコアを1チップに実装して大規模な論理再構成可能な半導体集積回路を構成する場合に、各リコンフィギュラブルコアにおける同じ用途に用いられる信号の入出力端子が、各リコンフィギュラブルコア間で対向して配置される。これにより、チップ設計を容易に行うことができる。また、リコンフィギュラブルコア間の配線距離を短くできる。

【0029】

また、前記半導体集積回路は、さらに、前記第5のリコンフィギュラブルコアと前記第6のリコンフィギュラブルコアとの間に形成され、前記第5のリコンフィギュラブルコア及び前記第6のリコンフィギュラブルコアの論理を再構成するためのコンフィギュレーションデータを保持する第2記憶回路を備えてもよい。

10

【0030】

この構成によれば、第2記憶回路に保持されるコンフィギュレーションデータを第1の辺から第5のリコンフィギュラブルコア及び第6のリコンフィギュラブルコアに供給できる。これにより、コンフィギュレーションデータを保持する記憶回路を固めて配置することが可能となり、チップ設計が容易となる。また、第2記憶回路から、第5のリコンフィギュラブルコア及び第6のリコンフィギュラブルコアへの配線距離を短くできる。これにより、短い時間で動的にリコンフィギュラブルコアの機能を再構成できる。

20

【0031】

また、前記半導体集積回路は、さらに、前記第1のレジスタ回路群へのクロックの供給を個別に停止するクロック停止回路を備えてもよい。

【0032】

この構成によれば、リコンフィギュラブルコア間で双方向にデータが受け渡される場合でも、各々のリコンフィギュラブルコアを独立した回路として回路機能をマッピングできる。よって、大規模な回路機能を論理再構成可能な半導体集積回路にマッピングする場合であっても、短時間にマッピングを収束させることができる。

【0033】

また、前記第1のレジスタ回路群は、前記第1のリコンフィギュラブルコアの出力を一時保持し、前記第2のリコンフィギュラブルコアへと出力する第2のレジスタ回路群と、前記第2のリコンフィギュラブルコアの出力を一時保持し、前記第1のリコンフィギュラブルコアへと出力する第3のレジスタ回路群とを含んでもよい。

30

【0034】

この構成によれば、全てのリコンフィギュラブルの各々を独立した回路として回路機能をマッピングできる。

【0035】

また、前記第1のレジスタ回路群は、前記複数のリコンフィギュラブルコアの間のうち、隣接するリコンフィギュラブルコアの間の全てに配置され、隣接する2つのリコンフィギュラブルコアのうちのリコンフィギュラブルコアの出力を一時保持し、他のリコンフィギュラブルコアへと出力してもよい。

40

【0036】

この構成によれば、使用されない第1のレジスタ回路群へのクロックの供給を停止できる。これにより、本発明に係る半導体集積回路は、余分な消費電力を削減できる。

【0037】

また、前記複数のリコンフィギュラブルコアには全て同一のクロックが入力されてもよい。

【0038】

この構成によれば、半導体集積回路の構成を単純化できる。

【0039】

50

また、前記第1のレジスタ回路群は、複数のビットから構成されるデータを複数組保持してもよい。

【0040】

この構成によれば、本発明に係る半導体集積回路は、リコンフィギュラブルコア間で複数のデータを受け渡しできる。

【0041】

また、前記ロジックエレメントの各々はLUTを備えてもよい。

【0042】

この構成によれば、ルックアップテーブルの内容を書き換えることによって、ロジックエレメントの入力に対する出力の関係を任意に変更できる。

【0043】

また、前記ロジックエレメントの各々は少なくとも1つのALU(Arithmetic Logic Unit)を備えてもよい。

【0044】

この構成によれば、画像の符号化、画像の復号化及び暗号処理などの単純な演算の繰り返しによって構成される信号処理演算に最適なリコンフィギュラブルコアが実現できる。

【0045】

また、前記半導体集積回路は、さらに、CPU(Central Processing Unit)を備え、前記複数のリコンフィギュラブルコア、前記第1のレジスタ回路群、及び前記CPUは、1つの半導体基板上に実装されてもよい。

【0046】

この構成によれば、CPUを含むSOC(System On Chip)において、専用ハードウェアを設けなくても1つの論理再構成可能な半導体集積回路で多種の処理を行うことができる。

【0047】

また、本発明に係るマッピング装置は、自己の論理を再構成することが可能であり、各々が分離してレイアウトされる複数のリコンフィギュラブルコアと、前記複数のリコンフィギュラブルコアのうち少なくとも2つの間に形成され、一のリコンフィギュラブルコアの出力を一時保持し、他のリコンフィギュラブルコアへと出力する第1のレジスタ回路群とを備える半導体集積回路に、回路記述に記述される回路機能をマッピングするマッピング装置であって、前記回路機能を、複数の回路機能ブロックに分割する分割手段と、前記複数の回路機能ブロックから、前記複数の回路機能ブロックの間に位置するレジスタを除外する除外手段と、前記除外された回路機能ブロックの各々を論理合成する合成手段と、前記論理合成された回路機能ブロックの各々を前記リコンフィギュラブルコアの各々に配置及び配線する配置配線手段とを備える。

【0048】

この構成によれば、本発明に係るマッピング装置は、回路記述に含まれる第1のレジスタ回路群に対応するレジスタをマッピング対象から外すことができる。また、本発明に係るマッピング装置は、各々のリコンフィギュラブルコアを独立にマッピングできる。よって、本発明に係るマッピング装置は、大規模な回路機能を論理再構成可能な半導体集積回路にマッピングする場合であっても、短時間にマッピングを収束させることができる。

【0049】

また、本発明に係るプログラム変換装置は、複数のモジュールからなる回路の回路機能が記述された回路記述を変換するプログラム変換装置であって、前記回路記述に基づき、前記回路の入力信号と出力信号との制約を算出する算出手段と、前記複数のモジュール間にレジスタを挿入、又は挿入しない複数のパターンを生成する生成手段と、前記生成された複数のパターンから、前記制約を満たすパターンを抽出するパターン抽出手段と、前記抽出されたパターンのうちいずれかを選択し変換後の回路記述として出力する選択手段とを備える。

【0050】

10

20

30

40

50

この構成によれば、本発明に係るプログラム変換装置は、回路記述に第1のレジスタ回路群に対応するレジスタを加えることができる。すなわち、本発明に係るプログラム変換装置は、設計者により記述された従来と同様の回路記述を、モジュール間にレジスタを挿入した回路記述に変換できる。

【0051】

また、前記プログラム変換装置は、さらに、前記複数のモジュールのうちフィードバック系を有する複数のモジュールを抽出するフィードバック抽出手段を備え、前記生成手段は、前記フィードバック抽出手段により抽出された複数のモジュールを1つのモジュールとして、モジュール間にレジスタを挿入、又は挿入しない複数のパターンを生成してもよい。

【0052】

この構成によれば、本発明に係るプログラム変換装置は、フィードバック系を有するモジュール間にはレジスタを加えない。これにより、プログラム変換装置の処理量を低減できる。

【0053】

また、本発明に係るマッピング方法は、自己の論理を再構成することが可能であり、各々が分離してレイアウトされる複数のリコンフィギュラブルコアと、前記複数のリコンフィギュラブルコアのうち少なくとも2つの間に形成され、一のリコンフィギュラブルコアの出力を一時保持し、他のリコンフィギュラブルコアへと出力する第1のレジスタ回路群とを備える半導体集積回路に、回路記述に記述される回路機能をマッピングするマッピング装置におけるマッピング方法であって、前記回路機能を、複数の回路機能ブロックに分割する分割ステップと、前記複数の回路機能ブロックから、前記複数の回路機能ブロックの間に位置するレジスタを除外する除外ステップと、前記除外された回路機能ブロックの各々を論理合成する合成ステップと、前記論理合成された回路機能ブロックの各々を前記リコンフィギュラブルコアの各々に配置及び配線する配置配線ステップとを含む。

【0054】

この方法によれば、回路記述に含まれる第1のレジスタ回路群に対応するレジスタをマッピング対象から外すことができる。また、各々のリコンフィギュラブルコアを独立にマッピングできる。よって、大規模な回路機能を論理再構成可能な半導体集積回路にマッピングする場合であっても、短時間にマッピングを収束させることができる。

【0055】

また、本発明に係るプログラム変換方法は、複数のモジュールからなる回路の回路機能が記述された回路記述を変換するプログラム変換装置におけるプログラム変換方法であって、前記回路記述に基づき、前記回路の入力信号と出力信号との制約を算出する算出ステップと、前記複数のモジュール間にレジスタを挿入、又は挿入しない複数のパターンを生成する生成ステップと、前記生成された複数のパターンから、前記制約を満たすパターンを抽出するパターン抽出ステップと、前記抽出されたパターンのうちいずれかを選択し変換後の回路記述として出力する選択ステップとを含む。

【0056】

この方法によれば、回路記述に第1のレジスタ回路群に対応するレジスタを加えることができる。すなわち、本発明に係るプログラム変換方法は、設計者により記述された従来と同様の回路記述を、モジュール間にレジスタを挿入した回路記述に変換できる。

【0057】

なお、本発明は、このような半導体集積回路、マッピング装置、そのマッピング方法、プログラム変換装置、及びそのプログラム変換方法として実現できるだけでなく、マッピング方法及びプログラム変換方法に含まれる特徴的なステップをコンピュータに実行させるプログラムとして実現することもできる。そして、そのようなプログラムは、CD-ROM等の記録媒体及びインターネット等の伝送媒体を介して流通させることができるのは言うまでもない。

【発明の効果】

## 【 0 0 5 8 】

本発明は、大規模な回路機能を容易にマッピングすることが可能な論理再構成可能な半導体集積回路を提供できる。また、本発明は、複数のリコンフィギュラブルコアを1チップに実装して大規模な論理再構成可能な半導体集積回路を構成する場合に、設計が容易かつ小面積となる半導体集積回路のレイアウトを提供できる。

## 【 発明を実施するための最良の形態 】

## 【 0 0 5 9 】

以下、本発明に係る半導体集積回路の実施の形態について、図面を参照しながら詳細に説明する。

## 【 0 0 6 0 】

(実施の形態1)

本発明の実施の形態1に係る半導体集積回路は、複数のリコンフィギュラブルコア間にそれぞれ2段のレジスタ回路を備える。これにより、各々のリコンフィギュラブルコアを独立した回路として回路機能をマッピングできる。よって、大規模な回路機能を論理再構成可能な半導体集積回路にマッピングする場合であっても、容易にマッピングできる。

## 【 0 0 6 1 】

まず、本発明の実施の形態1に係る半導体集積回路の構成を説明する。

## 【 0 0 6 2 】

図3は、本発明の実施の形態1に係る再構成可能な半導体集積回路を備える半導体装置の構成を示す図である。

## 【 0 0 6 3 】

図3に示す半導体装置1は、CPU10と、RAM(Random Access Memory)11と、DMA(Direct Memory Access)12と、ハードウェア回路13と、FPGA100とを備える。

## 【 0 0 6 4 】

CPU10は、半導体装置1の全体の制御を行う。RAM11は、読み書き可能な記憶部である。DMA12は、FPGA100及びハードウェア回路13と、RAM11との間のデータ転送を行なう。ハードウェア回路13は、所定の機能を実現する専用ハードウェアで構成された回路である。FPGA100は、再構成可能な半導体集積回路であり、本発明に係る半導体集積回路の一例である。

## 【 0 0 6 5 】

例えば、CPU10、RAM11、DMA12、ハードウェア回路13及びFPGA100は、1つの半導体基板上に実装されている。すなわち、本発明の実施の形態1に係る半導体集積回路(FPGA)100は、所謂SOCにおける1つの回路ブロックとして構成される。

## 【 0 0 6 6 】

図4は、本発明の実施の形態1に係る論理再構成可能な半導体集積回路100の構成を示す図である。図4に示す半導体集積回路100は、論理再構成可能な半導体集積回路である。半導体集積回路100は、4つのリコンフィギュラブルコア101A、101B、101C及び101Dと、複数のレジスタ回路102と、2つのメモリ103A及び103Bとを備える。

## 【 0 0 6 7 】

リコンフィギュラブルコア101A、101B、101C及び101Dは、各々が自己の論理を再構成することが可能な回路である。なお、リコンフィギュラブルコア101A、101B、101C及び101Dを特に区別しない場合には、リコンフィギュラブルコア101と記す。リコンフィギュラブルコア101は、コアの外部から入力されるコンフィギュレーションデータに応じてその内部の接続関係を変更し、それによって論理を再構成することが可能な回路である。なお、コンフィギュレーションデータはリコンフィギュラブルコア101の内部に複数セット予め格納しておくことも可能である。

## 【 0 0 6 8 】

また、各々のリコンフィギュラブルコア101は矩形の形状であり、東(E)、西(W)、南(S)、北(N)の4つの辺を有している。リコンフィギュラブルコア101はこれら4つの辺について対称ではなく、東西方向と南北方向で内部の配線構造は異なっている。また、本実施の形態においてはリコンフィギュラブルコア101の論理を再構成するためのコンフィギュレーションデータはS方向から入力されるものとする。各々のリコンフィギュラブルコア101はチップ設計上ハードマクロとして取り扱われ、これによって複数のコアを容易に1チップに実装することが可能となる。

【0069】

また、リコンフィギュラブルコア101は、クロックに同期して動作する。本実施の形態において各々のリコンフィギュラブルコア101には別々のクロックCLKA、CLKB、CLKC及びCLKDが入力される。

10

【0070】

図5は、リコンフィギュラブルコア101(101A、101B、101C及び101D)の構成を示す図である。リコンフィギュラブルコア101は、複数のロジックエレメント(LE)201と、複数のスイッチボックス(SB)202と、複数の配線ボックス群(CB)203と、I/O部204N、204E、204S及び204Wと、行方向及び列方向に延びる配線群とを備える。

【0071】

複数のロジックエレメント201は、アレイ状に配置され、各々が所定の論理を実現する。ロジックエレメント201は、コンフィギュレーションデータに応じて、その機能(入力に対する出力の関係)を変更することが可能な機能素子である。スイッチボックス202は、コンフィギュレーションデータに応じて、何れの配線と何れの配線とを接続するかが決定される。配線ボックス群203は、コンフィギュレーションデータに応じて、ロジックエレメント201の入力及び出力を何れの配線に接続するかが決定される。

20

【0072】

スイッチボックス202及び配線ボックス群203の接続関係を制御することによって、何れのロジックエレメント201の出力が何れのロジックエレメント201の入力に接続されるかをプログラマブルに決定できる。そこで本実施の形態においては、このスイッチボックス202、配線ボックス群203、及び配線群を総称して、単にプログラマブルな配線とも称する。また、リコンフィギュラブルコア101内にはプログラマブルな配線とは別にクロック配線も設けられる。

30

【0073】

I/O部204N、204E、204S及び204Wは、リコンフィギュラブルコア101の東西南北方向の各々に配置される入出力回路である。

【0074】

I/O部204Nは、リコンフィギュラブルコア101のN方向に配置される。I/O部204Nは、アプリケーションデータバス用及び制御用の入出力を有する。

【0075】

I/O部204Eは、リコンフィギュラブルコア101のE方向に配置される。I/O部204Eは、アプリケーションデータバス用の入出力を有する。

40

【0076】

I/O部204Sは、リコンフィギュラブルコア101のS方向に配置される。I/O部204Sは、アプリケーションデータバス用及び制御用の入出力を有する。さらに、I/O部204Sは、コンフィギュレーションデータ用の入出力を有する。

【0077】

I/O部204Wは、リコンフィギュラブルコア101のW方向に配置される。I/O部204Wは、制御用の入出力を有する。

【0078】

ここで、アプリケーションデータバス用の入出力は、他のリコンフィギュラブルコア101、CPU10、DMA12及びハードウェア回路13との間で演算結果の入出力に用

50

いられる。制御用の入出力は、CPU 10、DMA 12及びハードウェア回路13等の外部ハードウェアとの間の制御信号の入出力に用いられる。コンフィギュレーションデータ用の入出力は、メモリ103A及び103Bからのコンフィギュレーションデータの入力に用いられる。

【0079】

このように、S方向の一方向のみからコンフィギュレーションデータを入力する構造にすることによって、リコンフィギュラブルコア101の配線構造を簡易化できる。また、リコンフィギュラブルコア101の各方向に、入出力の配置が異なるIO部を配置することで、用途に応じた最適なレイアウト配置を実現できる。

【0080】

図6は、リコンフィギュラブルコア101の内部をさらに詳細に説明するための図である。図6は、1つのロジックエレメント201と、その周辺に配置されるスイッチボックス202、及び配線ボックス群203の構成を示す図である。

【0081】

本実施の形態においては、ロジックエレメント201は4入力2出力の機能素子であり、その入力は西方向、出力は東方向に設けられる。配線ボックス群203はこの東西方向に延びるロジックエレメント201の入出力を南北方向に延びる配線の何れに接続するかをプログラマブルに決定する。

【0082】

スイッチボックス202は東西方向に延びる配線と南北方向に延びる配線とをプログラマブルに接続する。また、ロジックエレメント201の出力は南北方向の配線に一度乗り換えた後に配線ボックス群を介して東西方向の配線へと接続することも可能である。またロジックエレメント201には、プログラマブルな配線とは異なる配線でクロックが供給される。

【0083】

図7は、ロジックエレメント201の詳細な構成を示す図である。本実施の形態において、ロジックエレメント201は、ルックアップテーブル(LUT)210と、複数のプログラム可能なマルチプレクサ211と、フリップフロップ212とを備える。ルックアップテーブル210は、1つが小規模なメモリで構成される。ルックアップテーブル210の入力に対する出力の関係は、メモリに保持される内容が書き換えられることにより、変更される。複数のプログラマブルなマルチプレクサ211の各々により選択される信号は、コンフィギュレーションデータ又は他のロジックエレメント201からの出力に応じて決定される。

【0084】

図5～図7に示されるように、各々のリコンフィギュラブルコア101が複数のロジックエレメント201をアレイ状に配置した構成を有するため、ハードマクロとしてのリコンフィギュラブルコア101内部ではロジックエレメント201を接続するためのプログラマブルな配線が密に配線されている。リコンフィギュラブルコア101と外部との境界領域ではアプリケーションデータバス用、制御用、及びコンフィギュレーション用のIOからの配線が比較的疎な配線として配線されている。リコンフィギュラブルコア101間ではIO部からの配線に加えて、半導体集積回路100と同一チップ上の他の回路ブロックとの接続を行うための配線が配線されている。すなわち、各々のリコンフィギュラブルコア101はチップレイアウト上で分離されており、その配線構造は内部と外部とで明らかに異なる。

【0085】

再び図4を参照して説明を行う。メモリ103A及び103Bは、リコンフィギュラブルコア101に入力されるコンフィギュレーションデータを一時格納するためのメモリである。なお、メモリ103A及び103Bを特に区別しない場合には、メモリ103と記す。メモリ103Aは、リコンフィギュラブルコア101A及び101Cの論理を再構成するためのコンフィギュレーションデータを格納する。メモリ103Bは、リコンフィギ

10

20

30

40

50

ュラブルコア101B及び101Dの論理を再構成するためのコンフィギュレーションデータを格納する。また、メモリ103Aは、リコンフィギュラブルコア101Aとリコンフィギュラブルコア101Cとの間に配置される。メモリ103Bは、リコンフィギュラブルコア101Bとリコンフィギュラブルコア101Dとの間に配置される。

【0086】

本発明の1つの特徴として、4つのリコンフィギュラブルコア101のうちリコンフィギュラブルコア101Aとリコンフィギュラブルコア101Cとは、S方向が対向するように配置される。また、リコンフィギュラブルコア101Bとリコンフィギュラブルコア101DとはS方向が対向するように配置される。コンフィギュレーションデータはS方向からのみ入力されるので、このようなレイアウトとすることによって、メモリ103を固めて配置することが可能となり、チップ設計が容易となる。また、メモリ103から各々のリコンフィギュラブルコア101への配線距離を短くできる。これにより、短い時間で動的にリコンフィギュラブルコアの機能を再構成できる。なお、図中で示してはいないが、メモリ103とリコンフィギュラブルコア101とは複数ビットのバスで接続されている。

10

【0087】

また、リコンフィギュラブルコア101Aとリコンフィギュラブルコア101Bとは、E方向が対向するように配置される。リコンフィギュラブルコア101Cとリコンフィギュラブルコア101Dとは、E方向が対向するように配置される。上述したようにリコンフィギュラブルコア101のE方向は、アプリケーションデータバス用のI/Oが配置される。ここで、一般にアプリケーションデータバスには配線遅延の減少が望まれる。一方、制御用の信号配線は、配線遅延の影響が比較的問題にならない。よって、E方向が対向するように複数のリコンフィギュラブルコア101を配置することで、リコンフィギュラブルコア101間のアプリケーションデータバスの配線距離を短くできる。これにより、アプリケーションデータバスの配線遅延の影響を低減できる。

20

【0088】

また、本実施の形態の特徴のひとつとして、論理再構成可能な半導体集積回路100は、上下方向あるいは左右方向に隣接するリコンフィギュラブルコア101の間の各々にレジスタ回路102を2段設けている。

【0089】

各々のレジスタ回路102は、複数のフリップフロップで構成されており、複数ビット（例えば、16ビット）からなるデータを複数セット保持することが可能である。各々の2段のレジスタ回路は、隣接するリコンフィギュラブルコア101間の全てに形成される。各々の2段のレジスタ回路102は、データの出力元となるリコンフィギュラブルコア101の出力を一時保持し、データの出力先となるリコンフィギュラブルコア101に出力する。2段のレジスタ回路102のうち前段のレジスタ回路102は、データの出力元となるリコンフィギュラブルコア101から出力されるデータをクロックに同期して保持し、後段のレジスタ回路102に出力する。2段のレジスタ回路102のうち後段のレジスタ回路102は、前段のレジスタ回路102から出力されるデータをクロックに同期して保持し、データの出力先となるリコンフィギュラブルコア101に出力する。

30

40

【0090】

また、隣接するリコンフィギュラブルコア101間には、隣接する2つのリコンフィギュラブルコア101のうち一のリコンフィギュラブルコア101の出力を一時保持し、他のリコンフィギュラブルコア101へと出力する2段のレジスタ回路102と、他のリコンフィギュラブルコア101の出力を一時保持し、一のリコンフィギュラブルコア101へと出力する2段のレジスタ回路102とが形成される。

【0091】

各リコンフィギュラブルコア101は、レジスタ回路102を2段介してデータのやりとりを行う。これにより、各々のリコンフィギュラブルコア101は独立した回路として取り扱うことができる。論理再構成可能な半導体集積回路100全体が大規模な回路にな

50

ったとしても、各々のリコンフィギュラブルコア101自体は独立した1/4の大きさの回路にしかならない。そのため、大規模な回路機能をマッピングしようとした場合であっても、各々のリコンフィギュラブルコア101内でのマッピングの組み合わせを限られたものにできる。したがって、高速に回路機能をマッピングできる。なお、マッピングの詳細については後述する。

#### 【0092】

ここで、レジスタ回路102を2段設けている1つの理由は配線距離に起因する遅延に対してタイミング制約を緩和するためである。例えば、レジスタ回路102を1段しか設けない場合、レジスタ回路102は、データの出力元となるリコンフィギュラブルコア101の最も離れた位置のロジックエレメント201からの出力データをおあるクロックエッジで格納し保持し、次のクロックエッジでデータの入力先となるリコンフィギュラブルコア101の最も離れた位置のロジックエレメント201までデータを出しなくてはならない可能性があり、タイミング制約が厳しくなる。一方、レジスタ回路102を2段設けることによってこの制約は緩和される。例えば、2段のレジスタ回路102のうち、初段のレジスタ回路102は、データの出力元となるリコンフィギュラブルコア101側の近傍に配置され、2段目のレジスタ回路102は、データの出力先となるリコンフィギュラブルコア101側の近傍に配置される。

10

#### 【0093】

また、レジスタ回路102に入力されるクロックはデータの出力先となるリコンフィギュラブルコア101に入力されるクロックと同一のクロックが入力される。例えば、リコンフィギュラブルコア101Aからリコンフィギュラブルコア101Cへとデータが転送される経路上に設けられたレジスタ回路102にはリコンフィギュラブルコア101Cと同一のクロックCLKCが供給される。これにより、各リコンフィギュラブルコア101を非同期で動作させた場合でも、少なくとも後段のレジスタ回路102ではデータが確実に保持される。よって、半導体集積回路100は、各リコンフィギュラブルコア101を非同期で動作させた場合に生じるメタステーブル(セットアップ制約、又はホールド制約が満たされない状態)の発生を防止できる。

20

#### 【0094】

次に、マッピング装置を用いて、本発明の実施の形態1に係る論再構成可能な半導体集積回路100に回路機能をマッピングする方法について説明する。マッピングによりメモリ103に保持されるコンフィギュレーションデータが作成される。

30

#### 【0095】

図8は、本発明の実施の形態1に係るマッピング装置のハードウェア構成を示す図である。図8に示すマッピング装置400は、上述した半導体集積回路100に回路記述に記述される回路機能をマッピングする。マッピング装置400は、例えば、パーソナルコンピュータである。マッピング装置400は、キーボード401と、ディスプレイ402と、CPU403と、ROM404と、RAM405とを備える。

#### 【0096】

キーボード401は、設計者による操作を受け付ける。ディスプレイ402は、設計者に処理結果等を表示する。CPU403は、ROM404に格納されるプログラム406を実行することにより、マッピング装置400の全体を制御する。ROM404は、CPU403により実行されるプログラム406を格納する読み出し専用メモリである。なお、プログラム406は、図示しない不揮発性メモリ又はHD(Hard Disk)等に保持されてもよい。RAM405は、CPU403がプログラム406を実行する際に用いられるワークデータ等を保持する読み書き可能なメモリである。

40

#### 【0097】

以上の構成により、マッピング装置400のCPU403がプログラム406を実行することにより、半導体集積回路100に回路記述に記述される回路機能をマッピングする。

#### 【0098】

50

なお、マッピング装置 400 によるマッピングは、専用のハードウェアにより実現されてもよい。

【0099】

図9は、半導体集積回路100への回路機能のマッピングの流れを示すフローチャートである。

【0100】

まず、設計者は論理再構成可能な半導体集積回路100にマッピングする回路機能を記述する(S201)。この回路機能の記述にはHDLなどのハードウェア記述言語、又はC言語などの高級言語が使用される。回路機能を記述する際には、設計者は大規模な回路機能を複数の処理モジュールに分けて記述し、これらの処理モジュール間には2サイクルの遅延が入るように記述する。これにより、各処理モジュールの間には2段のレジスタ回路が挿入されることになる。

10

【0101】

次に、マッピング装置400は、設計者によって記述された回路記述に記述される回路機能を複数の回路機能ブロックに分割する(S202)。具体的には、マッピング装置400は、回路記述に含まれる処理モジュールを一度束ねた上で4つのブロックに再分割する。マッピング装置は、再分割されたブロックを4つのリコンフィギュラブルコア101に割り当てる。次に、マッピング装置400は、4つのブロックの間に位置する2段のレジスタをレジスタ回路102に割り当てるために、リコンフィギュラブルコア101へのマッピング対象から除外する(S203)。

20

【0102】

以下、図10を用いて、マッピング装置400によるステップS202及びS203の処理の具体例を説明する。

【0103】

図10は、ステップS202での各リコンフィギュラブルコア101への割り当て、及びステップS203でのレジスタ回路102への割り当て処理を説明するための図である。

【0104】

図10を用いて、設計者により、モジュール221A~221Fの6つの処理モジュールに分割された大規模回路の回路記述が入力された場合の、マッピング装置400の処理を説明する。この大規模回路はモジュール221Eからデータが入力され、所定の演算処理を施した後にモジュール221Dから演算処理の結果が出力される。設計者により各々のモジュールの間にレジスタが2段挿入されるように回路記述が記述されている(2サイクルの遅延が記述されている)。但し、モジュール221Aとモジュール221Bとの間では演算処理のアルゴリズムの制約からレジスタは挿入されていない。

30

【0105】

ステップS202ではこの回路記述を、マッピング装置400が、各々の処理モジュールの回路規模及び速度を考慮して、4つのブロックに分割する。また、マッピング装置400は、分割されたブロックを各リコンフィギュラブルコアへと割り当てる。例えば、マッピング装置400は、モジュール221A及び221Bをリコンフィギュラブルコア101Aに、モジュール221C及び221Dをリコンフィギュラブルコア101Bに、モジュール221Eをリコンフィギュラブルコア101Cに、モジュール221Fをリコンフィギュラブルコア101Dに割り当てる。

40

【0106】

ステップS203で、マッピング装置400は、モジュール221Aとモジュール221Eとの間に存在するレジスタ222Aをリコンフィギュラブルコア101Aと101Cとの間に設けられたレジスタ回路102に割り当てる。マッピング装置400は、モジュール221Bとモジュール221Dとの間のレジスタ222Bをリコンフィギュラブルコア101Aと101Bとの間に設けられたレジスタ回路102に割り当てる。マッピング装置400は、モジュール221Cとモジュール221Fとの間に設けられたレジスタ2

50

22Dをリコンフィギュラブルコア101Bと101Dとの間に設けられたレジスタ回路102に割り当てる。マッピング装置400は、モジュール221Eとモジュール221Fとの間に設けられたレジスタ222Eをリコンフィギュラブルコア101Cと101Dとの間に設けられたレジスタ回路102に割り当てる。マッピング装置400は、レジスタ回路102に割り当てたレジスタ222A、222B、222D及び222Fをマッピング対象からは除外する。

【0107】

一方で、マッピング装置400は、1つのリコンフィギュラブルコア101Bに割り当てられたモジュール221Cとモジュール221Dとの間に設けられたレジスタ222Cを、リコンフィギュラブルコア101へのマッピング対象に残す。

10

【0108】

次に、マッピング装置400は、各々のリコンフィギュラブルコア101に割り当てられた回路機能をマッピングする(S204)。図11は、ステップS204での、1つのリコンフィギュラブルコア101への回路機能のマッピングの流れを示すフローチャートである。

【0109】

まず、マッピング装置400は、ステップS202で再分割され、ステップS203でレジスタが除外されたブロックの回路記述を取得する(S301)。

【0110】

次に、マッピング装置400は、マッピングにおける制約条件を取得する(S302)。例えば、制約条件は、速度及び面積などに関する条件である。また、例えば、制約条件は、設計者によりマッピング装置400に入力される。

20

【0111】

次に、マッピング装置400は、ステップS301で取得された回路記述を論理合成する(S303)。具体的には、マッピング装置400は、回路記述に記述される回路機能を1つのロジックエレメント201に割り当て可能な機能単位に分割する。マッピング装置400は、分割された機能単位の接続関係を決定する。次に、マッピング装置400は、分割された機能単位を実回路におけるロジックエレメント201上に配置する(S304)。これによって、各々のロジックエレメント201の機能(入力に対する出力の関係)が決定される。

30

【0112】

次に、マッピング装置400は、論理合成によって決定された接続関係を満たすように、プログラマブルな配線を用いて各々のロジックエレメント201を配線する(S305)。なお、ロジックエレメント201への配置とプログラマブルな配線によるロジックエレメント201の接続とは1つの処理として行われてもよいし、分割された処理として行われてもよい。

【0113】

次に、マッピング装置400は、配置及び配線された回路が、ステップS302で取得された制約条件を満たすか否かを判定する(S306)。制約条件を満たす場合(S306でYes)、ブロックの合成、配置及び配線が終了する。また、制約条件を満たさない場合(S306でNo)、次に、マッピング装置400は、所定の回数ステップS304~S306の処理が繰り返されたか否かを判定する(S307)。所定の回数の繰り返し処理が行われていない場合(S307でNo)、マッピング装置400は、再度、配置及び配線処理(S304及びS305)を行う。すなわち、マッピング装置400は、配置及び配線処理(S304及びS305)を制約条件が満たされるまで繰り返す。また、所定の回数処理が繰り返されても制約条件を満たさない場合(S307でYes)、マッピング装置400は、ブロックへのマッピングが不可であるとして処理を終了する。

40

【0114】

なお、制約条件を満たさない場合(S306でNo)、合成処理(S303)、配置及び配線処理(S304及びS305)を再度行ってもよい。

50

## 【0115】

また、マッピング装置400は、所定の回数処理が繰り返されても制約条件が満たされない場合には、制約条件を満たせない旨を表示してもよい。これにより、設計者により制約条件が見直され、マッピング装置400は、新たに入力された制約条件を取得し(S302)、新たな制約条件に対してステップS303~306の処理を行うことができる。

## 【0116】

ここで、マッピング装置400は、リコンフィギュラブルコア101毎に分割された回路機能をマッピングするので、従来のように大規模な回路記述を1つの大規模なリコンフィギュラブルコアにマッピングする場合と比較して、短時間で処理を収束させることができる。

10

## 【0117】

次に、マッピング装置400は、4つのリコンフィギュラブルコア101の全てについて制約条件が満たされたか否かが判定する(S205)。満たされている場合(S205でYes)、大規模回路の回路記述のマッピングが終了する。

## 【0118】

複数のリコンフィギュラブルコア101のいずれか1以上について制約条件が満たされていない場合(S205でNo)、マッピング装置400は、ステップS202~S204でのマッピング処理が所定の回数繰り返し行われたかを判定する(S206)。所定の回数の繰り返し処理が行われていない場合(S206でNo)、マッピング装置400は、ステップS202以降の処理を再度行う。所定の回数の繰り返し処理が行われている場合(S206でYes)、マッピング装置400は、ステップS201で記述された回路機能は論理再構成可能な半導体集積回路100にはマッピングできないものであると判断する。

20

## 【0119】

ここで、ステップS202、S203、S205及びS206の処理は、マッピング装置400がプログラム406に含まれる専用のポイントツールを用いて実行する方法と、合成ツールの一部として実行する方法とがある。また、S204の処理は、マッピング装置400がプログラム406に含まれる従来と同様の合成ツール及びP&Rツールを実行することにより実現できる。

## 【0120】

以上説明してきたように、本発明の実施の形態1の論理再構成可能な半導体集積回路100を用いることにより、大規模な回路機能における処理モジュール毎にレジスタを2段挿入しておけば、マッピング装置400は各々のリコンフィギュラブルコア101を独立の回路と取り扱ってマッピングを行うことができる。したがって、短時間でマッピングが終了する。

30

## 【0121】

さらにリコンフィギュラブルコア101とレジスタ回路102とが同一チップ内に設けられ、かつレジスタ回路102がリコンフィギュラブルコア101に供給されるクロックと同一のクロックで駆動されているので、半導体集積回路100は1つの大規模な論理再構成可能な半導体集積回路と同様の速度で動作できる。

40

## 【0122】

これまで本発明を実施するための最良の形態について説明してきたが、本発明が上記の実施の形態に限定されるものではないことは言うまでもない。一例として、以下のような変形を施すことが可能である。

## 【0123】

レジスタ回路102は3段以上設けてもよい。この場合、各リコンフィギュラブルコア101のクロックが非同期であるとすれば、少なくとも後段の2段のレジスタ回路102については、メタステーブルへの対策として、データの入力先となるリコンフィギュラブルコア101と同一のクロックを供給することが望ましい。

## 【0124】

50

また、レジスタ回路102は1段であってもよい。なお、上述したようにレジスタ回路102が1段の場合、タイミング制約が厳しくなる。しかしながら、リコンフィギュラブルコア101間の距離が短い場合、及びリコンフィギュラブルコア101の回路規模が小さい場合等には、レジスタ回路102が1段であっても、タイミング制約を守ることができる。レジスタ回路102が1段の場合、レジスタ回路102は、データの出力元となるリコンフィギュラブルコア101と、データの入力先となるリコンフィギュラブルコア101から等距離の位置に配置されることが望ましい。

【0125】

また、上記説明において、各々のリコンフィギュラブルコア101には異なるクロックCLKA、CLKB、CLKC及びCLKDが入力されるとしたが、構成を単純化するためにこのクロックを全て同一のクロックとすることも可能である。また、複数のリコンフィギュラブルコア101のうちいずれか2以上に同一のクロックを供給してもよい。

10

【0126】

また、上記説明において、2段のレジスタ回路102は、隣接するリコンフィギュラブルコア101間の全てに形成されているが、隣接するリコンフィギュラブルコア101のうち1以上に形成されればよい。また、隣接する2つのリコンフィギュラブルコア101のうち一のリコンフィギュラブルコア101からの他のリコンフィギュラブルコア101へ送信されるデータを保持するレジスタ回路102のみを設け、他のリコンフィギュラブルコア101からの一のリコンフィギュラブルコア101へ送信されるデータを保持するレジスタ回路102を設けなくてもよい。

20

【0127】

また、隣接しないリコンフィギュラブルコア101間に2段のレジスタ回路102を形成してもよい。例えば、リコンフィギュラブルコア101Aとリコンフィギュラブルコア101Dとの間に2段のレジスタ回路102を形成してもよい。リコンフィギュラブルコア101Bとリコンフィギュラブルコア101Bとの間に2段のレジスタ回路102を形成してもよい。

【0128】

また、本発明の実施の形態1に係る半導体集積回路100は、所謂SOCにおける1つの回路ブロックとして構成されとしたが、半導体集積回路100は、それだけで1チップのLSI(Large Scale Integration)として構成されてもよい。

30

【0129】

また、ロジックエレメント201としてLUTではなく、1又は複数のALUを用いることも可能である。画像の符号化、画像の復号化及び暗号処理などの信号処理演算は単純な演算の繰り返しによって構成されることが多い。したがって、ロジックエレメント201として1又は複数のALUを用いることによって、信号処理演算に最適なりコンフィギュラブルコア101が実現できる。特に本発明に係る論理再構成可能な半導体集積回路100をSOCにおける1つの回路ブロックとして構成する場合には、制御系の処理はCPU10に任せることができるので、ALUをロジックエレメント201として用いたリコンフィギュラブルコア101を用いることが好ましい。従来のSOCでは様々な種類の信号処理を実現する必要がある場合には、信号処理毎に専用ハードウェアを設計していた。一方、ロジックエレメント201として1又は複数のALUを用い、かつCPU10を含むSOCとすることで、専用ハードウェアを設けなくても1つの論理再構成可能な半導体集積回路100で全ての処理を行うことができる。

40

【0130】

また、論理再構成可能な半導体集積回路100で実現すべき回路機能によっては、全てのリコンフィギュラブルコア101を用いて1つの回路機能を実現する必要はなく、一部のリコンフィギュラブルコア101を用いて1つの回路機能をマッピングしてもよい。また、残りのリコンフィギュラブルコアには別の回路機能をマッピングしてもよい。

【0131】

50

また、上記説明において、リコンフィギュラブルコア101A、101B、101C及び101Dは、同じ構成であるとしたが、異なる構成であってもよい。例えば、各リコンフィギュラブルコア101に含まれるロジックエレメント201の数が異なってもよい。

【0132】

また、本発明において各々のリコンフィギュラブルコア101は、電源を投入したまま動的に論理を再構成することが可能な動的再構成可能なリコンフィギュラブルコア101であっても、論理を再構成するためには一度電源を落とす必要がある所謂FPGAであっても、何れでも構わない。

【0133】

また、リコンフィギュラブルコア101が備える4つのIO部の構成は、図5に示す構成に限定されるものではない。S方向からコンフィギュレーションデータが入力される構成であれば、IO部の構成は任意でよい。

【0134】

また、上記説明において、図9に示すステップS201～S206の処理を、マッピング装置400が行うとしたが、処理の一部を設計者が行いマッピング装置400に入力してもよい。

【0135】

また、上記説明において、リコンフィギュラブルコア101が4つの例を説明したが、半導体集積回路100は、複数のリコンフィギュラブルコア101を備えればよい。例えば、半導体集積回路100は、2、3又は5以上のリコンフィギュラブルコア101を備えてもよい。

【0136】

また、メモリ103は図4に示すようにS方向が対向する1組のリコンフィギュラブルコア101に1つ設けるのではなく、リコンフィギュラブルコア101毎にメモリ103を1つ設ける構成としてもよい。図12は、実施の形態1に係る半導体集積回路100の変形例であり、リコンフィギュラブルコア101毎にメモリ103を1つ備える半導体集積回路150の構成を示す図である。図12に示すように、半導体集積回路150は、4つのメモリ103A、103B、103C及び103Dを備える。メモリ103Aは、リコンフィギュラブルコア101Aに入力されるコンフィギュレーションデータを格納する。メモリ103Bは、リコンフィギュラブルコア101Bに入力されるコンフィギュレーションデータを格納する。メモリ103Cは、リコンフィギュラブルコア101Cに入力されるコンフィギュレーションデータを格納する。メモリ103Dは、リコンフィギュラブルコア101Dに入力されるコンフィギュレーションデータを格納する。このような構成にすることで、全てのリコンフィギュラブルコア101を並列にコンフィギュレーションできるので、短時間でコンフィギュレーションが終了する。

【0137】

(実施の形態2)

本発明の実施の形態2に係る半導体集積回路は、レジスタ回路102及びリコンフィギュラブルコア101へのクロックの供給を停止する機能を有する。これにより、余分な消費電力を削減できる。

【0138】

図13は、本発明の実施の形態2に係る半導体集積回路の構成を示す図である。

【0139】

図13に示す半導体集積回路200は、図5に示す実施の形態1に係る半導体集積回路100の構成に加えて、複数の第1クロック停止回路104と、複数の第2クロック停止回路105とを備える。なお、図5と同様の要素には同一の符号を付しており、説明は省略する。

【0140】

第1クロック停止回路104は、複数のリコンフィギュラブルコア101の各々に対応して形成される。第1クロック停止回路104は、対応するリコンフィギュラブルコア1

10

20

30

40

50

01にクロックを供給するか否かを制御する。第1クロック停止回路104は、対応するリコンフィギュラブルコア101が使用されない場合には、当該リコンフィギュラブルコア101へのクロックの供給を停止する。また、第1クロック停止回路104は、対応するリコンフィギュラブルコア101が使用されない場合には、当該リコンフィギュラブルコア101への信号の入力に用いられるレジスタ回路102へのクロックの供給を停止する。例えば、第1クロック停止回路104は、対応するリコンフィギュラブルコア101に回路が構成されない場合に、クロックの供給を停止する。

#### 【0141】

第2クロック停止回路105は、2段のレジスタ回路102の各々に対応して形成される。第2クロック停止回路105は、対応するレジスタ回路102へのクロックの供給を制御する。第2クロック停止回路105は、対応するレジスタ回路102を用いた信号伝達が行われない場合には、当該レジスタ回路102へのクロックの供給を停止する。例えば、リコンフィギュラブルコア101Aと101Bとが動作していたとしても、その間で信号伝達がないことはあり得る。そのような場合にはリコンフィギュラブルコア101Aと101Bとの間のレジスタ回路102にクロックを供給する必要はない。またリコンフィギュラブルコア101Aからリコンフィギュラブルコア101Bへの信号伝達があるが、逆方向には信号伝達がないこともあり得る。その場合にはリコンフィギュラブルコア101Bからリコンフィギュラブルコア101Aへの信号伝達を行う経路に挿入されたレジスタ回路102のみへのクロックの供給を停止すればよい。

#### 【0142】

以上より、本発明の実施の形態2に係る半導体集積回路200は、使用されないリコンフィギュラブルコア101へのクロックの供給を停止する。これにより、余分な消費電力を削減できる。また、半導体集積回路200は、使用されないレジスタ回路102へのクロックの供給を停止する。これにより、余分な消費電力を削減できる。

#### 【0143】

なお、図13では、半導体集積回路200は、全てのリコンフィギュラブルコア101の各々に対応する第1クロック停止回路104を備えているが、半導体集積回路200は、リコンフィギュラブルコア101のいずれか1以上に対応する1以上の第1クロック停止回路104を備えてもよい。この場合、回路機能のマッピング時に、対応する第1クロック停止回路104が設けられていないリコンフィギュラブルコア101に、優先的にマッピングを行えばよい。

#### 【0144】

また、図13では、半導体集積回路200は、全てのレジスタ回路102の各々に対応する第2クロック停止回路105を備えているが、半導体集積回路200は、レジスタ回路102のいずれか1以上に対応する1以上の第2クロック停止回路105を備えてもよい。

#### 【0145】

(実施の形態3)

上述した実施の形態1におけるマッピングでは、図10に示すステップS201の回路記述に2段のレジスタ回路を挿入する処理を設計者が行うとした。実施の形態3では回路記述に2段のレジスタ回路を挿入する処理を行うプログラム変換装置について説明する。

#### 【0146】

本発明の実施の形態3に係るプログラム変換装置の機能は、例えば、パーソナルコンピュータ等がプログラムを実行することにより実現される。例えば、実施の形態3に係るプログラム変換装置は、図8に示す構成と同様の構成である。すなわち、プログラム変換装置の機能は、CPU403がプログラム406を実行することにより実現される。なお、本発明の実施の形態3に係るプログラム変換装置の機能は、専用のハードウェアにより実現されてもよい。

#### 【0147】

本発明の実施の形態3に係るプログラム変換装置は、従来と同様の回路記述を上述した

10

20

30

40

50

実施の形態 1 に係るマッピング装置 400 でマッピング可能な状態に変換する。本発明の実施の形態 3 に係るプログラム変換装置は、複数の処理モジュールからなる 1 つの大規模な回路の回路機能が記述された回路記述の、各処理モジュール間に選択的に 2 段のレジスタ回路を挿入する。

【0148】

以下、設計者により 5 つのモジュール 301A、301B、301C、301D 及び 301E の回路機能が記述された回路記述に、プログラム変換装置がレジスタ回路を挿入する動作について、図 14 ~ 図 18 を用いて説明する。

【0149】

図 14 は、本発明の実施の形態 3 に係るプログラム変換装置の処理の流れを示すフローチャートである。図 15 ~ 図 18 は、プログラム変換装置の処理を説明するための図である。

10

【0150】

まず、プログラム変換装置は、設計者により記述された、論理再構成可能な半導体集積回路にマッピングする回路記述を取得する (S401)。プログラム変換装置により取得される回路記述は、設計者により、複数の処理モジュールとして回路機能が記述された回路記述である。回路記述には HDL などのハードウェア記述言語、又は C 言語などの高級言語が使用される。例えば、プログラム変換装置は、図 15 に示す回路記述を取得する。

【0151】

次に、プログラム変換装置は、ステップ S401 で取得された回路記述に基づき、複数の処理モジュールからなる回路機能を 1 つの回路とした場合の入力信号と出力信号との満たすべき関係 (制約) を算出する (S402)。具体的には、プログラム変換装置は、回路記述に含まれる各処理モジュールの処理に要するサイクル数に基づき、全体の回路の入力信号が入力されてから有効な出力信号が得られるまでのサイクル数を算出する。例えば、プログラム変換装置は、制約として、図 15 に示す入力信号 IN0 が入力されてから、出力信号 OUT0 が得られるまでのサイクル数を 5 サイクル以内と算出する。また、プログラム変換装置は、制約として、入力信号 IN0 が入力されてから、出力信号 OUT1 が得られるまでのサイクル数を 3 サイクル以内と算出する。

20

【0152】

次に、プログラム変換装置は、仮想モジュールを設定する (S403)。具体的には、プログラム変換装置は、複数のモジュールのうちフィードバック系を有する複数のモジュールを抽出し、1 つの仮想モジュールと設定する。例えば、図 16 に示すように、モジュール 301E の出力がモジュール 301C にフィードバックしているので、プログラム変換装置は、モジュール 301C とモジュール 301E とを 1 つの仮想モジュール 301F として設定する。また、プログラム変換装置は、フィードバック系を有さないモジュール 301A、301B 及び 301D を各々 1 つのモジュールとして設定する。すなわち、プログラム変換装置は、モジュール 301A、301B、301D 及び仮想モジュール 301F を各々 1 つのモジュールとして以降の処理で扱う。

30

【0153】

次に、プログラム変換装置は、モジュール 301A、301B、301D 及び仮想モジュール 301F の各々の間にレジスタを挿入、又は挿入しないパターンを生成する (S404)。例えば、プログラム変換装置により生成される複数のパターンのうちレジスタの数が最大となるパターンは、図 17 に示すように、モジュール 301A、301B、301D 及び仮想モジュール 301F の各々の間にレジスタ 302AB、302AD、302AF、302BD 及び 302BF が挿入されるパターンである。また、プログラム変換装置は、レジスタ 302AB、302AD、302AF、302BD 及び 302BF のうちいずれか 1 以上が挿入されるパターン、及び全てが挿入されないパターンを生成する。なお、レジスタ 302AB、302AD、302AF、302BD 及び 302BF を特に区別しない場合は、レジスタ 302 と記す。

40

【0154】

50

例えば、信号の受け渡しがあるモジュール間の数をNとすると、プログラム変換装置は、 $2^N$ 個のパターンを生成する。図17に示す例では、信号の受け渡しがあるモジュール間の数は5箇所である。よって、プログラム変換装置は、 $2^5 = 32$ 通りのパターンを生成する。ここで、挿入されるレジスタ302は、各々2段のレジスタである。

【0155】

次に、プログラム変換装置は、ステップS404で生成された複数のパターンのうち、ステップS402で算出された制約を満たすパターンを抽出する(S405)。プログラム変換装置は、ステップS404で生成された複数のパターンの各々に対して、ステップS402で算出された制約を満たすか否かを判定する。例えば、レジスタ302BD及び302BFのうち少なくとも一方を挿入した場合に制約が満たさない場合、プログラム変換装置は、図18に示すレジスタ302AB、302AD及び302AFが挿入されたパターンを制約が満たされるパターンとして抽出する。また、プログラム変換装置は、レジスタ302AB、302AD及び302AFのうちいずれか1以上が挿入されたパターン及びいずれも挿入されないパターンを制約が満たされるパターンとして抽出する。

10

【0156】

次に、プログラム変換装置は、ステップS405で抽出されたパターンのうちいずれかを選択する(S406)。例えば、プログラム変換装置は、抽出されたパターンのうち最も挿入されるレジスタの数が多いパターンを選択する。つまり、図18に示す例では、プログラム変換装置は、レジスタ302AB、302AD及び302AFが挿入されたパターンを選択する。選択されたパターンに対して、図9に示すステップS202以降の処理が上述したマッピング装置400により実行される。

20

【0157】

また、以降の処理で制約条件が満たされない場合、又はマッピング不可と判断された場合に、プログラム変換装置は、ステップS405で抽出されたパターンのうちステップS406で選択されたパターンと異なるパターンを選択する。新たに選択されたパターンに対してマッピング装置400によりステップS202以降の処理が実行される。

【0158】

以上より、本発明の実施の形態3に係るプログラム変換装置は、回路記述にレジスタ回路102に対応するレジスタを加えることができる。すなわち、本発明の実施の形態3に係るプログラム変換装置は、設計者により記述された従来と同様の回路記述を、モジュール間に2段のレジスタが挿入された回路記述に変換できる。

30

【0159】

また、本発明の実施の形態3に係るプログラム変換装置は、レジスタが挿入された複数のパターンから制約を満たすパターンのみを抽出できる。

【0160】

また、本発明に係る実施の形態3に係るプログラム変換装置は、フィードバック系を有するモジュール間にはレジスタを加えない。フィードバック系を有するモジュール間にはレジスタを加えた場合、ステップS405における制約を満たすか否かの判断が複雑になり、プログラム変換装置の処理量が増加する。実施の形態3に係るプログラム変換装置は、フィードバック系を有するモジュール間にはレジスタを加えないので、処理量を低減できる。

40

【0161】

なお、上記説明では、プログラム変換装置はステップS401において複数の処理モジュールとして回路機能が記述された回路記述を取得するとしたが、プログラム変換装置は1つの大規模な回路記述を取得し、取得した回路記述を複数の処理モジュールに分割してもよい。

【0162】

また、上記説明では、ステップS402においてプログラム変換装置が回路記述に基づき制約を算出するとしたが、プログラム変換装置は、設計者により入力された制約を用いてもよい。

50

## 【 0 1 6 3 】

また、上述したプログラム変換装置を、実施の形態 1 で説明したマッピング装置 4 0 0 の 1 機能として実現してもよい。

## 【産業上の利用可能性】

## 【 0 1 6 4 】

本発明によれば、論理再構成可能な半導体集積回路に大規模な回路機能をマッピングすることが可能となるので、様々な電子機器において利用可能性がある。

## 【図面の簡単な説明】

## 【 0 1 6 5 】

【図 1】図 1 は、従来の論理再構成可能な半導体集積回路の構成を示す図である。 10

【図 2】図 2 は、従来の論理再構成可能な半導体集積回路への回路機能のマッピングの流れを示す図である。

【図 3】図 3 は、本発明の実施の形態 1 に係る半導体集積回路の構成を示す図である。

【図 4】図 4 は、本発明の実施の形態 1 に係る論理再構成可能な半導体集積回路の構成を示す図である。

【図 5】図 5 は、本発明の実施の形態 1 に係るリコンフィギュラブルコアの構成を示す図である。

【図 6】図 6 は、本発明の実施の形態 1 に係るロジックエレメント周辺の構成を示す図である。

【図 7】図 7 は、本発明の実施の形態 1 に係るロジックエレメントの詳細な構成を示す図 20 である。

【図 8】図 8 は、本発明の実施の形態 1 に係るマッピング装置の構成を示す図である。

【図 9】図 9 は、本発明の実施の形態 1 に係る回路機能のマッピングの流れを示すフローチャートである。

【図 1 0】図 1 0 は、本発明の実施の形態 1 に係る回路機能のマッピングにおける各リコンフィギュラブルコアへの割り当てを説明するための図である。

【図 1 1】図 1 1 は、本発明の実施の形態 1 に係る回路機能のマッピングにおける 1 つのリコンフィギュラブルコアへの回路機能のマッピングの流れを示すフローチャートである。

【図 1 2】図 1 2 は、本発明の実施の形態 1 に係る半導体集積回路の変形例の構成を示す 30 図である。

【図 1 3】図 1 3 は、本発明の実施の形態 2 に係る半導体集積回路の構成を示す図である。

【図 1 4】図 1 4 は、本発明の実施の形態 3 に係るプログラム変換装置の処理の流れを示すフローチャートである。

【図 1 5】図 1 5 は、本発明の実施の形態 3 に係るプログラム変換装置の処理を説明するための図である。

【図 1 6】図 1 6 は、本発明の実施の形態 3 に係るプログラム変換装置の処理を説明するための図である。

【図 1 7】図 1 7 は、本発明の実施の形態 3 に係るプログラム変換装置の処理を説明する 40 ための図である。

【図 1 8】図 1 8 は、本発明の実施の形態 3 に係るプログラム変換装置の処理を説明するための図である。

## 【符号の説明】

## 【 0 1 6 6 】

1 半導体装置

1 0 C P U

1 1 R A M

1 2 D M A

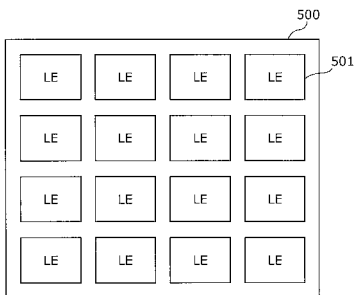
1 3 ハードウェア回路 50

- 1 0 0、1 5 0、2 0 0、5 0 0 半導体集積回路 ( F P G A )
- 1 0 1、1 0 1 A、1 0 1 B、1 0 1 C、1 0 1 D リコンフィギュラブルコア
- 1 0 2 レジスタ回路
- 1 0 3、1 0 3 A、1 0 3 B、1 0 3 C、1 0 3 D メモリ
- 1 0 4 第1クロック停止回路
- 1 0 5 第2クロック停止回路
- 2 0 1、5 0 1 ロジックエレメント
- 2 0 2 スイッチボックス
- 2 0 3 配線ボックス群
- 2 0 4 E、2 0 4 N、2 0 4 S、2 0 4 W I O 部
- 2 1 0 ルックアップテーブル
- 2 1 1 マルチプレクサ
- 2 1 2 フリップフロップ
- 2 2 1 A、2 2 1 B、2 2 1 C、2 2 1 D、2 2 1 E、2 2 1 F、3 0 1 A、3 0 1 B  
、3 0 1 C、3 0 1 D、3 0 1 E モジュール
- 2 2 2 A、2 2 2 B、2 2 2 C、2 2 2 D、2 2 2 E、3 0 2、3 0 2 A B、3 0 2 A  
D、3 0 2 A F、3 0 2 B D、3 0 2 B F レジスタ
- 3 0 1 F 仮想モジュール
- 4 0 0 マッピング装置
- 4 0 1 キーボード
- 4 0 2 ディスプレイ
- 4 0 3 C P U
- 4 0 4 R O M
- 4 0 5 R A M
- 4 0 6 プログラム

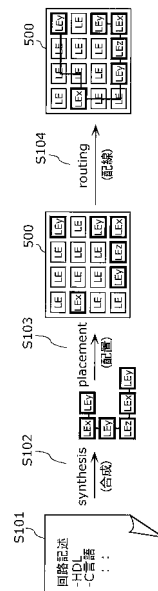
10

20

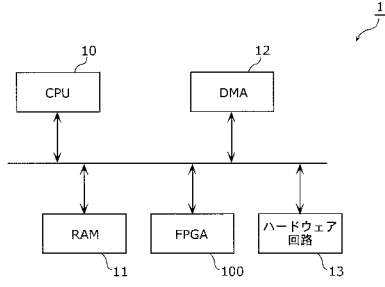
【図1】



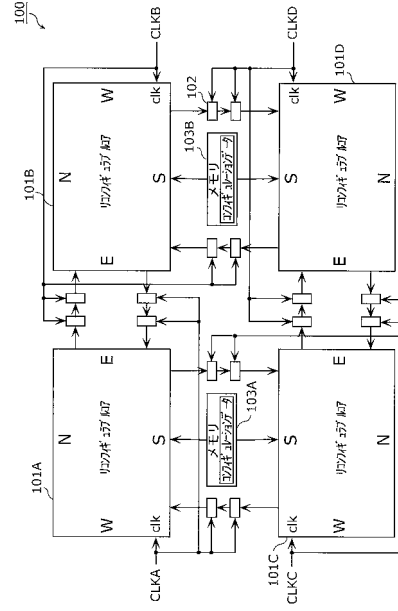
【図2】



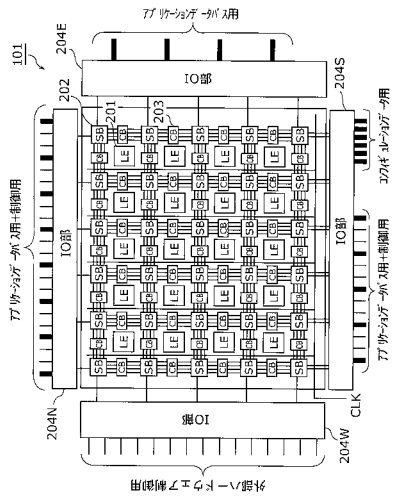
【図3】



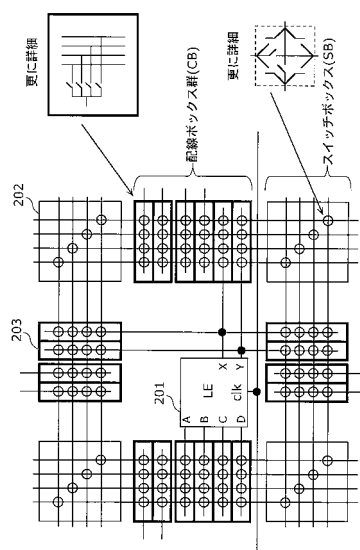
【図4】



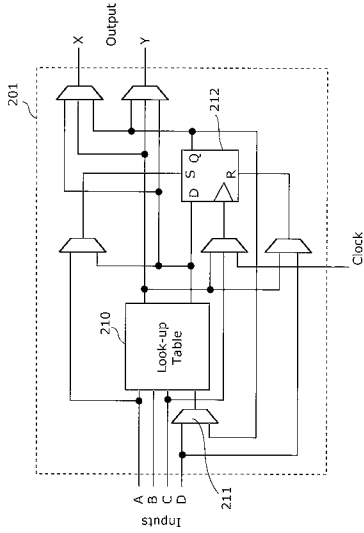
【図5】



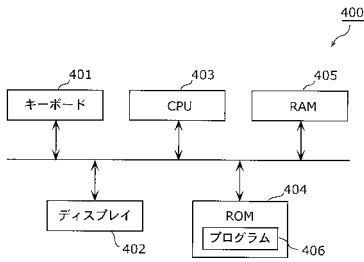
【図6】



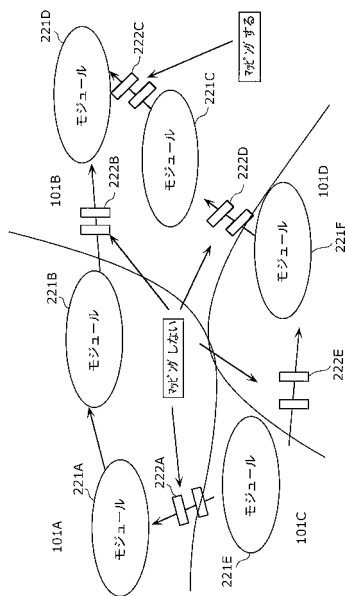
【図7】



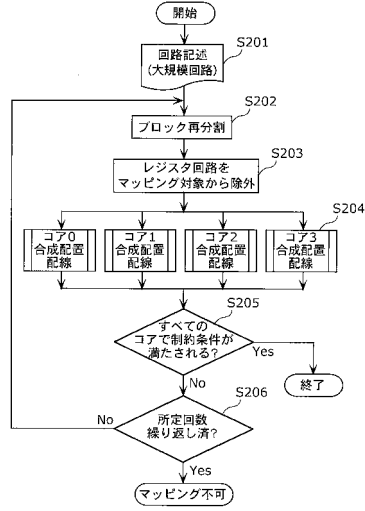
【図8】



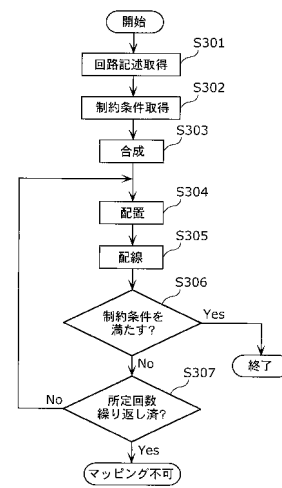
【図10】



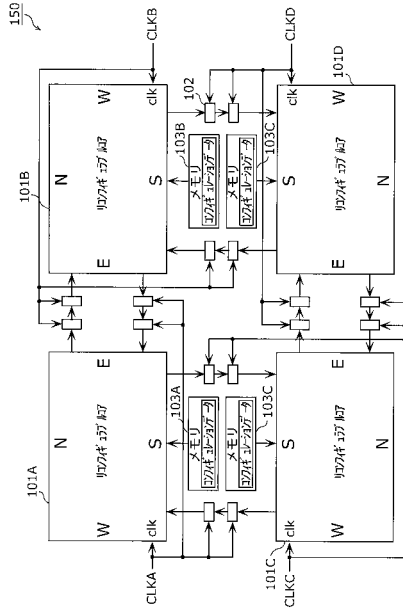
【図9】



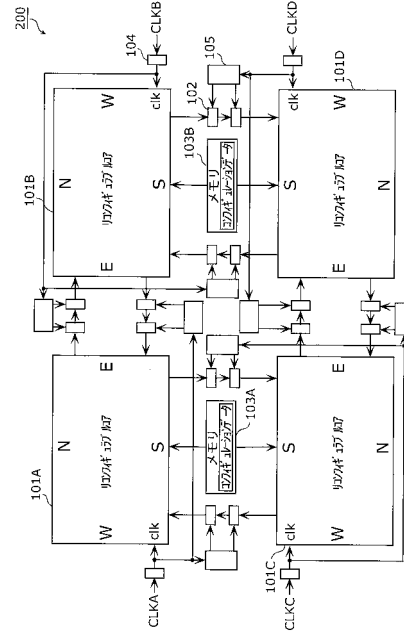
【図11】



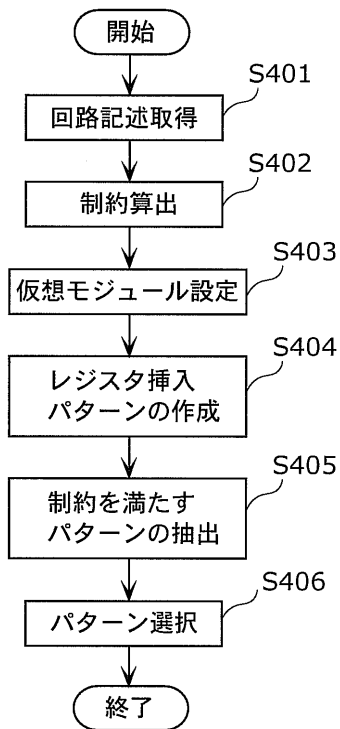
【図12】



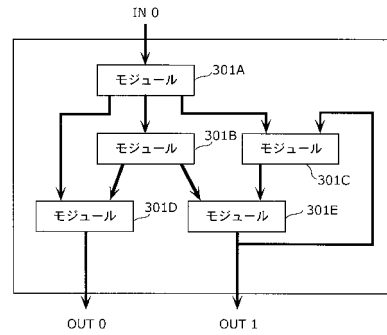
【図13】



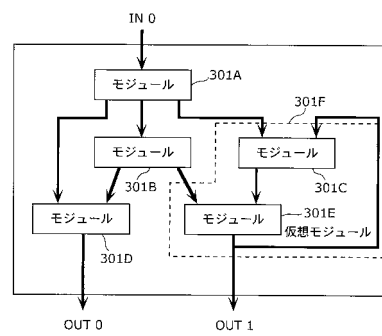
【図14】



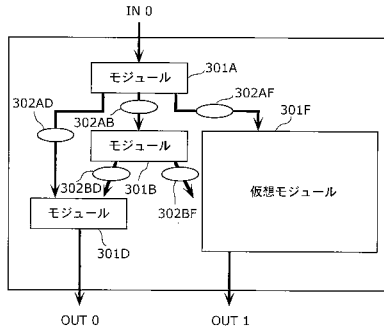
【図15】



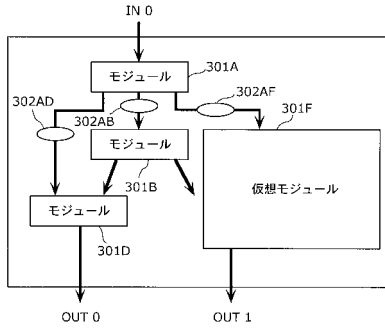
【図16】



【図17】



【図18】



---

フロントページの続き

(56)参考文献 特開平9 - 8646 (JP, A)  
特開2003 - 329743 (JP, A)  
特表2007 - 520795 (JP, A)

(58)調査した分野(Int.Cl., DB名)  
H03K19/098-19/23  
H01L21/82