



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2015년05월20일
(11) 등록번호 10-1521950
(24) 등록일자 2015년05월14일

- (51) 국제특허분류(Int. Cl.)
H04N 5/378 (2011.01) H04N 5/374 (2011.01)
- (21) 출원번호 10-2009-7010966
- (22) 출원일자(국제) 2008년09월24일
심사청구일자 2013년09월10일
- (85) 번역문제출일자 2009년05월28일
- (65) 공개번호 10-2010-0054113
- (43) 공개일자 2010년05월24일
- (86) 국제출원번호 PCT/JP2008/067152
- (87) 국제공개번호 WO 2009/041413
국제공개일자 2009년04월02일
- (30) 우선권주장
JP-P-2007-256377 2007년09월28일 일본(JP)
- (56) 선행기술조사문헌
EP1592134 A2
EP1566891 A2
US20020118289 A1

- (73) 특허권자
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
- (72) 발명자
히사마쓰 야스아키
일본국 가나가와켄 요코하마시 호도가야쿠 고도초
134단지 소니 엘에스아이 디자인 가부시키 가이사
내
- (74) 대리인
유미특허법인

전체 청구항 수 : 총 7 항

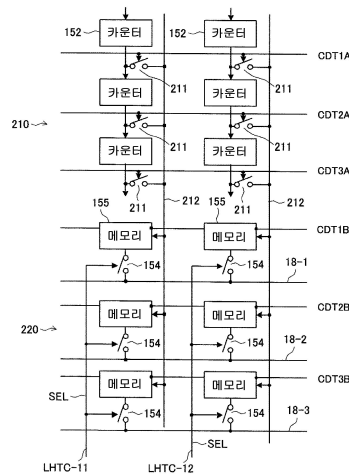
심사관 : 이성현

(54) 발명의 명칭 **고체 촬상 소자 및 카메라 시스템**

(57) 요약

카운터(152)는 각 열에서 카운터 그룹(210)과 메모리 그룹(220)으로 구분되고, 각 열에 있어서, 각 카운터(152)는 각 비트 사이에서 캐스케이드 접속되고, 각 카운터(152)의 비트 출력부에 스위치(211)가 설치되고, 각 스위치(211)의 접속처가 열 신호 전송선(212)에 공통으로 접속되어 스위치(211)의 출력처가 다른 각 비트와 공유되어 있고, 수평 전송용 디지털 데이터를 기억하는 메모리(래치 회로)(155)의 입력과도 열 신호 전송선(212)이 공유되고, 각 비트에 대응하는 메모리(155)의 출력은 스위치(154)를 통하여, 열 신호 전송선(212)과 직교하도록 배선된 데이터 전송 신호선(18-1, 18-2, 18-3...)에 접속됨으로써, 데이터 전송 에러 요인이 되는 노이즈를 제거할 수 있고, 또한 저 소비 전류 구동 및 카운터의 고속 동작을 실현할 수 있는 고체 촬상 소자 및 카메라 시스템을 제공한다.

대표도 - 도4



명세서

청구범위

청구항 1

광전 변환을 행하는 복수의 화소가 행렬형으로 배열된 화소부; 및
 상기 화소부로부터 복수의 화소 단위로 화소 신호의 판독을 행하는 화소 신호 판독 회로
 를 포함하고,
 상기 화소 신호 판독 회로는,
 화소의 열 배열에 대응하여 배치되고, 판독 신호 전위와 참조 전압을 비교 판정하여, 판정 신호를 출력하는 복
 수의 비교기; 및
 상기 비교기의 출력에 의해 동작이 제어되고, 대응하는 상기 비교기의 비교 시간을 카운트하고, 카운트 값을 유
 지하는 래치를 구비한 복수의 카운터 래치
 를 포함하고,
 상기 카운터 래치는,
 각 열에서 카운터 그룹과 래치 그룹으로 구분되고,
 각 열에 있어서, 각 카운터는 각 비트 사이에서 캐스캐이드 접속되고, 각 카운터의 비트 출력부에 제1 스위치가
 설치되고,
 각 제1 스위치의 접속처가 열 신호 전송선에 공통으로 접속되어 제1 스위치의 출력처가 다른 각 비트와 공유되
 어 있고,
 열 방향으로 전송되는 디지털 데이터를 기억하는 래치의 입력과도 상기 열 신호 전송선이 공유되고,
 각 비트에 대응하는 래치의 출력은 제2 스위치를 통하여, 상기 열 신호 전송선과 직교하도록 배선된 데이터 전
 송 신호선에 접속되는, 고체 촬상 소자.

청구항 2

제1항에 있어서,
 상기 래치 그룹은, 상기 카운터 그룹과 상기 데이터 전송 신호선의 배선 영역과의 사이에 배치되어 있는, 고체
 촬상 소자.

청구항 3

제1항에 있어서,
 상기 열 신호 전송선이, 열에서 복수로 분할되어 공유되어 있는, 고체 촬상 소자.

청구항 4

제1항에 있어서,
 상기 화소 신호 판독 회로의 처리를 제어하는 타이밍 제어부를 포함하고,
 상기 타이밍 제어부는,
 상기 제1 스위치의 온·오프는 제1 데이터 전송 제어 신호에 의해 제어하고, 래치의 데이터 전송 제어는 제2 데
 이터 전송 제어 신호에 의해 제어하고,
 쌍을 이루는 카운터의 출력부에 접속된 제1 스위치의 제1 데이터 전송 제어 신호와 래치의 제2 데이터 전송 제
 어 신호는 동일한 타이밍으로 공급하는, 고체 촬상 소자.

청구항 5

제4항에 있어서,
 상기 카운터 그룹과, 래치 그룹이 열 방향에 있어서 복수의 그룹으로 분할되고,
 상기 타이밍 제어부는,
 상기 분할 그룹마다 상기 제1 데이터 전송 제어 신호 및 상기 제2 데이터 전송 제어 신호에 의해 데이터 전송 제어를 행하는, 고체 촬상 소자.

청구항 6

제1항에 있어서,
 최상위 비트(most significant bit) 측에 있어서는, 상기 카운터와 상기 래치가 인접하여 배치되고 접속되어 있는, 고체 촬상 소자.

청구항 7

고체 촬상 소자; 및
 상기 촬상 소자에 피사체 상을 결상하는 광학계를 포함하고,
 상기 고체 촬상 소자는,
 광전 변환을 행하는 복수의 화소가 행렬형으로 배열된 화소부; 및
 상기 화소부로부터 복수의 화소 단위로 화소 신호의 판독을 행하는 화소 신호 판독 회로를 포함하고,
 상기 화소 신호 판독 회로는,
 화소의 열 배열에 대응하여 배치되고, 판독 신호 전위와 참조 전압을 비교 판정하여, 판정 신호를 출력하는 복수의 비교기; 및
 상기 비교기의 출력에 의해 동작이 제어되고, 대응하는 상기 비교기의 비교 시간을 카운트하고, 카운트 값을 유지하는 래치를 구비하는 복수의 카운터 래치를 포함하고,
 상기 카운터 래치는,
 각 열에서 카운터 그룹과 래치 그룹으로 구분되고,
 각 열에 있어서, 각 카운터는 각 비트 사이에서 캐스캐이드 접속되고, 각 카운터의 비트 출력부에 제1 스위치가 설치되고,
 각 제1 스위치의 접속처가 열 신호 전송선에 공통으로 접속되어 제1 스위치의 출력처가 다른 각 비트와 공유되어 있고,
 열 방향으로 전송하는 디지털 데이터를 기억하는 래치의 입력과도 상기 열 신호 전송선이 공유되고,
 각 비트 대응하는 래치의 출력은 제2 스위치를 통하여, 상기 열 신호 전송선과 직교하도록 배선된 데이터 전송 신호선에 접속되는, 카메라 시스템.

발명의 설명

기술 분야

본 발명은, CMOS 이미지 센서로 대표되는 고체 촬상 소자 및 카메라 시스템에 관한 것이다.

[0001]

배경 기술

- [0002] 최근, CCD를 대신할 수 있는 고체 촬상 소자(이미지 센서)로서 CMOS 이미지 센서가 주목받고 있다.
- [0003] 그 이유는, CCD 화소의 제조에 전용 프로세스를 필요로 하며, 또한 그 동작에는 복수의 전원 전압이 필요하며, 또한 복수의 주변 IC를 조합시켜서 동작시킬 필요가 있으므로, 시스템이 매우 복잡화되는 문제를 CMOS 이미지 센서가 극복하고 있기 때문이다.
- [0004] CMOS 이미지 센서는, 그 제조에는 일반적인 CMOS형 집적 회로와 마찬가지로의 제조 프로세스를 사용하는 것이 가능하며, 또한 단일 전원에서의 구동이 가능하고, 나아가서는 CMOS 프로세스를 사용한 아날로그 회로나 논리 회로를 동일 칩 내에 혼재시킬 수 있으므로, 주변 IC의 개수를 줄일 수 있는 등의 큰 이점이 있다.
- [0005] CCD의 출력 회로는, 부유 확산층(FD: Floating Diffusion)을 가지는 FD 앰프를 사용한 1채널(ch) 출력이 주류를 이루고 있다.
- [0006] 이에 비해, CMOS 이미지 센서는 각 화소마다 FD 앰프를 가지고 있고, 그 출력은, 화소 어레이의 중의 1행을 선택하고, 선택된 행의 복수의 화소로부터의 복수의 신호를 동시에 열 방향으로 읽어내도록 열 병렬 출력형이 주류를 이루고 있다.
- [0007] 그 이유는, 화소 내에 배치된 FD 앰프로는 충분한 구동 능력을 얻기 곤란하며, 따라서 데이터 레이트를 저하시킬 필요가 있으므로, 병렬 처리가 유리하도록 되어 있기 때문이다.
- [0008] 그리고, CCD나 CMOS 이미지 센서로 대표되는 고체 촬상 장치에서는, 더욱더 다 화소화를 행하는 데 따른 미세화가 진행되며, 이와 병행하여 고속의 신호 판독 처리가 요구되고 있다.
- [0009] CMOS 이미지 센서에서는 고속 판독을 실현하는 수단으로서, 2차원 상태로 배치된 화소를 수직 방향으로 신호 판독 선을 공유하고, 또한 그 열마다 판독 회로를 설치하고, 이들을 동시에 구동함으로써, 열의 총 개수에 적합한 동시 신호 처리를 행하고 있다.
- [0010] 또한, 일반적으로 아날로그 신호 처리에 있어서는 고속 처리와 저 노이즈 처리는 상반되는 관계가 있으므로, 고속의 아날로그 신호 처리는, 화질 열화로 이어지는 문제가 있다.
- [0011] 이에 비해, 전술한 각 열의 판독 회로로, 아날로그-디지털 변환까지 행하고, 열 데이터를 하나~수 개의 버스로 모으는 처리는, 디지털 신호 처리가 되므로, 매우 고속으로 처리하면서 노이즈에 강한 회로를 실현할 수 있다.
- [0012] 이 열 병렬 출력형 CMOS 이미지 센서의 신호 출력 회로에 대해서는 다양하게 제안되어 있지만, 그 중에서 가장 앞선 형태 중 하나가 열마다 아날로그-디지털 변환 장치[이하, ADC(Analog digital converter)로 약칭함]를 구비하고, 디지털 신호로서 화소 신호를 인출하는 타입이다.
- [0013] 이와 같은 열 병렬형 ADC를 탑재한 CMOS 이미지 센서는, 예를 들면, W.Yang 등(W. Yang et. al., "An Integrated 800×600 CMOS Image System", "ISSCC Digest of Technical Papers, pp. 304-305, Feb., 1999)이나, 일본 특허출원 공개번호 2005-303648호 공보, 일본 특허출원 공개번호 2005-323331호 공보에 개시되어 있다.
- [0014] 도 1은 열 병렬 ADC 탑재 고체 촬상 소자(CMOS 이미지 센서)의 구성예를 나타낸 블록도이다.
- [0015] 이 고체 촬상 소자(1)는, 촬상부로서의 화소 어레이부(2), 행 주사 회로(3), 열 주사 회로(4), 타이밍 제어 회로(5), ADC 군(6), 디지털-아날로그 변환 장치[이하, DAC(Digital-Analog converter)로 약칭함](7), 및 센스 증폭기 회로(S/A)를 포함하는 데이터 출력 회로(8)를 가진다.
- [0016] 화소 어레이부(2)는, 포토 다이오드와 화소 내 앰프를 포함하는 단위 화소(2-1)가 매트릭스형(행렬형)으로 배치되어 구성된다.
- [0017] 또한, 고체 촬상 소자(1)에 있어서는, 화소 어레이부(2)의 신호를 차례로 읽어내기 위한 제어 회로로서, 내부 클럭을 생성하는 타이밍 제어 회로(5), 행 어드레스나 행 주사 등을 제어하는 행 주사 회로(3), 그리고, 열 어드레스나 열 주사 등을 제어하는 열 주사 회로(4)가 배치된다.
- [0018] ADC 군(6)은, 참조 전압 발생 회로로서의 DAC(7)에 의해 생성되는 참조 전압을 스텝형으로 변화시킨 램프 과형(RAMP)과, 행 선(H0, H1· · ·)마다 단위 화소(2-1)로부터 열 선(V0, V1· · ·)을 경유하여 얻어지는 아날로그 신호를 비교하는 화소 배열의 각 열에 대응하여 설치된 n+1개의 비교기(6-1)와, 대응하는 비교기(6-1)의 출력

및 클럭(CK)을 받아서 업 카운트(또는 다운 카운트)를 행하여 카운트 값을 유지하는 메모리(래치)(6-5)를 포함하는 비동기 업/다운 카운터(이하, 카운터라고 함)(6-2)와, 카운터(6-2)의 카운트 값을 유지하는 메모리(래치)(6-5)와, 카운터(6-2)의 출력과 메모리(6-3)를 신호(SEL)에 의해 선택적으로 접속하는 스위치(6-4)로 이루어지는 ADC(6A)가 화소 배열의 각 열에 대응하여 각 열 선(V0, V1 · · ·)마다 배치되어, 열 병렬 ADC 블록(6-5)이 구성된다.

- [0019] 각 카운터(6-2)의 출력은, 스위치(6-4)를 통하여 데이터 전송 신호선(9)에 접속되어 있다.
- [0020] 데이터 전송 신호선(9)에는, 데이터 전송 신호선(9)에 대응한 센스 앰프 회로, 및 감산 회로를 포함하는 데이터 출력 회로(디지털 신호 처리 회로)(8)가 배치된다.
- [0021] 유지 회로로서의 기능을 가지는 카운터(6-2)는, 초기에는 업 카운트(또는 다운 카운트) 상태에 있으므로, 리셋 카운트를 행하고, 대응하는 비교기(6-1)의 출력(COMPOUTi)가 반전하면, 업 카운트 동작을 정지하고, 카운트 값이 메모리(6-3)에 유지된다.
- [0022] 이 때, 카운터(6-2)의 초기값은, AD 변환의 계조의 임의의 값, 예를 들면 0(제로)로 한다. 이 리셋 카운트 기간에는, 단위 화소(2-1)의 리셋 성분(ΔV)을 읽어내고 있다.
- [0023] 카운터(6-2)는, 그 후 다운 카운트 상태로 되어, 입사 광량에 대응한 데이터 카운트를 행하고, 대응하는 비교기(6-1)의 출력(COMPOUTi)가 반전하면, 비교 기간에 따른 카운트 값이 메모리(6-5)에 유지된다.
- [0024] 메모리에 유지된 카운트 값은, 열 주사 회로(4)에 의해 주사되고, 디지털 신호로서, 데이터 전송 신호선(9)을 거쳐서 데이터 출력 회로(8)에 입력된다.
- [0025] 여기서, 고체 촬상 소자(CMOS 이미지 센서)(1)의 동작을 설명한다.
- [0026] 임의의 행(Hx)의 단위 화소(2-1)로부터 열 선(V0, V1 · · ·)으로의 1회째의 판독이 안정된 후, DAC(7)에 의해 비교기(6-1)에 대하여, 참조 전압을 시간 변화시킨 스텝형의 램프 파형(PAMP)을 입력하고, 임의의 열 선(Vx)의 전압과의 비교를 비교기(6-1)에 의해 행한다.
- [0027] 램프 파형(RAMP)의 스텝과 입력과 병행하여, 카운터(6-2)에서 1회째의 카운트가 행해진다.
- [0028] 여기서, RAMP와 Vx의 전압이 같아졌을 때 비교기(6-1)의 출력은 반전하고, 이로써 카운터(6-2)의 카운트 동작이 정지하며, 비교 기간에 따른 카운트 값이 메모리에 유지된다.
- [0029] 이 1회째의 판독 시에는, 단위 화소(2-1)의 리셋 성분(ΔV)을 판독하고 있고, 리셋 성분(ΔV) 내에는, 단위 화소(2-1)마다 편차가 있는 잡음이 오프셋으로서 포함되어 있다.
- [0030] 그러나, 이 리셋 성분(ΔV)의 편차는 일반적으로 작고, 또한 리셋 레벨은 모든 화소 공통되므로 임의의 열 선(Vx)의 출력은 대체로 이미 알려져 있다.
- [0031] 따라서, 1회째의 리셋 성분(ΔV) 판독 시에는, 램프 파형(RAMP) 전압을 조정함으로써 비교 기간을 짧게 할 수 있다. 이 경우, 예를 들면 7비트 분의 카운트 기간(128 클럭)에 ΔV 의 비교가 행해진다.
- [0032] 2회째의 판독은, 리셋 성분(ΔV)에 더하여 단위 화소(2-1)마다의 입사 광량에 따른 신호 성분을 판독하여, 1회째의 판독과 마찬가지로의 동작을 행한다.
- [0033] 즉, 임의의 행(Hx)의 단위 화소(2-1)로부터 열 선(V0, V1 · · ·)으로의 2회째의 판독이 안정된 후, DAC(7)에 의해 비교기(6-1)에 대하여, 참조 전압을 시간 변화시킨 스텝형의 램프 파형(RAMP)을 입력하고, 임의의 열 선(Vx)의 전압과의 비교를 비교기(6-1)에 의해 행한다.
- [0034] 램프 파형(RAMP)의 스텝과 입력과 병행하여, 카운터(6-2)에서 2회째의 카운트가 행해진다.
- [0035] 여기서, RAMP와 Vx의 전압이 같아졌을 때 비교기(6-1)의 출력은 반전하고, 동시에 메모리 내에 비교 기간에 따른 카운트 값이 유지된다.
- [0036] 이 때, 1회째의 카운트와 2회째의 카운트는, 메모리 내의 상이한 장소에 유지된다.
- [0037] 이상의 AD 변환 기간 종료 후, 열 주사 회로(4)에 의해, 메모리에 유지된 1회째와 2회째의 각각 n비트의 디지털 신호가 데이터 전송 신호선(9)을 거쳐, 데이터 출력 회로(8)에서 검출되고, 차례로 감산 회로에서, (2회째의 신호) - (1회째의 신호)가 행해진 후, 외부로 출력되고, 그 후, 차례로 행 별로 마찬가지로의 동작이 반복되어져서 2차원 화상이 생성된다.

- [0038] 이상의 동작은, 1 수평 단위 기간(1H) 중에 행해진다.
- [0039] 그리고, 1H 중에 있어서, 임의의 행(Hx)의 단위 화소(2-1)로부터 열 선(V0, V1 · · ·)으로의 1회째의 판독을 P상 판독(PR), 비교기(6-1)에 있어서의 1회째의 비교를 P상 비교(PC), 2회째의 판독을 D상 판독(DR), 비교기(6-1)에 있어서의 2회째의 비교를 D상 비교(DC), D상의 처리 후의 후 처리를 D상 후 처리(DAP)로서, 각 동작이 연속적으로 행해진다.
- [0040] 이들 P상 판독(PR), P상 비교(PC), D상 판독(DR), D상 비교(DC), 및 D상 후 처리(DAP)의 타이밍 제어는 타이밍 제어 회로(5)에서 행해진다.
- 발명의 상세한 설명**
- [0041] 전술한 예는, 카운터와 비교기 및 RAMP파가 되는 참조 전압을 사용하여, 적분형의 아날로그-디지털 변환 처리를 행하는 회로 구성이다.
- [0042] 처음에는 카운터(6-2)가 A/D 변환 후의 디지털 데이터를 기억하게 되지만, 이를 별도의 디지털 데이터 기억 영역으로 옮기고, 계속하여 바로 다음 A/D 변환을 행함과 동시에 전술한 별도의 장소로 옮긴 데이터를, 각 열에 차례로 액세스하여 수평 방향으로 데이터를 전송하고 디지털 신호 처리 회로에 데이터 송신하고 있다.
- [0043] 말하자면, A/D 변환 처리와, 수평 전송 처리를 파이프라인 처리하게 되어, 고속의 신호 판독 처리를 실현하고 있다.
- [0044] 여기서 문제가 되는 것은, 먼저 열 판독 회로에 사용 가능한 레이아웃 영역은, 미세한 화소의 폭으로 제한되는 점이다.
- [0045] 이에 따라, 전술한 각 열의 판독 회로는 필연적으로 세로로 매우 긴 구성이 되고, 또한 그 수직 방향으로 통과하는 신호 선의 개수도 레이아웃의 제한에 의해, 한정된다.
- [0046] 이러한 제한에 따라, 이 회로를 레이아웃 한 경우, 도 2에 나타낸 바와 같이 된다.
- [0047] 도 2는 열 판독 회로의 레이아웃 예를 나타낸 도면이다.
- [0048] 도 2에 있어서, 인용부호 6-5가 메모리를 나타내고, 인용부호 CDT는 타이밍 제어 회로(5)에 의한 컬럼 내 데이터 전송 제어 신호를 나타내고, 인용부호 LHTC-1, LHTC-2, · · ·는 열 방향(수평 방향) 제어선을 각각 나타내고 있다.
- [0049] 또한, 데이터 전송 신호선(9-1, 9-2, 9-3 · · ·)이 다단으로 배선되어 있다.
- [0050] 카운터(6-2)의 각 비트의 사이에, 수평 전송용 데이터 기억 영역(래치 회로)(6-5)이 배치되어 있다.
- [0051] 이로써, 각 비트의 데이터는, 각 비트 내에서 닫는 것이 가능하며, 비트에 걸쳐진 신호선이 불필요해지므로, 수직 방향의 신호선을 최소한으로 억제할 수 있고, 제한된 폭 내에서의 레이아웃을 실현하고 있다.
- [0052] 다만, 이에 따른 단점도 있다.
- [0053] 우선 첫째로 카운터(6-2)의 각 비트 사이의 거리가 수평 전송(열 방향 전송)용 데이터 기억 영역(메모리)(6-5) 분만큼 이격됨으로써, 배선 용량 및 배선 저항이 많이 부가되어, 동작 전류의 증대와 함께 동작 스피드의 열화 요인이 되는 문제가 있다.
- [0054] 둘째로 카운터의 각 비트를 잇는 신호선(LBS)과 수평 전송용 신호선(LHTC)이 크로스되어, 카운터(6-2)의 구동 노이즈가 데이터 전송 신호선(9-1, 9-2, 9-3 · · ·)에 실리는 문제가 있다.
- [0055] 또한, 카운터(6-2)는 각 열이 동시에 움직이는데 비해, 데이터 전송 신호선(9)는 수평 방향(열 방향)으로 공유하는 신호선 때문에, 각 열의 카운터 노이즈를 전부 받는 것에 의해, 데이터 전송에 있어서 심각한 노이즈가 된다.
- [0056] 본 발명의 목적은, 데이터 전송 에러 요인이 되는 노이즈를 제거할 수 있고, 또한 저소비 전류 구동, 및 카운터의 고속 동작을 실현할 수 있는 고체 촬상 소자 및 카메라 시스템을 제공하는 것에 있다.
- [0057] 본 발명의 제1 관점의 고체 촬상 소자는, 광전 변환을 행하는 복수의 화소가 행렬형으로 배열된 화소부와, 상기 화소부로부터 복수의 화소 단위로 화소 신호의 판독을 행하는 화소 신호 판독부를 가지고, 상기 화소 신호 판독 회로는, 화소의 열 배열에 대응하여 배치되고, 판독 신호 전위와 참조 전압을 비교 판정하여, 이 판정 신호를

출력하는 복수의 비교기와, 상기 비교기의 출력에 의해 동작이 제어되고, 대응하는 상기 비교기의 비교 시간을 카운트하고, 카운트 값을 유지하는 래치를 구비한 복수의 카운터 래치를 포함하고, 상기 카운터 래치는, 각 열에서 카운터 그룹과, 래치 그룹으로 구분되고, 각 열에 있어서, 각 카운터는 각 비트 사이에서 캐스캐이드 접속되고, 각 카운터의 비트 출력부에 제1 스위치가 설치되고, 각 제1 스위치의 접속처가 열 신호 전송선에 공통으로 접속되어 제1 스위치의 출력처가 다른 각 비트와 공유되어 있고, 열 방향으로 전송하는 디지털 데이터를 기억하는 래치의 입력과도 상기 열 신호 전송선이 공유되고, 각 비트에 대응하는 래치의 출력은 제2 스위치를 통하여, 상기 열 신호 전송선과 직교하도록 배선된 데이터 전송 신호선에 접속된다.

[0058] 상기 래치 그룹은, 상기 카운터 그룹에 의해 상기 데이터 전송 신호선의 배선 영역 측에 배치되어 있는 것이 바람직하다.

[0059] 상기 열 신호 전송선이, 복수의 열로 분할되어 공유되어 있는 것이 바람직하다.

[0060] 상기 화소 신호 관독 회로의 처리를 제어하는 타이밍 제어부를 가지고, 상기 타이밍 제어부는, 상기 제1 스위치의 온·오프는 제1 데이터 전송 제어 신호에 의해 제어하고, 래치의 데이터 전송 제어는 제2 데이터 전송 제어 신호에 의해 제어하고, 쌍을 이루는 카운터의 출력부에 접속된 스위치의 제1 데이터 전송 제어 신호와 래치의 제2 데이터 전송 제어 신호는 동일한 타이밍으로 공급하는 것이 바람직하다.

[0061] 상기 카운터 그룹과 래치 그룹이 열 방향에 있어서 복수의 그룹으로 분할되고, 상기 타이밍 제어부는, 상기 분할 그룹마다 상기 제1 데이터 전송 제어 신호 및 제2 데이터 전송 제어 신호에 의해 데이터 전송 제어를 행하는 것이 바람직하다.

[0062] 상위 비트 측에 있어서는, 상기 카운터와 래치가 인접하여 배치되고 접속되어 있는 것이 바람직하다.

[0063] 본 발명의 제2 관점의 카메라 시스템은, 고체 촬상 소자와, 상기 촬상 소자에 피사체 상을 결상하는 광학계를 가지고, 상기 고체 촬상 소자는, 광전 변환을 행하는 복수의 화소가 행렬형으로 배열된 화소부와, 상기 화소부로부터 복수의 화소 단위로 화소 신호의 관독을 행하는 화소 신호 관독부를 가지고, 상기 화소 신호 관독 회로는, 화소의 열 배열에 대응하여 배치되고, 관독 신호 전위와 참조 전압을 비교 판정하여, 이 판정 신호를 출력하는 복수의 비교기와, 상기 비교기의 출력에 의해 동작이 제어되고, 대응하는 상기 비교기의 비교 시간을 카운트하여, 카운트 값을 유지하는 래치를 구비한 복수의 카운터 래치를 포함하고, 상기 카운터 래치는, 각 열에서 카운터 그룹과 래치 그룹으로 구분되고, 각 열에 있어서, 각 카운터는 각 비트 사이에서 캐스캐이드 접속되고, 각 카운터의 비트 출력부에 제1 스위치가 설치되고, 각각의 제1 스위치의 접속처가 열 신호 전송선에 공통으로 접속되어 제1 스위치의 출력처가 다른 각 비트와 공유되어 있고, 열 방향으로 전송하는 디지털 데이터를 기억하는 래치의 입력과도 상기 열 신호 전송선이 공유되고, 각 비트에 대응하는 래치의 출력은 제2 스위치를 통하여, 상기 열 신호 전송선과 직교하도록 배선된 데이터 전송 신호선에 접속된다.

[0064] 본 발명의 고체 촬상 소자 및 카메라 시스템에 의하면, 데이터 전송 에러 요인이 되는 노이즈를 제거할 수 있고, 또한 저 소비 전류 구동, 및 카운터의 고속 동작을 실현할 수 있다.

실시예

[0076] 이하, 본 발명의 실시예를 도면을 참조하여 설명한다.

[0077] 도 3은 본 발명의 일 실시예에 따른 데이터 전송 회로를 포함하는 열 병렬 ADC 탑재 고체 촬상 소자(CMOS 이미지 센서)의 구성예를 나타낸 블록도이다.

[0078] 이 고체 촬상 소자(10)는, 촬상부로서의 화소 어레이부(11), 행 주사 회로(12), 열 주사 회로(13), 타이밍 제어 회로(14), ADC 군(15), 참조 전압 발생 회로로서의 디지털-아날로그 변환 회로[이하, DAC(Digital-Analog converter)로 약칭함](16), 및 센스 증폭기 회로(S/A) 등을 포함하는 데이터 출력 회로(17)를 가진다.

[0079] 화소 어레이부(11)는, 포토 다이오드와 화소 내 앰프를 포함하는 단위 화소(111)가 매트릭스형(행렬형)으로 배치되어 구성된다.

[0080] 또한, 고체 촬상 소자(10)에 있어서는, 화소 어레이부(11)의 신호를 차례로 읽어내기 위한 제어 회로로서, 내부 클럭을 생성하는 타이밍 제어 회로(14), 행 어드레스나 행 주사 등을 제어하는 행 주사 회로(12), 그리고, 열 어드레스나 열 주사 등을 제어하는 열 주사 회로(13)가 배치된다.

[0081] ADC 군(15)은, DAC(16)에 의해 생성되는 참조 전압을 스텝형으로 변화시킨 램프 파형(RAMP)과, 행 선(H0, H1 ···)마다 단위 화소(111)로부터 열 선(V0, V1 ···)을 경유하여 얻어지는 아날로그 신호를 비교하는 화소 배

열의 각 열에 대응하여 설치된 n+1개의 비교기(CMP)(151)와, 비교기(151)의 출력 및 클럭(CK)을 받아서 업 카운트(또는 다운 카운트)를 행하여 카운트 값을 유지하는 기능을 가지는 카운터 래치(이하, 카운터라고 함, CNT)(152)로 이루어지는 ADC(A/D 변환 회로)(15A)가 화소 배열의 각 열에 대응하여 각 열 선(V₀, V₁ · · ·)마다 배치되어, 열 병렬 ADC 블록(153)이 구성된다.

- [0082] ADC(15A)의 카운터(152) 및 메모리 등의 레이아웃 구성 및 기능에 대해서는 나중에 상세하게 설명한다.
- [0083] 각 카운터(152)의 출력은, 스위치(154)를 통하여 데이터 전송 신호선(18)에 접속되어 있다.
- [0084] 데이터 전송 신호선(18)에는, 데이터 전송 신호선(18)에 대응한 센스 회로, 감산 회로를 포함하는 데이터 출력 회로(17)(디지털 신호 처리 회로)가 배치된다.
- [0085] 유지 회로로서의 기능을 가지는 카운터(152)는, 초기에는 예를 들면, 업 카운트(또는 다운 카운트) 상태에 있으므로, 리셋 카운트를 행하고, 대응하는 비교기(151)의 출력(COMPOUT_i)이 반전하면, 업 카운트 동작을 정지하고, 카운트 값이 메모리(155)에 유지된다.
- [0086] 이 때, 카운터(152)의 초기값은, AD 변환의 계조의 임의의 값, 예를 들면, 0로 한다.
- [0087] 이 리셋 카운트 기간에는, 단위 화소(111)의 리셋 성분(ΔV)을 읽어내고 있다.
- [0088] 카운터(152)는, 그 후 다운 카운트(또는 업 카운트) 상태로 되어, 입사 광량에 대응한 데이터 카운트를 행하고, 대응하는 비교기(151)의 출력(COMPOUT_i)이 반전하면, 비교 기간에 따른 카운트 값이 유지된다.
- [0089] 유지된 카운트 값은, 열 주사 회로(13)에 의해 주사되고, 디지털 신호로서, 데이터 전송 신호선(18)을 거쳐 데이터 출력 회로(17)에 입력된다.
- [0090] 열 주사 회로(13)는, 예를 들면, 스타트 펄스(STR) 및 마스터 클럭(MCK)이 공급됨으로써 활성화되고 마스터 클럭(MCK)에 따른(MCK를 기준으로 함) 구동 클럭(CK)에 동기하여 대응하는 선택선(SEL)을 구동하여, 카운터(152)의 래치 데이터를 데이터 전송 신호선(18)에 판독시킨다.
- [0091] 전술한 바와 같은 구성을 가지는 고체 촬상 소자(10)에 있어서는, 1 수평 단위 기간(1H) 중에 이하의 처리가 행해진다.
- [0092] 즉, 1H 중에, 임의의 행(Hx)의 단위 화소(111)로부터 열 선(V₀, V₁ · · ·)으로의 1회째의 판독을 P상 판독(PR), 비교기(151)에 있어서의 1회째의 비교를 P상 비교(PC), 2회째의 판독을 D상 판독(DR), 비교기(151)에 있어서의 2회째의 비교를 D상 비교(DC), D상 처리 후의 후 처리를 D상 후 처리(DAP)로 하고, 각 동작이 연속적으로 행해진다.
- [0093] 이들 P상 판독(PR), P상 비교(PC), D상 판독(DR), D상 비교(DC), 및 D상 후 처리(DAP)의 타이밍 제어는 타이밍 제어 회로(14)에서 행해진다.
- [0094] 다음으로, ADC(A/D 변환 회로)(15A)에 있어서의 카운터(152)의 구체적인 구성 및 기능에 대하여 설명한다.
- [0095] 본 실시예에 따른 ADC(15A)는, 비교기(151) 및 비동기 카운터(152)를 사용한 적분형 A/D 변환 회로로서 구성되어 있다.
- [0096] 도 4는 본 실시예에 따른 ADC의 카운터의 제1 레이아웃 예를 나타낸 도면이다.
- [0097] 도 5는 도 4의 회로의 제어 신호의 타이밍 차트이다.
- [0098] 이 카운터(152)와 메모리(155)는, 도 4에 나타낸 바와 같이, 각 열에서 카운터 그룹(210)과 메모리 그룹(220)으로 구분되어 있다.
- [0099] 각 열에 있어서, 각 카운터(152)는 각 비트 사이에서 캐스캐이드 접속되어 있다.
- [0100] 그리고, 각 카운터(152)의 비트 출력부에 스위치(211)가 설치되고, 각 스위치(211)의 접속처가 열 신호 전송선(212)에 공통으로 접속되어 있다.
- [0101] 환언하면, 스위치(211)의 출력처가 다른 각 비트와 공유되어 있다.
- [0102] 스위치(211)는, 타이밍 제어 회로(14)에 의한 컬럼 내의 제1 데이터 전송 제어 신호(CDT1A, CDT2A, CDT3A, ...)에 의해 온·오프가 제어된다.
- [0103] 아울러, 수평 전송용 디지털 데이터를 기억하는 메모리(래치 회로)(155)의 입력과도 도 4에 나타낸 바와 같이,

열 신호 전송선(212)이 공유되어 있다.

- [0104] 각 비트에 대응하는 메모리(155)의 출력은 스위치(154)를 통하여, 열 신호 전송선(212)과 직교하도록 배선된 데이터 전송 신호선(18-1, 18-2, 18-3 ···)에 접속되어 있다.
- [0105] 각 메모리(155)의 데이터 전송 제어는, 타이밍 제어 회로(14)에 의한 컬럼 내의 제2 데이터 전송 제어 신호(CDT1B, CDT2B, CDT3B, ...)에 의해 행해진다.
- [0106] 그리고, 스위치(211)가 제1 스위치에 해당하고, 스위치(154)가 제2 스위치에 해당한다.
- [0107] 이 회로에서 카운터(152)로부터 메모리(래치 회로)(155)로 데이터를 옮기는 방법은 하기와 같이 행할 수 있다.
- [0108] 먼저, 카운터(152)의 출력부의 제1 스위치(211)와 래치 제어 펄스인 컬럼 내 제1 데이터 전송 제어 신호(CDT1A, CDT2A, CDT3A, ...)를, 제2 데이터 전송 제어 신호(CDT1B, CDT2B, CDT3B, ...)를, 각 비트 개별적으로 제어할 수 있도록 하고, 출력 측(카운터)과 입력 측(메모리, 래치) 각 비트로 페어를 만들고, 페어 사이의 제어 신호를, 도 5에 나타낸 바와 같이 거의 동시에 펄스 제어하여 데이터를 전송한다.
- [0109] 이 때, 다른 페어의 제어 신호는 구동하지 않도록 하여, 출력 충돌을 피한다.
- [0110] 이를 그 외의 각 비트 각각 별개로, 차례로 행함으로써 카운터(152)로부터 메모리(래치 회로)(155)에 데이터를 전송한다.
- [0111] 열 신호 전송선(212)에서 전송 신호를 공유함으로써, 레이아웃 면에서 보면, 수직 방향으로 배선되는 신호선은 공유 신호 전송선의 개수 만큼으로 억제되고, 활상 장치의 컬럼 판독 회로와 같은, 수평 방향으로 극단적으로 좁은 레이아웃 영역에 있어서, 카운터와 래치 회로를 완전히 분리한 영역에 레이아웃해도 배선 가능하고, 또한 원하는 구동 결과를 얻을 수 있다.
- [0112] 이로써, 종래예의 문제인, 카운터 각 비트 사이의 배선 길이를 억제할 수 있고, 저 소비 전력 구동, 및 카운터의 고속 동작 마진이 향상된다.
- [0113] 아울러, 메모리(래치 회로)가 고립된 영역에 배치되므로, 데이터 전송 신호선(18)으로의 카운터(152)의 구동에 의한 크로스토크 노이즈를 격감시킬 수 있다.
- [0114] 또한, 영역을 나누는 것에 의해, 카운터부와 메모리부(래치 회로부)로, 웰(Well)로부터 분리할 수 있게 되고, 아울러 전원·그라운드(GND)를 분리할 수 있어서, 카운터 구동 노이즈가 전원·그라운드(GND)로부터 우회하여 들어가는 것도 줄일 수 있게 된다.
- [0115] 여기서 구체예로서, 카운터(152)로부터 메모리(래치)(155)로 데이터를 전송하는 방법을 설명하였으나, 카운터(152)로부터 메모리(래치)(155)로 전송하는 것으로 특별히 한정하지 않고, 메모리(래치)로부터 메모리(래치) 등, 각 컬럼 내의 디지털 기억 영역으로부터 디지털 기억 영역으로 데이터를 전송하는 방법을 포함하고, 또한 이는 기능 회로를 물리적으로 분리할 수 있는 수단으로서, 노이즈나 레이아웃 효율 등에 유효하다.
- [0116] 도 6은 본 실시예에 따른 ADC의 카운터의 제2 레이아웃 예를 나타낸 도면이다.
- [0117] 도 4의 회로에 있어서는, 카운터로부터 메모리(래치)로 데이터를 전송하는 작업 시간이, 전송 비트 개수 만큼 필요하게 된다.
- [0118] 그래서, 도 6에 나타낸 바와 같이, 공유 라인인 열 신호 전송선 레이아웃 영역을 허용할 수 있는 범위 내에서 복수(도 6의 예에서는 2개) 형성함으로써, 전송 시간을 그만큼 단축할 수 있다.
- [0119] 도 7은 본 실시예에 따른 ADC의 카운터의 제3 레이아웃 예를 나타낸 도면이다.
- [0120] 도 8은 도 7의 회로의 제어 신호의 타이밍 차트이다.
- [0121] 또한, 이 전송 시간이 판독 회로 시스템 전체적으로, 문제가 되는 것은, 이 기간 동안에는, 수평 전송 동작을 행할 수 없는 점이다.
- [0122] 수평 전송 시간이, 활상 장치로서의 판독 스피드의 율속 조건(rate determining condition)이 되어 있는 경우, 이 컬럼 내 데이터 전송이, 활상 장치로서의 판독 스피드를 제한하는 요인이 된다.
- [0123] 이를 해결하기 위해서는 도 7에 나타낸 바와 같은 구성을 채용할 수 있다.
- [0124] 본 예에서는, 카운터 그룹(210)을 도면 중의 좌측 카운터 그룹(210L)과 우측 카운터 그룹(210R)으로 분할한다.

마찬가지로, 메모리 그룹(220)도 좌측 메모리 그룹(220L)과 우측 메모리 그룹(220R)으로 분할한다.

- [0125] 그리고, 컬럼 내 데이터 전송을 행하는 제어 신호를, 컬럼 회로 좌우의 블록으로 분리하고, 도 8에 나타난 바와 같이, 컬럼 내 데이터 전송 제어 신호를 그 좌우의 블록 별로 각각 다른 타이밍으로 제어를 행하는 데이터 전송이 개시되는 측의 컬럼을 좌측의 컬럼이라고 하면, 좌측의 컬럼 내 데이터 전송을 먼저 행하고, 이어서, 우측의 데이터 전송에 행하기 전까지, 우측의 컬럼 내 데이터 전송을 끝내도록, 전송 제어 신호를 좌우에서 지연시키는 제어를 행한다.
- [0126] 좌측 컬럼용 데이터 전송 제어 신호(CDT1AL, CDT2AL, CDT3AL, . . . , CDT1BL, CDT2BL, CDT3BL, ...)에 의해 좌측 컬럼 내 데이터 전송을 먼저 행한다.
- [0127] 이어서, 우측 컬럼용 데이터 전송 제어 신호(CDT1AR, CDT2AR, CDT3AR, . . . , CDT1BR, CDT2BR, CDT3BR, ...)에 의해 좌측의 컬럼 내 데이터 전송을 행한다.
- [0128] 이렇게 함으로써, 컬럼 내 데이터 전송 기간이 촬상 장치로서의 판독 스피드의 율속 조건이 되지 않도록 구동시킬 수 있다.
- [0129] 도 9의 (A) 및 (B)는, 본 실시예에 따른 ADC의 카운터의 레이아웃의 다른 예를 나타낸 도면이다.
- [0130] 도 10은 도 9의 회로의 제어 신호의 타이밍 차트이다.
- [0131] 다른 방법으로서, 도 9의 (A) 및 (B)에 나타난 바와 같이, 구동 주파수가 높고 소비 전류의 주 성분이 되는 LSB 측의 수 비트만, 메모리를 다른 영역에 설치하여 데이터 전송을 행하도록 하고, MSB 측은 카운터(152)와 메모리(155)를 교대로 두는 방법도 전술한 문제에 대하여 유효하다.
- [0132] 이는 도 9의 (A)나 (B)에 나타난 바와 같이, LSB 측의 메모리의 배치 장소는, 카운터의 중단 위치나, 카운터의 중간 위치 등, 복수의 패턴을 고려할 수 있다.
- [0133] 도 10에 나타난 바와 같이 수직 전송 제어는 LSB의 수 비트로 삭감되고, 또한 그 외의 메모리 전송 제어[컬럼 내 데이터 전송 제어 신호(CDTC)에 의한 전송 제어]는, 같은 타이밍에서 실행 가능하므로 전송에 걸리는 시간이 삭감된다.
- [0134] 또한, 앞서 설명한 바와 같이, 저 소비 전류화, 고속 동작 마진의 향상이 실현된다. 다만, 이 경우, 카운터(152)와 메모리(155)의 출력부인 데이터 전송 신호선이 교차하는 부분이 존재하게 되어, 카운터의 노이즈가 수평 전송에 영향을 끼칠 우려가 있다.
- [0135] 여기서, 교체 촬상 소자(CMOS 이미지 센서)(10)의 동작을 설명한다.
- [0136] 임의의 행(Hx)의 단위 화소(111)로부터 열 선(V0, V1 . . .)으로의 1회째의 판독이 안정된 후, DAC(16)에 의해 비교기(151)에 대하여, 참조 전압을 시간 변화시킨 스텝형의 램프 파형(PAMP)을 입력하고, 임의의 열 선(Vx)의 전압과의 비교를 비교기(151)에 의해 행한다.
- [0137] 램프 파형(RAMP)의 스텝과 입력과 병행하여, 카운터(152)에서 1회째의 카운트가 행해진다.
- [0138] 여기서, RAMP와 Vx의 전압이 같아졌을 때 비교기(151)의 출력은 반전하고, 이로써, 카운터(152)의 카운트 동작이 정지하고, 비교 기간에 따른 카운트 값이 유지된다.
- [0139] 전술한 1회째의 판독 시에는, 단위 화소(111)의 리셋 성분(ΔV)을 읽어내고 있고, 리셋 성분(ΔV) 내에는, 단위 화소(111)마다 편차를 가진 잡음이 오프셋으로서 포함되어 있다.
- [0140] 그러나, 리셋 성분(ΔV)의 편차는 일반적으로 작고, 또한 리셋 레벨은 모든 화소 공통되므로, 임의의 열 선(Vx)의 출력은 대체로 미리 알려져 있다.
- [0141] 따라서, 1회째의 리셋 성분(ΔV)을 판독 시에는, 램프 파형(RAMP) 전압을 조정함으로써 비교 기간을 짧게 할 수 있다.
- [0142] 이 경우, 예를 들면 7비트분의 카운트 기간(128 클록) 중에 ΔV 의 비교가 행해진다.
- [0143] 2회째의 판독은, 리셋 성분(ΔV)에 더하여 단위 화소(111)마다의 입사 광량에 따른 신호 성분을 읽어내고, 1회째의 판독과 마찬가지로 동작을 행한다.
- [0144] 즉, 임의의 행(Hx)의 단위 화소(111)로부터 열 선(V0, V1 . . .)으로의 2회째의 판독이 안정된 후, DAC(16)에

의해 비교기(151)에 대하여, 참조 전압을 시간 변화시킨 스텝형의 램프 파형(RAMP)을 입력하고, 임의의 열 선(Vx)의 전압과의 비교를 비교기(151)에서 행한다.

- [0145] 램프 파형(RAMP)의 스텝과 입력과 병행하여, 카운터(152)와 2회째의 카운트가 행해진다.
- [0146] 여기서, RAMP와 Vx의 전압이 같아졌을 때 비교기(151)의 출력은 반전하고, 동시에 비교 기간에 따른 카운트 값이 유지된다.
- [0147] 이 때, 1회째의 카운트와 2회째의 카운트는 상이한 장소에 유지된다.
- [0148] 이상의 AD 변환 기간 종료 후, 열 주사 회로(4)에 의해, 유지된 1회째와 2회째의 각각 n비트의 디지털 신호가 데이터 전송 신호선(18)을 거쳐, 데이터 출력 회로(17)에서 검출되고, 차례로 감산 회로에서, (2회째의 신호) - (1회째의 신호)가 행해진 후, 외부에 출력되고, 그 후 차례로 행 별로 마찬가지로 동작이 반복되고, 2차원 화상이 생성된다.
- [0149] 전술한 동작은, 1 수평 단위 기간(1H) 중에 행해진다.
- [0150] 그리고, 1H 중에, 임의의 행(Hx)의 단위 화소(111)로부터 열 선(V0, V1 · · ·)으로의 1회째의 판독을 P상 판독(PR), 비교기(151)에 있어서의 1회째의 비교를 P상 비교(PC), 2회째의 판독을 D상 판독(DR), 비교기(151)에 있어서의 비교를 D상 비교(DC), D상의 처리 후의 후 처리를 D상 후 처리(DAP)로서, 각 동작이 연속적으로 행해진다.
- [0151] 이상 설명한 바와 같이, 본 실시예에 의하면, 카운터(152)는 각 열에서 카운터 그룹(210)과 메모리 그룹(220)으로 구분되고, 각 열에 있어서, 각 카운터(152)는 각 비트 사이에서 캐스캐이드 접속되고, 각 카운터(152)의 비트 출력부에 스위치(211)가 설치되고, 각 스위치(211)의 접속처가 열 신호 전송선(212)에 공통으로 접속되어 스위치(211)의 출력처가 다른 각 비트와 공유되어 있고, 스위치(211)는, 타이밍 제어 회로(14)에 의한 컬럼 내 데이터 전송 제어 신호(CDT1A, CDT2A, CDT3A, ...)에 의해 온·오프가 제어되고, 아울러 수평 전송용 디지털 데이터를 기억하는 메모리(래치 회로)(155)의 입력과도 열 신호 전송선(212)이 공유되고, 각 비트에 대응하는 메모리(155)의 출력은 스위치(154)를 통하여, 열 신호 전송선(212)과 직교하도록 배선된 데이터 전송 신호선(18-1, 18-2, 18-3 · · ·)에 접속되고, 각 메모리(155)의 데이터 전송 제어는, 타이밍 제어 회로(14)에 의한 컬럼 내 데이터 전송 제어 신호(CDT1B, CDT2B, CDT3B, ...)에 의해 행해지므로, 하기와 같은 효과를 얻을 수 있다.
- [0152] 컬럼 판독 회로에서 A/D 변환을 행하고, 또한 그 디지털 데이터를, 동일 컬럼 내의 A/D와는 다른 기억 영역으로 데이터를 이동시킬 필요가 있는 촬상 장치에 있어서, 컬럼의 좁은 피치인 레이아웃 제약을 받으면서도, 디지털 기억 영역을 다른 영역에 고립하여 배치하는 것을 가능하게 하고, 서로 발생하는 노이즈를 분리할 수 있어서, 저 노이즈 구동 및 안정된 동작을 기대할 수 있다.
- [0153] 또한, A/D 회로부가 카운터 등의 고속 구동하는 회로를 사용하고 있을 경우, 구동선의 배선 길이가 짧아짐에 의해, 저 소비 전력 구동이 되고, 아울러 고속 동작 마진의 향상이 기대된다.
- [0154] 전술한 바와 같은 효과를 가지는 고체 촬상 소자는, 디지털 카메라나 비디오 카메라의 촬상 디바이스로서 적용할 수 있다.
- [0155] 도 11은 본 발명의 실시예에 따른 고체 촬상 소자가 적용되는 카메라 시스템의 구성의 일례를 나타낸 도면이다.
- [0156] 본 카메라 시스템(300)은, 도 11에 나타낸 바와 같이, 본 실시예에 따른 고체 촬상 소자(10)가 적용 가능한 촬상 디바이스(310)와, 이 촬상 디바이스(310)의 화소 영역에 입사광을 안내하는(피사체 상을 결상하는) 광학계, 예를 들면 입사광(상 광)을 촬상면 상에 결상시키는 렌즈(320)와, 촬상 디바이스(310)를 구동하는 구동 회로(DRV)(330)와, 촬상 디바이스(310)의 출력 신호를 처리하는 신호 처리 회로(PRC)(340)를 가진다.
- [0157] 구동 회로(330)는, 촬상 디바이스(310) 내의 회로를 구동하는 스타트 펄스나 클록 펄스 등을 포함하는 각종 타이밍 신호를 생성하는 타이밍 제네레이터(도시하지 않음)를 가지고, 소정의 타이밍 신호로 촬상 디바이스(310)를 구동한다.
- [0158] 또한, 신호 처리 회로(340)는, 촬상 디바이스(310)의 출력 신호에 대하여 CDS(Correlated Double Sampling; 상관 2중 샘플링) 등의 신호 처리를 행한다.
- [0159] 신호 처리 회로(340)에서 처리된 화상 신호는, 예를 들면 메모리 등의 기록 매체에 기록된다.
- [0160] 기록 매체에 기록된 화상 정보는, 프린터 등에 의해 하드카피된다.

[0161] 또한, 신호 처리 회로(340)에서 처리된 화상 신호를 액정 디스플레이 등으로 이루어지는 모니터에 동영상으로서 표시된다.

[0162] 전술한 바와 같이, 디지털 스틸 카메라 등의 촬상 장치에 있어서, 촬상 디바이스(310)로서, 전술한 촬상 소자(10)를 탑재함으로써, 정밀도가 높은 카메라를 실현할 수 있다.

도면의 간단한 설명

[0065] 도 1은 열 병렬 ADC 탑재 고체 촬상 소자(CMOS 이미지 센서)의 구성예를 나타낸 블록도이다.

[0066] 도 2는 열 관독 회로의 레이아웃 예를 나타낸 도면이다.

[0067] 도 3은 본 발명의 실시예에 따른 열 병렬 ADC 탑재 고체 촬상 소자(CMOS 이미지 센서)의 구성예를 나타낸 블록도이다.

[0068] 도 4은 본 실시예에 다른 ADC의 카운터의 제1 레이아웃 예를 나타낸 도면이다.

[0069] 도 5는 도 4의 회로의 제어 신호의 타이밍 차트이다.

[0070] 도 6은 실시예에 따른 ADC의 카운터의 제2 레이아웃 예를 나타낸 도면이다.

[0071] 도 7은 본 실시예에 따른 ADC의 카운터의 제3 레이아웃 예를 나타낸 도면이다.

[0072] 도 8은 도 7의 회로의 제어 신호의 타이밍 차트이다.

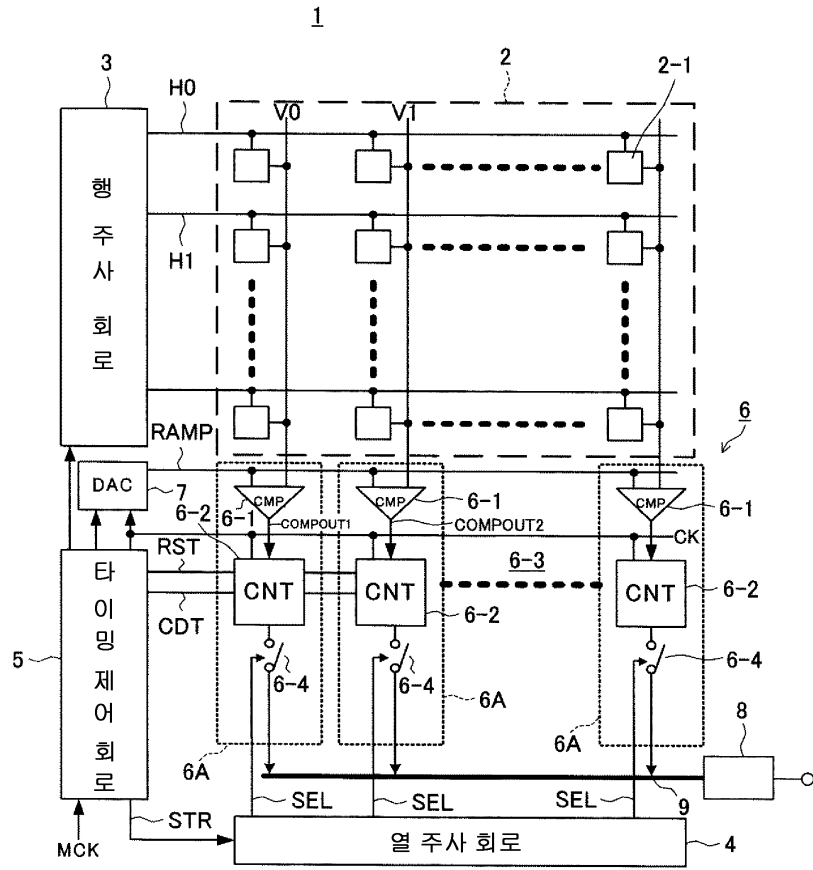
[0073] 도 9는 실시예에 따른 ADC의 카운터의 레이아웃의 다른 예를 나타낸 도면이다.

[0074] 도 10은 도 9의 회로의 제어 신호의 타이밍 차트이다.

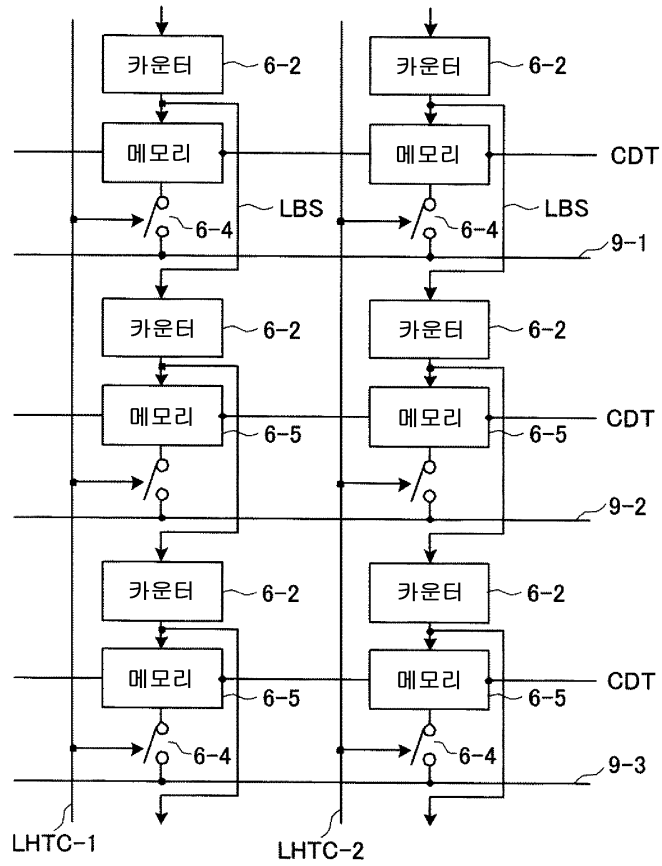
[0075] 도 11은 본 발명의 실시예에 따른 고체 촬상 소자가 적용되는 카메라 시스템의 구성의 일례를 나타낸 도면이다.

도면

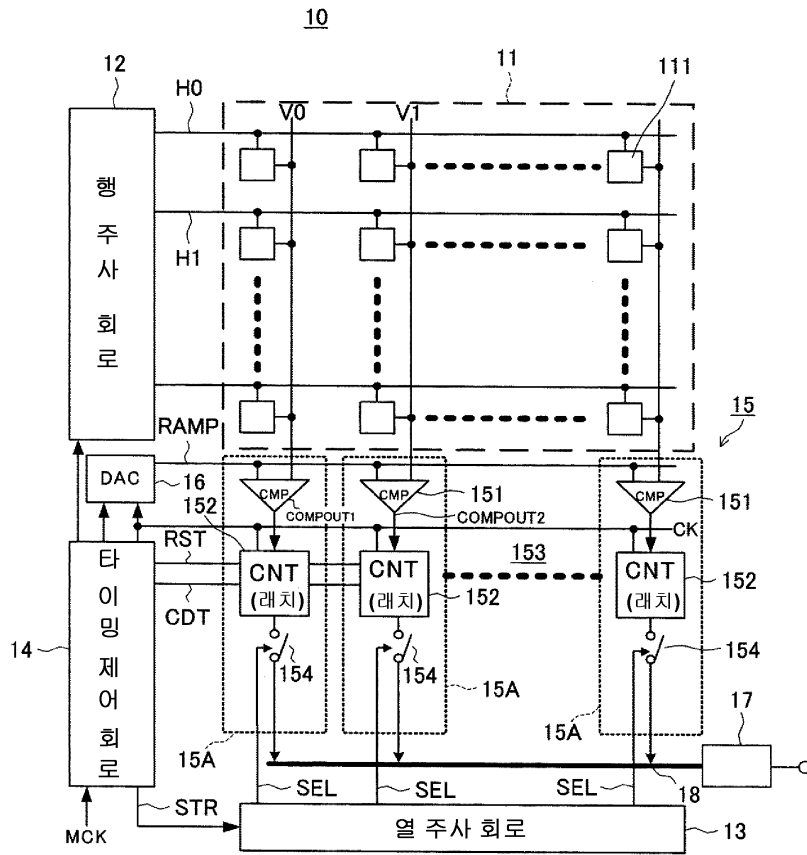
도면1



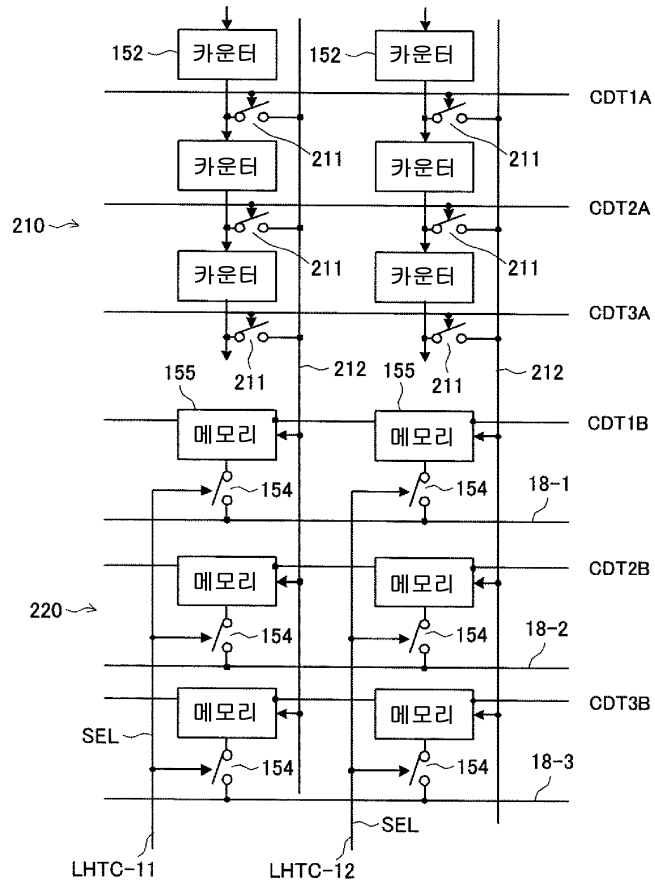
도면2



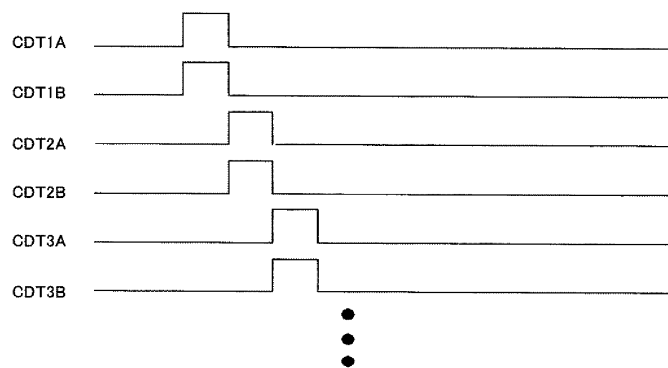
도면3



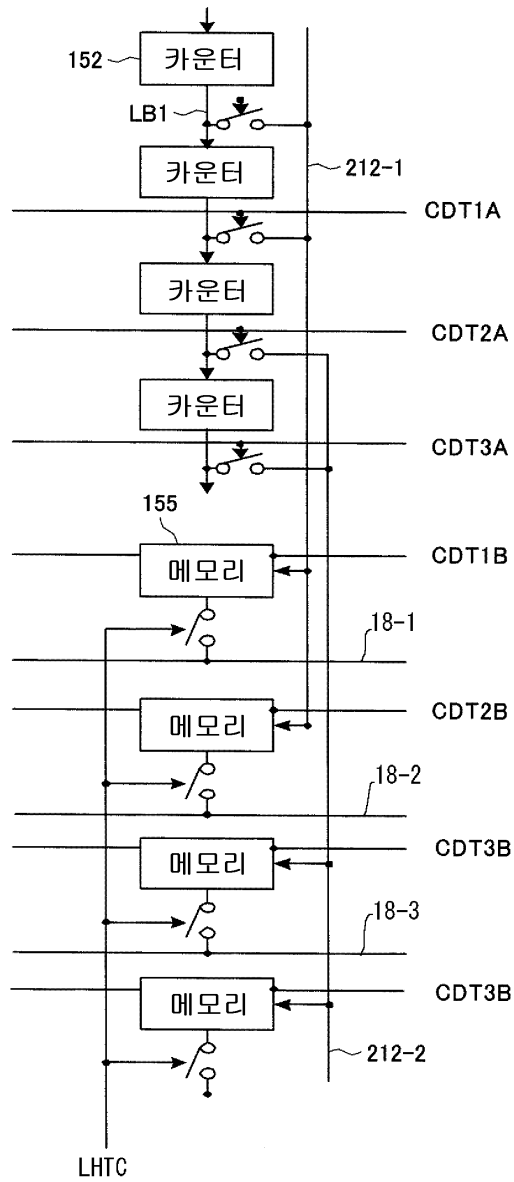
도면4



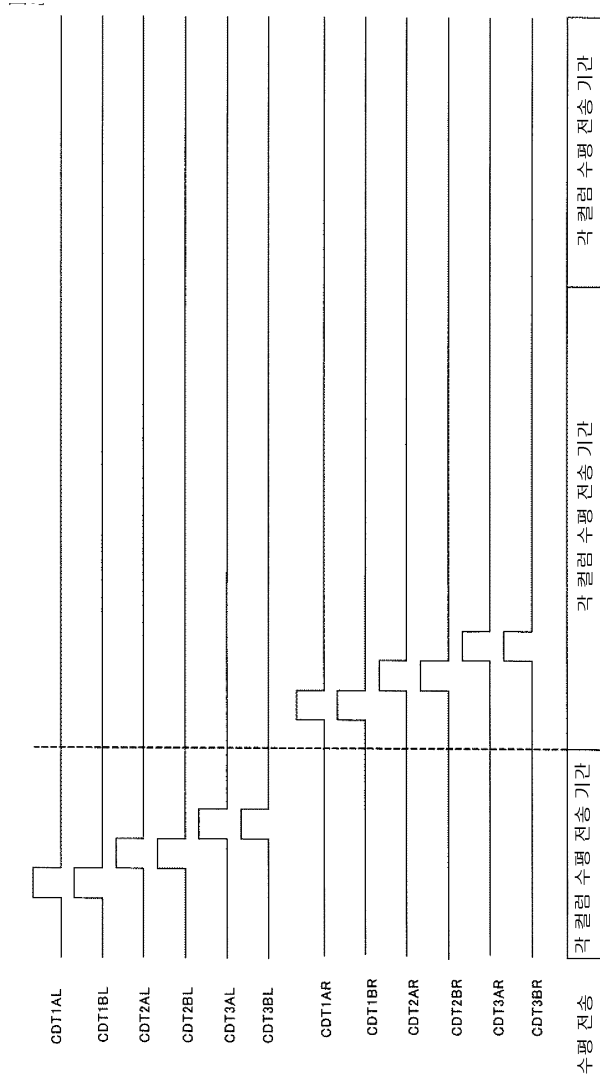
도면5



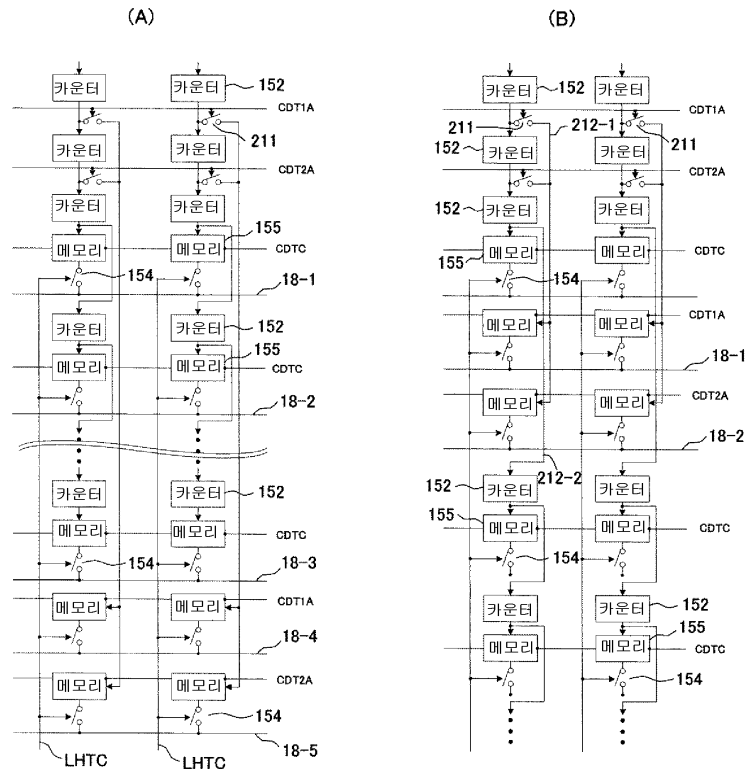
도면6



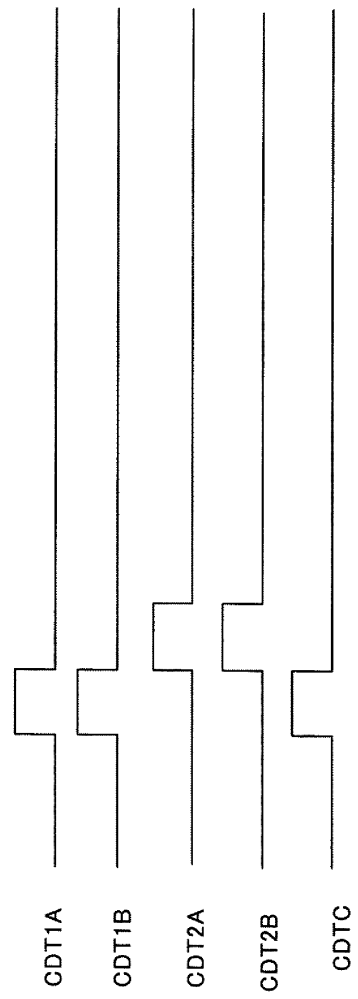
도면8



도면9



도면10



도면11

300

