

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3661193号

(P3661193)

(45) 発行日 平成17年6月15日(2005.6.15)

(24) 登録日 平成17年4月1日(2005.4.1)

(51) Int. Cl.⁷

G09G 3/36

F I

G09G 3/36

請求項の数 10 (全 21 頁)

(21) 出願番号	特願平10-518174	(73) 特許権者	000002369
(86) (22) 出願日	平成9年10月8日(1997.10.8)		セイコーエプソン株式会社
(86) 国際出願番号	PCT/JP1997/003601		東京都新宿区西新宿2丁目4番1号
(87) 国際公開番号	W01999/004385	(74) 代理人	100090479
(87) 国際公開日	平成11年1月28日(1999.1.28)		弁理士 井上 一
審査請求日	平成15年6月12日(2003.6.12)	(74) 代理人	100090387
(31) 優先権主張番号	特願平9-207074		弁理士 布施 行夫
(32) 優先日	平成9年7月16日(1997.7.16)	(74) 代理人	100090398
(33) 優先権主張国	日本国(JP)		弁理士 大淵 美千栄
早期審査対象出願		(72) 発明者	青木 透
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	鈴野 幹夫

最終頁に続く

(54) 【発明の名称】 液晶装置及びその駆動方法、並びにそれを用いた投写型表示装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

複数のデータ信号線と複数の走査信号線の交差により形成される複数の画素の各々に、液晶層に電気的に接続されたスイッチング素子を配置してなり、前記液晶層に印加される電圧の極性を所定期間ごとに反転させて駆動する液晶装置において、

前記複数の走査信号線の少なくとも1本に接続された複数のスイッチング素子を水平走査期間にオンさせる水平走査信号を、前記複数の走査信号線に順次供給する走査側駆動手段と、

前記複数のデータ信号線の各々にそれぞれ接続され、サンプリング期間にデータ信号を順次サンプリングし前記複数のデータ信号線の各々に供給する複数のサンプリング用スイッチング手段と、

前記複数のサンプリング用スイッチング手段に前記サンプリング期間を設定するサンプリング信号を供給するデータ側駆動手段と、

前記複数のデータ信号線の各々に前記データ信号を順次供給する前記サンプリング期間に先立つプリチャージ期間に、当該データ信号に基づいて前記画素の液晶層に印加される電圧の極性と同一極性のプリチャージ電圧にて、前記複数のデータ信号線の各々を同時にプリチャージする複数のプリチャージ用スイッチング手段と、

同一水平走査期間内における前記プリチャージ期間終了から先頭の前記サンプリング用スイッチング手段の前記サンプリング期間が開始される迄の時間間隔を調整設定する調整回路と、

10

20

を有し、

前記調整回路は、

基準クロック信号をカウントし、水平同期信号にてリセットされるカウンタと、

前記カウンタの出力をデコードするデコーダと、

前記デコーダの出力に基づき、前記プリチャージ信号及び前記シフトデータ信号を出力する信号生成回路と、

を有し、

前記データ側駆動手段は、該データ側駆動手段を起動させるシフトデータ信号がアクティブとなった後に、前記サンプリング信号を出力するものであり、

前記カウンタは、 $(m - 1)$ 番目の水平走査期間の終了時から m 番目の水平走査期間内の前記シフトデータ信号がアクティブになるまでの期間 $(T1 + T2 + T3)$ と、前記 $(m - 1)$ 番目の水平走査期間の終了時から前記 m 番目の水平走査期間内に設定された前記プリチャージ期間 $(T2)$ の終了までの期間 $(T3 + T2)$ と、前記 $(m - 1)$ 番目の水平走査期間の終了時から前記 m 番目の水平走査期間内に設定された前記プリチャージ期間 $(T2)$ の開始までの前記時間間隔 $(T3)$ と、にそれぞれ対応するカウント値を出力し、

前記デコーダは、前記カウンタからの前記カウント値に基づいて、前記プリチャージ期間終了時から前記シフトデータ信号がアクティブとなる迄の期間 $(T1)$ を設定する信号を出力し、

前記時間間隔を、前記データ信号線に接続された前記プリチャージ用スイッチング手段での信号伝搬遅延時間よりも長く設定したことを特徴とする液晶装置。

【請求項 2】

請求項 1 において、

前記時間間隔は、前記プリチャージ用スイッチング手段及び前記プリチャージ電位供給手段がそれぞれ有する負荷に基づく各時定数の和よりも大きく設定されたものであることを特徴とする液晶装置。

【請求項 3】

複数のデータ信号線と複数の走査信号線の交差により形成される複数の画素の各々に、液晶層に電気的に接続されたスイッチング素子を配置してなり、前記液晶層に印加される電圧の極性を所定期間ごとに反転させて駆動する液晶装置において、

前記複数の走査信号線の少なくとも 1 本に接続された複数のスイッチング素子を水平走査期間にオンさせる水平走査信号を、前記複数の走査信号線に順次供給する少なくとも一つの走査側駆動手段と、

前記複数のデータ信号線の各々にそれぞれ接続され、サンプリング期間にデータ信号を順次サンプリングし前記複数のデータ信号線の各々に供給する複数のサンプリング用スイッチング手段と、

シフトクロックに基づいてシフトデータ信号を転送するシフトレジスタを含み、前記複数のサンプリング用スイッチング手段についてそれぞれ前記サンプリング期間を設定するサンプリング信号を供給するデータ側駆動手段と、

前記複数のデータ信号線の各々に対して前記データ信号を順次供給する前記サンプリング期間に先立つプリチャージ期間にプリチャージ信号が供給されるとともに、当該データ信号に基づいて前記画素の液晶層に印加される電圧の極性と同一極性のプリチャージ電圧にて、前記複数のデータ信号線の各々を同時にプリチャージする複数のプリチャージ用スイッチング手段と、

$(m - 1)$ 番目の水平走査期間の終了時から、 m 番目の水平走査期間内に設定されたプリチャージ期間の開始時迄の時間間隔を調整設定する調整回路と、を有し、

前記調整回路は、

基準クロック信号をカウントし、水平同期信号にてリセットされるカウンタと、

前記カウンタの出力をデコードして、前記時間間隔を設定する信号を出力するデコーダと、

前記デコーダの出力に基づき、前記プリチャージ信号及び前記シフトデータ信号を出力す

10

20

30

40

50

る信号生成回路と、
を有し、

前記カウンタは、(m - 1) 番目の水平走査期間の終了時から m 番目の水平走査期間内の前記シフトデータ信号がアクティブになるまでの期間 (T1 + T2 + T3) と、前記 (m - 1) 番目の水平走査期間の終了時から前記 m 番目の水平走査期間内に設定された前記プリチャージ期間 (T2) の終了までの期間 (T3 + T2) と、前記 (m - 1) 番目の水平走査期間の終了時から前記 m 番目の水平走査期間内に設定された前記プリチャージ期間 (T2) の開始までの前記時間間隔 (T3) と、にそれぞれ対応するカウント値を出力し、
前記デコード出力に基づいて、前記時間間隔 (T3) が、前記少なくとも一つの走査側駆動手段から最も遠い位置の画素に至る水平走査信号の信号伝搬遅延時間よりも長く設定されることを特徴とする液晶装置。

10

【請求項 4】

請求項 3 において、

前記時間間隔は、1 本の前記走査信号線及び前記最も遠い画素のスイッチング素子がそれぞれ有する負荷に基づく各時定数の和よりも大きく設定されたものであることを特徴とする液晶装置。

【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記液晶層が封入された一对の基板を有し、

前記複数のサンプリング用スイッチング手段は、前記一对の基板の一方に形成された複数のスイッチング素子にて形成されることを特徴とする液晶装置。

20

【請求項 6】

請求項 5 において、

前記スイッチング素子は、MOSトランジスタまたは薄膜トランジスタであることを特徴とする液晶装置。

【請求項 7】

光源と、該光源からの光を変調する請求項 1 乃至 6 のいずれかに記載の液晶装置と、変調された光を投写する投写光学手段と、を有することを特徴とする投写型表示装置。

【請求項 8】

請求項 1 乃至 6 のいずれかに記載の液晶装置を有することを特徴とする電子機器。

30

【請求項 9】

複数のデータ信号線と複数の走査信号線の交差により形成される複数の画素の各々に、液晶層に電気的に接続されたスイッチング素子を配置してなる液晶装置を、前記液晶層に印加される電圧の極性を所定期間ごとに反転させて駆動する液晶装置の駆動方法において、前記複数の走査信号線の少なくとも 1 本に接続された複数のスイッチング素子を水平走査期間にオンさせる水平走査信号を、前記複数の走査信号線に順次供給し、シフトクロックに基づいてシフトデータ信号を転送するシフトレジスタを含むデータ側駆動手段により、前記複数のデータ信号線にそれぞれ接続された複数のサンプリング用スイッチング手段にサンプリング信号を供給し、前記複数のサンプリング用スイッチング手段によりデータ信号を各々のサンプリング期間にサンプリングして、前記複数のデータ信号線の各々に供給し、

40

前記複数のデータ信号線に接続された複数のプリチャージ用スイッチング手段を介して、前記複数のデータ信号線の各々に前記データ信号を供給する前記各々のサンプリング期間に先立つプリチャージ期間に、該サンプリング期間にてサンプリングされるデータ信号に基づいて前記画素に印加される電圧の極性と同一極性のプリチャージ電圧にて、前記複数のデータ信号線の各々を同時にプリチャージし、

前記プリチャージ期間終了から、前記水平走査期間での先頭のサンプリング期間が開始される迄の時間間隔を一定とし、前記時間間隔を、前記 1 本のデータ信号線に接続された前記プリチャージ用スイッチング手段での信号伝搬遅延時間よりも長く設定し、

前記時間間隔を設定する工程は、

50

基準クロック信号をカウントし、水平同期信号にてリセットされるカウンタにて、 $(m - 1)$ 番目の水平走査期間の終了時から m 番目の水平走査期間内の前記シフトデータ信号がアクティブになるまでの期間 $(T1 + T2 + T3)$ と、前記 $(m - 1)$ 番目の水平走査期間の終了時から前記 m 番目の水平走査期間内に設定された前記プリチャージ期間 $(T2)$ の終了までの期間 $(T3 + T2)$ と、前記 $(m - 1)$ 番目の水平走査期間の終了時から前記 m 番目の水平走査期間内に設定された前記プリチャージ期間 $(T2)$ の開始までの前記時間間隔 $(T3)$ と、にそれぞれ対応するカウント値を出力する工程と、
と、
前記カウンタの出力をデコーダにてデコードして、前記プリチャージ期間終了時から前記シフトデータ信号がアクティブとなる迄の期間 $(T1)$ を設定する信号を出力する工程と、
を含むことを特徴とする液晶装置の駆動方法。

10

【請求項10】

複数のデータ信号線と複数の走査信号線の交差により形成される複数の画素の各々に、液晶層に電気的に接続されたスイッチング素子を配置してなる液晶装置を、前記液晶層に印加される電圧の極性を所定期間ごとに反転させて駆動する液晶装置の駆動方法において、前記複数の走査信号線の少なくとも1本に接続された複数のスイッチング素子を水平走査期間にオンさせる水平走査信号を、少なくとも一つの走査側駆動手段から前記複数の走査信号線に順次供給し、

シフトクロックに基づいてシフトデータ信号を転送するシフトレジスタを含むデータ側駆動手段により、前記複数のデータ信号線にそれぞれ接続された複数のサンプリング用スイッチング手段にサンプリング信号を供給して、前記複数のサンプリング用スイッチング手段により、データ信号を各々のサンプリング期間にサンプリングして、前記複数のデータ信号線の各々に供給し、

20

前記複数のデータ信号線に接続された複数のプリチャージ用スイッチング手段に共通するプリチャージ信号を供給し、前記複数のプリチャージ用スイッチング手段を介して、前記複数のデータ信号線の各々に前記データ信号を供給する前記各々のサンプリング期間に先立つプリチャージ期間に、該サンプリング期間にてサンプリングされるデータ信号に基づいて前記画素に印加される電圧の極性と同一極性のプリチャージ電圧にて、前記複数のデータ信号線の各々を同時にプリチャージし、

基準クロック信号をカウントし水平同期信号にてリセットされるカウンタの出力をデコードするデコーダ出力に基づいて、前記プリチャージ信号及び前記シフトデータ信号を出力し、 $(m - 1)$ 番目の水平走査期間の終了時から、 m 番目の水平走査期間内に設定されたプリチャージ期間の開始時迄の時間間隔を設定し、

30

前記時間間隔を設定する工程は、

前記カウンタが、 $(m - 1)$ 番目の水平走査期間の終了時から m 番目の水平走査期間内の前記シフトデータ信号がアクティブになるまでの期間 $(T1 + T2 + T3)$ と、前記 $(m - 1)$ 番目の水平走査期間の終了時から前記 m 番目の水平走査期間内に設定された前記プリチャージ期間 $(T2)$ の終了までの期間 $(T3 + T2)$ と、前記 $(m - 1)$ 番目の水平走査期間の終了時から前記 m 番目の水平走査期間内に設定された前記プリチャージ期間 $(T2)$ の開始までの前記時間間隔 $(T3)$ と、にそれぞれ対応するカウント値を出力する工程を含み、前記時間間隔 $(T3)$ が、前記少なくとも一つの走査側駆動手段から最も遠い位置の画素に至る水平走査信号の信号伝搬遅延時間よりも長く設定されたものであることを特徴とする液晶装置の駆動方法。

40

【発明の詳細な説明】

[技術分野]

本発明は、液晶装置及びその駆動方法、並びにそれを用いた投写型表示装置及び電子機器に関する。

[背景技術]

例えば、アクティブマトリクス型の液晶装置では、一走査信号線に複数接続されたTFT(薄膜トランジスタ)等のスイッチング素子を介して、各画素の液晶層にデータを書き込む

50

動作を点順次駆動により実施している。

また、液晶にかかる電圧の偏りによる表示むらをなくし、液晶にかかる直流電流による液晶の劣化などを防ぐために、液晶に印加される電圧の極性を所定のタイミングで反転させる極性反転駆動が行われている。

極性反転駆動とは、液晶の一端に、液晶の他端に印加される電位を基準として異なる極性（正または負の極性）の電圧を印加する駆動である。尚、本明細書における「極性」とは、液晶の両端に印加される電圧の極性を意味する。極性反転駆動するには、TFTを用いたアクティブマトリクス型では、液晶を挟んで画素電極と対向する共通電極に印加する電位を変化させるか、あるいは、画素電極に印加される画像データ信号の電圧振幅の中間電位を基準として画像データ信号の電位レベルを変化させている。

10

ここで、前記極性反転においては、走査信号線を選択するごとに極性反転を行ういわゆるライン毎の反転、あるいはこれに、一走査信号線に接続された画素毎に極性反転を行ういわゆるドット毎の反転を組み合わせた極性反転駆動方式が知られている。

図9、図10に、極性反転駆動方式について説明するための模式図を示す。従来のアクティブマトリクス型の液晶装置では、点順次駆動でかつ画素毎（ライン毎も含む）の極性反転駆動方式を採用し、また、データ信号線のプリチャージは直前のブランキング期間に一括して行う方式を採用している。

図9、図10において、S1～S4はデータ信号線を示し、H1～H4は走査信号線を示している。各画素の「+」、「-」は、該画素の液晶に印加される電圧およびその直前にデータ信号線に供給されるプリチャージ電位の極性を示している。図9はNフィールドでの各画素の電圧極性を、図10はN+1フィールドでの各画素の電圧極性を示している。画素毎及びライン毎の極性反転駆動においては、同一データ信号線と接続された隣合う画素毎（図9、図10で縦方向にて隣接する画素毎）に、異なる極性にて電圧が印加されるようになっている。

20

この場合、同一データ信号線に接続され、かつ、異なる走査信号線に接続された隣り合う2つの画素に、表示上で例えば同じ黒データを書き込む場合でも、極性反転駆動のために各々の黒データの信号レベルは異なっている。このとき、データ信号線自体が寄生容量を持つため、データ信号線の電位を、正極性側の黒レベル電位から負極性側の黒レベル電位に変化させるのに時間を要する。

図11、図12を参照して、同一のデータ信号線に接続された隣り合う2つの画素に、それぞれ同じ黒を書き込む動作を場合のデータ信号線の電位の変化について説明する。

30

図11において、C10はデータ信号線S1に寄生する容量（つまり、データ信号線S1の等価容量）を示す。また、図11の左側に記載の「-」、「+」は、画素22,24に書き込まれる電圧の極性を示している。なお、画素22,24は共に「黒」を表示するものとする。画素はスイッチング素子を介してデータ信号が供給される蓄積容量及び画素電極と、画素電極と共通電極の間で電圧印加される液晶層とからなる。

図12に示すように、水平走査期間T1において、画素22の一端に黒レベル電位B1を印加して黒表示し、次の水平走査期間T2において、画素24の一端に黒レベル電位B2を印加して同様に黒表示する。この場合、画素22,24の他端には、各黒レベル電位B1,B2間に設定された共通電極電位が印加されているため、画素22には負極性の電圧が印加され、画素24には正極性の電圧が印加され、同じ黒表示でも液晶への印加電圧の極性が反転されている。しかも、上記のようなノーマリーホワイトの表示では、それぞれの黒レベル電位B1とB2との電位差が、他の階調表示の場合と比較して最も大きくなる。よって、プリチャージを行わなければ、画像データ信号自体によってデータ信号線S1の寄生容量C10を充電（あるいは放電）して、図中「R1」で示すようにデータ信号線の電位を黒レベル電位B1からB2へと変化させなければならない。

40

これに対し、データ信号の供給に先立ち、データ信号の極性と同一極性のプリチャージを行っておけば、つまり、水平走査期間T2の前にプリチャージを行ってデータ信号線S1を高電位の第2のプリチャージ電位PV2に保持しておけば、図中「R2」で示すように、データ信号線の電位を第2のプリチャージ電位PV2から黒レベル電位B2へと変化させるだけで良

50

く、データ信号線S1の寄生容量C10の充電（放電）の量が小さくて良い。ゆえに、液晶の駆動が高速化される。

ところで、従来の液晶装置においては、黒レベル電位B1,B2をそれぞれ1V,11Vとし、白レベル電位W1,W2をそれぞれ5V,7Vとし、プリチャージ電位PV1,PV2をそれぞれ4V,8Vに設定していた。すなわち、プリチャージ電位PV1,PV2は、ビデオ振幅である黒レベル電位B1,B2間の中心電位（6V）に対して対称に設定していた。

この4V,8Vは、中間調表示レベルの時に液晶の一端にスイッチング素子を介して印加される電圧であり、液晶印加電圧（V）と液晶装置の透過率（T）との関係を示すT-Vカーブが最も急峻となる時の電位レベルに相当している。換言すれば、この4V,8Vは、液晶への印加電圧の変化に対する透過率変化が最も大きい時の電位レベルに相当している。プリチャージ電位PV1,PV2をこのように設定すると、プリチャージ電位から中間調表示のための電位になるまでデータ信号線を短時間で充放電でき、サンプリング期間が短くとも正確な中間調表示が可能となる。

ここで、前述したように、画像表示装置は、多角的に用いられるようになってきており、例えば、液晶モニタ、ノート・パソコン（PC）、民生機器に用いられている。従って、高精細化、携帯性強化という観点からの開発が進められており、例えば、高精細化においては、VGA（640×480画素）からXGA（1024×768画素）、XGAからSXGA（1280×1024画素）、SXGAからUXGA（1600×1200画素）へと、画素数の多い画像表示装置の開発が進展している。

前記画像表示装置は、画像データ信号の種類により各々の動作周波数は異なっている。例えば、VGAは、ノート・パソコンのモニタとして用いられているが、この動作周波数は、60Hz,72Hz,75Hzである。そして、例えば、SVGAも、VGA用よりも大型のノート・パソコンのモニタとして用いられているが、この動作周波数は、56Hz,60Hz,72Hz,75Hzである。更に、例えば、XGAも、デスクトップ・パソコン或はノート・パソコンのモニタとして用いられているが、この動作周波数は、60Hz,70Hz,75Hzであり、また、例えば、EWS（SXGA）の動作周波数は75Hzである。

例えば、液晶装置としてVGA仕様（60Hz）の装置を使用した場合、1水平走査期間においては、800ドットクロック信号で31778 μ sec、有効表示期間中の画素は640クロック分を有する。従って、前記したような各駆動周波数56,60,72,75Hzをこの装置に適用する場合には、一水平走査期間が短くなる。また、デジタル信号処理により外部入力の画像データ信号の圧縮・伸長も可能であり、このような方法にて各画像データ信号に対応した画像表示を行うことができる。

また、このような液晶装置は、プロジェクタ等に適用されており、この場合は、各画像データ信号の種類を切り換えても、適宜画像データ信号の圧縮・伸長を行うことによって、画像表示を行うことができる構成になっている。

このような画像表示装置における画素数の増加に伴い、液晶パネルの大型化が進展し、それに伴って画像表示装置における画像むらが目立つようになってきており、画素やバックライトの均一性を向上し、輝度むらや色むらを低減するという手法により、前記画像むらに対処している。

ところが、画素数の増加に伴う高周波数化に対しては、様々な工夫がなされているものの、液晶装置においては各スイッチ素子がTFTにて構成されている。よって、データ信号のサンプリングだけでなく、プリチャージにおいてもスイッチング特性が低速であるという問題があり、それに伴う種々の回路動作について検討がなされている。

また、走査信号線においては、X方向における画素数分のスイッチング素子としてのTFTのゲートが各々接続されているので、走査信号線においては、容量成分が大きくなってしまふ。また、パネルサイズの大型化に伴い走査信号線の配線抵抗も増加する。よって、走査信号線における寄生抵抗や寄生容量が大きくなって、負荷となることに起因する配線遅延の問題が生じている。

本発明は、前記問題点を鑑みてなされたものであり、本発明の目的は、プリチャージ信号の供給経路における寄生容量、寄生抵抗及びスイッチング素子における寄生容量、寄生抵

10

20

30

40

50

抗による負荷に起因した、スイッチング時の信号伝搬速度の遅延による画質の低下を防止することができる液晶装置、液晶駆動方法、それを用いた投写型表示装置及び電子機器を提供することにある。

本発明の他の目的は、走査信号線における寄生容量，寄生抵抗及びスイッチング素子における寄生容量，寄生抵抗による負荷に起因した、スイッチング時の信号伝搬速度の遅延による画質の低下を防止することができる液晶装置、液晶駆動方法、それを用いた投写型表示装置及び電子機器を提供することにある。

本発明のさらに他の目的は、データ信号線駆動手段（Xドライバ）の起動時を基準としてプリチャージ及びサンプリングのタイミングを設定することで、異なる種類の画像データ信号を前記液晶装置に供給しても、画像が劣化することのない液晶装置、液晶駆動方法、それを用いた投写型表示装置及び電子機器を提供することにある。

10

[発明の開示]

本発明の一態様によれば、

複数のデータ信号線と複数の走査信号線の交差により形成される複数の画素の各々に、画素に接続されたスイッチング素子を配置してなり、前記画素に印加される電圧の極性を所定期間ごとに反転させて駆動する液晶装置において、

前記複数の走査信号線の少なくとも1本に接続された複数のスイッチング素子を水平走査期間にオンさせる水平走査信号を、前記複数の走査信号線に順次供給する走査側駆動手段と、

前記複数のデータ信号線の各々にそれぞれ接続され、サンプリング期間にデータ信号を順次サンプリングし前記複数のデータ信号線の各々に供給する複数のサンプリング用スイッチング手段と、

20

前記複数のサンプリング用スイッチング手段に前記サンプリング期間を設定する信号を供給するデータ側駆動手段と、

前記複数のデータ信号線の各々に前記データ信号を順次供給する前記サンプリング期間に先立つプリチャージ期間に、当該データ信号に基づいて前記画素の液晶層に印加される電圧の極性と同一極性のプリチャージ電圧にて、前記複数のデータ信号線の各々を同時にプリチャージする複数のプリチャージ用スイッチング手段と、を有し、

同一水平走査期間内における前記プリチャージ期間終了から先頭の前記サンプリング用スイッチング手段の前記サンプリング期間が開始される迄の時間間隔を、前記データ信号線に接続された前記プリチャージ用スイッチング手段での信号伝搬遅延時間よりも長く設定したことを特徴とする。

30

本発明の一態様によれば、予め設計されたプリチャージ期間終了後に、複数のプリチャージ用スイッチング手段の各々にて信号伝搬遅延時間が生じたとしても、画質の劣化を低減できる。すなわち、全てのプリチャージ用スイッチング手段がオフした後に、複数のデータ信号線の各々に対するデータサンプリングが開始されるからである。これにより、特に水平走査期間にて最初にサンプリング期間が開始されるデータ信号線においても、それに接続されたプリチャージ用スイッチング手段及びサンプリング用スイッチング手段の双方が同時にオンする事態を防止できる。これにより、データ信号線に書き込まれたデータ信号電位がプリチャージ電位の悪影響をうけることがなくなり、該データ信号線に接続された画素での階調値が変動することがない。

40

プリチャージ期間終了から水平走査期間での先頭のサンプリング期間が開始される迄の時間間隔は、プリチャージ用スイッチング手段がそれぞれ有する負荷に基づく各時定数の和よりも大きく設定されることが好ましい。こうすると、上記時間間隔は、プリチャージ用スイッチング手段での信号伝搬遅延時間よりも長くなる。

データ側駆動手段は、該データ側駆動手段を起動させるシフトデータ信号がアクティブとなった後に、サンプリング信号を出力する構成とすることができる。この場合、前記信号伝搬遅延時間より長い前記時間間隔を、プリチャージ期間終了からシフトデータ信号がアクティブとなる迄の時間とすればよい。

本発明では、プリチャージ期間終了から水平走査期間での先頭のサンプリング期間が開始

50

される迄の時間間隔を調整設定する調整回路を含むことができる。

この調整回路は、基準クロック信号をカウントし、水平同期信号にてリセットされるカウンタと、前記カウンタの出力をデコードして、前記時間間隔を設定する信号を出力するデコーダと、前記デコーダの出力に基づいて、前記プリチャージ信号及び前記シフトデータ信号を生成する信号生成回路とを有する。この調整回路により、上記時間間隔だけ隔ててプリチャージ信号及びシフトデータ信号を生成できる。

また、この調整回路は、駆動周波数に拘らず前記時間間隔を一定とすることができる。従って、駆動周波数の異なる各種の画像データ信号が供給されても、常に画質を低下することはない。

本発明の他の態様によれば、

複数のデータ信号線と複数の走査信号線の交差により形成される複数の画素の各々に、画素に接続されたスイッチング素子を配置してなり、前記画素に印加される電圧の極性を所定期間ごとに反転させて駆動する液晶装置において、

前記複数の走査信号線の少なくとも1本に接続された複数のスイッチング素子を水平走査期間にオンさせる水平走査信号を、前記複数の走査信号線に順次供給する少なくとも一つの走査側駆動手段と、

前記複数のデータ信号線の各々にそれぞれ接続され、サンプリング期間にデータ信号を順次サンプリングし前記複数のデータ信号線の各々に供給する複数のサンプリング用スイッチング手段と、

前記複数のサンプリング用スイッチング手段に前記サンプリング期間を設定する信号を供給するデータ側駆動手段と、

前記複数のデータ信号線の各々に前記データ信号を順次供給する前記サンプリング期間に先立つプリチャージ期間に、当該データ信号に基づいて前記画素の液晶層に印加される電圧の極性と同一極性のプリチャージ電圧にて、前記複数のデータ信号線の各々を同時にプリチャージする複数のプリチャージ用スイッチング手段と、を有し、

($m - 1$)番目の水平走査期間の終了時から、 m 番目の水平走査期間内に設定されたプリチャージ期間の開始時迄の時間間隔が、前記少なくとも一つの走査側駆動手段から最も遠い位置の画素に至る水平走査信号の信号伝搬遅延時間よりも長く設定されたものであることを特徴とする。

本発明の他の態様は、走査側駆動手段から最も遠い位置の画素に至る水平走査信号の信号伝搬遅延時間が最も長いことに着目して、該画素での画質の劣化を防止したものである。液晶装置では、予め設計された($m - 1$)番目の水平走査期間が終了しても、その後上記信号伝搬遅延時間に基づいて($m - 1$)番目の実質の水平走査期間が延長される。本発明では、最も長い信号伝搬遅延時間経過後に、 m 番目の水平走査期間でのプリチャージ期間が開始される。従って、($m - 1$)番目の水平走査期間にオンされた複数のスイッチング素子に接続された画素が、 m 番目の水平走査期間のためのプリチャージ電位の悪影響を受けることがなくなる。

($m - 1$)番目の水平走査期間の終了時から m 番目の水平走査期間内に設定されたプリチャージ期間の開始時迄の時間間隔は、1本の前記走査信号線及び前記最も遠い画素のスイッチング素子がそれぞれ有する負荷に基づく各時定数の和よりも大きく設定されることが好ましい。こうすると、上記時間間隔を、走査側駆動手段から最も遠い位置の画素に至る水平走査信号の信号伝搬遅延時間よりも長くできる。

本発明では、($m - 1$)番目の水平走査期間の終了時から m 番目の水平走査期間内に設定されたプリチャージ期間の開始時迄の時間間隔を調整設定する調整回路を含むことができる。

この調整回路は、基準クロック信号をカウントし、水平同期信号にてリセットされるカウンタと、前記カウンタの出力をデコードして、前記時間間隔を設定する信号を出力するデコーダと、前記デコーダの出力に基づいて、前記プリチャージ信号及び前記シフトデータ信号を生成する信号生成回路とを有する。この調整回路により、($m - 1$)番目の水平走査期間の終了時より上記時間間隔だけ隔てて、 m 番目の水平走査期間のプリチャージ信号

10

20

30

40

50

を生成できる。

また、この調整回路は、駆動周波数に拘らず前記時間間隔を一定とすることができる。従って、駆動周波数の異なる各種の画像データ信号が供給されても、常に画質を低下することがない。

上述した各発明では、前記液晶が封入された一对の基板を有し、前記複数のサンプリング用スイッチング手段を、前記一对の基板の一方に形成された複数のスイッチング素子にて形成することができる。このようなスイッチング素子は、MOSトランジスタまたは薄膜トランジスタにて形成できる。

また、本発明を、上述した特徴を有する液晶装置を備えた投写型表示装置あるいは電子機器に適用すると、それらにて表示される画質の劣化を防止できる。

【図面の簡単な説明】

図1は、本発明のアクティブマトリクス型液晶装置におけるプリチャージ動作及びデータサンプリング動作を説明するためのタイミングチャートである。

図2は、本発明の実施の形態1に係るアクティブマトリクス型液晶装置の概略図である。

図3は、本発明の実施の形態1に係るアクティブマトリクス型液晶装置のプリチャージスイッチ及びサンプリングスイッチを説明するための図である。

図4は、本発明の実施の形態1に係るアクティブマトリクス型液晶装置のYドライバの動作を説明するタイミングチャートである。

図5は、先頭画素に接続されたデータ信号線の電位を説明するためのタイミングチャートである。

図6は、末端画素に接続されたデータ信号線の電位を説明するためのタイミングチャートである。

図7は、図2のタイミング回路ブロック内に設けられる調整回路のブロック図である。

図8は、各種のビデオソースを説明するための概略説明図である。

図9は、Nフィールドでの極性反転動作を説明するための概略説明図である。

図10は、N+1フィールドでの極性反転動作を説明するための概略説明図である。

図11は、1本のデータ信号線に接続された相隣接する2つの画素を説明するための概略説明図である。

図12は、図11に示す2つの画素にてそれぞれ黒表示するときのデータ信号線の電位を説明するための概略説明図である。

図13は、先頭画素に接続されたデータ信号線の電位変動を説明するためのタイミングチャートである。

図14は、画質の劣化が生ずる領域を説明するための概略説明図である。

図15は、末端画素に接続されたデータ信号線の電位変動を説明するためのタイミングチャートである。

図16は、走査信号線の両端にそれぞれYドライバを有する装置を示す概略説明図である。

図17は、本発明による液晶装置を用いて構成される電子機器の概略図である。

図18は、本発明が適用される液晶プロジェクタの概略図である。

図19は、本発明が適用されるパーソナルコンピュータ(PC)の概略図である。

[発明を実施するための最良の形態]

< 実施の形態1 >

(装置の概略構成)

図2に、実施の形態1に係る液晶装置の全体概要が示されている。同図に示すように、この液晶装置は、電子機器、例えば液晶プロジェクタのライトバルブとして用いる小型液晶装置であり、液晶パネルブロック10と、タイミング回路ブロック20と、データ処理回路ブロック30とに大別される。

タイミング回路ブロック20は、ドットクロック信号CLK、水平同期信号HSYNC、垂直同期信号VSYNCに基づいて、Xドライバのシフトクロック信号CLX*、Yドライバのシフトクロック信号CLY*、Xドライバのシフト信号DX、Y側シフトデータ信号DY等、所定のタイミング信号を生成・出力するものである。このタイミング回路ブロック20は、後述するプリチャージタ

10

20

30

40

50

イミング信号Pのパルス幅を設定するパルス可変機能を有している。

データ処理回路ブロック30は、液晶表示に適するようにデータの増幅、反転等によりデータを処理する回路ブロックである。そして、前記データ処理回路ブロック30において、一画素ごとに外部入力される画像データ信号Dataを、極性反転基準電位を基準として極性反転することにより、データ信号を生成している。

液晶パネルブロック10は、一对の基板間に液晶が封入され、一方の基板上に画素領域100と、Yドライバ102と、Xドライバ104、サンプリングスイッチ106と、プリチャージ用スイッチ172を備え、これと対向する他方の基板上に共通電極を備えて構成される。一对の液晶パネル基板の外側には偏光板が配置される。なお、これらの駆動回路は、液晶パネル基板とは分離して、外付けICとして構成しても良い。

画素領域100上には、例えば、図2の行方向に沿って延びる複数の走査信号線110と、例えば、列方向に沿って延びる複数のデータ信号線112とが形成されている。尚、本実施の形態では、便宜上、走査信号線110の総数を492本とし、データ信号線112の総数を652本として説明するが、前記走査信号線及びデータ信号線の本数は特に限定されず、画素数の多い液晶装置ほどその効果は大きくなる。

この各走査信号線110、各データ信号線112が交差する各位置には、スイッチング素子114と画素120とが直列に接続されて表示要素が構成されている。各画素120は、一方の基板上に共に形成される、スイッチング素子114と接続される画素電極、及び各画素電極と隣接する走査信号線や容量線との間に形成される蓄積容量117と、対向する他方の基板状に形成される共通電極と、両電極の間に挟持される液晶層116とから構成される。

各画素120のスイッチング素子114がオンする期間を選択期間と称し、オフする期間を非選択期間と称する。選択期間にスイッチング素子114を介して画素120に供給された電圧を非選択期間にて蓄積する蓄積容量117が、液晶層116に接続されている。

本実施の形態では、スイッチング素子114を、例えば、3端子型スイッチング素子としており、例えばTFT(薄膜トランジスタ)にて構成している。これに限らず、他の3端子型スイッチング素子であるMOSトランジスタ、あるいは2端子型スイッチング素子例えば、MIM(金属-絶縁-金属)素子、MIS(金属-絶縁-半導体)素子などを用いることができる。なお、本実施の形態の画素領域100は、2端子型または3端子型のスイッチングを用いたアクティブマトリクス型の液晶表示パネルに限らず、単純マトリクス型の液晶表示パネルなど、他の種々の液晶パネルであってもよい。

Yドライバ102は、シフトレジスタと論理回路により構成され、シフトレジスタには前記タイミング回路ブロック20にて生成されたY側シフトデータ信号DY及びY側シフトクロック信号CLY*が入力され、複数の走査信号線110a,110b,...の中から少なくとも1本の走査信号線110を順次選択するための選択期間が設定された水平走査信号h1,h2,h3,...を出力するものである(図4参照)。

このYドライバ102のシフトレジスタは、走査信号線110の本数に相当する段数を有するとともに、各々隣り合うシフトレジスタ段同士が接続されており、Y側シフトデータ信号DYの伝送が順次行われている。

シフトレジスタの各段からは、図4に示すY側シフトレジスタ出力信号Y1,Y2,Y3,...が出力される。そして、Y側シフトレジスタ出力信号Y1,Y2の論理積演算により水平走査信号h1を生成する。同様に、隣合う2つのY側シフトレジスタ段の出力Yn,Yn+1の論理積演算により、水平走査信号h2,h3,...を生成する。

よって、これら水平走査信号h1,h2,h3...は、Y側シフトデータ信号DYが入力された後に出力される。

Xドライバ104は、前記タイミング回路ブロック20にて生成されたX側シフトクロック信号CLX*とX側シフトデータ信号DXとが入力され、データ処理回路ブロック30の出力線である例えば1本の信号ラインと、画素領域100のデータ信号線112a,112b,...との間に配置された複数のサンプルホールドスイッチ106に対して、画素領域100を点順次駆動するためのサンプリング信号S1,S2,S3,...を出力するものである。

このXドライバ104もYドライバ102と同様に、複数のデータ信号線の本数分に相当する段

10

20

30

40

50

数を有するシフトレジスタ含むとともに、各々隣り合うシフトレジスタ段同士が接続されており、前記X側シフトデータ信号DXの伝送が順次行われている。

このXドライバ104も図4のタイミングチャートと同様に動作し、図1に示すように、シフトデータ信号DXが入力された後に、サンプリング信号SH1,SH2,・・・を生成するものである。

なお、データ処理回路ブロック30が、公知の相展開回路を有する場合には、データ処理回路ブロック30の出力線は、その相展開数と同じ本数の出力線となる。従って、Xドライバ104は、その複数本のデータ出力線よりそれぞれデータをサンプリングするためのサンプリング信号を出力することになる。ここで、相展開回路とは、シリアルデータとしての画像データ信号を、基準クロックに基づいて設定されたサンプリング期間に従ってサンプル

10

ホールドし、かつ、一定の画素毎に前記シリアルデータを展開して、1データ出力期間が基準クロックの整数倍に変換された複数のデータ信号を平行出力するものである。プリチャージ用スイッチ172a,172b,・・・を所定のタイミングにてオンさせて、第1(負極性)のプリチャージ電源供給用ライン174aまたは第2(正極性)のプリチャージ電源供給用ライン174bを、各データ信号線112a,112b,・・・に接続して、データ信号線112をプリチャージするためのものである。

この第1,第2プリチャージ電源供給ライン174a,174bには、プリチャージ電源供給用スイッチ190を介して第1のプリチャージ電位PV1,第2のプリチャージ電位PV2が、走査信号線110を選択すること(一水平走査ごと)に切り換えられて供給される。なお、電源供給用スイッチ190の切り換えタイミングは、少なくともプリチャージ用スイッチ172のオンする

20

前に設定される。本実施の形態では、極性反転駆動を実施することから、例えば奇数番目の水平走査期間では、奇数番目のデータ信号線172a,172c,・・・は第1のプリチャージ電源供給ライン174aに接続され、偶数番目のデータ信号線172b,172d,・・・は第2のプリチャージ電源供給ライン174bに接続される。また、偶数番目の水平走査期間では、奇数番目のデータ信号線172a,172c,・・・は第2のプリチャージ電源供給用ライン174bに接続され、偶数番目のデータ信号線172b,172d,・・・は第1のプリチャージ電源供給用ライン174aに接続される。なお、このプリチャージ動作の詳細については後述する。

すなわち、本実施の形態では、走査信号線の延びる方向での1画素ごとに極性反転駆動し、かつ、データ信号線の延びる方向で1ラインごと(一走査信号線毎)に極性反転駆動し

30

ており、これに合うように極性反転タイミングが定められている。なお、プリチャージが必要な場合とは、少なくとも1ラインごとに極性反転駆動しているものであり、1画素毎の極性反転に限定されるものではない。実施の形態1の液晶装置では、図1に示すブランキング期間(帰線期間)TBに設定されたプリチャージ期間T2内にて、その後のサンプリング期間h1,h2,h3,...にてサンプリングされるデータ信号に基づき画素に印加される電圧の極性と同一極性で、各々のデータ信号線をプリチャージしている。

本実施の形態においては、データ信号のサンプリングを確実にを行うため、データ信号のサンプリング期間h1,h2,h3,...を、プリチャージ用スイッチが完全にオフされた後に開始させている。しかも、m-1番目の水平走査期間の全ての画素のスイッチング素子が完全に

40

オフされた後に、m番目の水平走査期間のプリチャージ期間を開始させている。このために、図1に示すプリチャージ期間T2の終了からX側シフトデータ信号DXがオンするまでの時間T1と、前回の水平走査期間の終了から次の水平走査期間内のプリチャージ期間の開始までの時間T3とを、下記にて説明する第1,第2の課題を解決するように設定している。

(プリチャージに関する第1の課題)

図13は、水平走査信号hmと、m番目の水平走査期間のプリチャージ信号PCと、1本目のデータ信号線にデータ信号電位を供給するためのサンプリング信号S1と、そのデータ信号S1のデータ信号電位を示している。なお、図13ではX側シフトデータ信号DXを省略している。この水平走査信号hmは、図3に示すm本目の走査信号線110に接続された全ての画素の

50

スイッチング素子114のゲートに印加されて、そのスイッチング素子114をオン、オフさせる信号である。

この水平走査信号 h_m があるハイとなった後に、プリチャージ信号PCがハイとなる。このプリチャージ信号PCが全てのプリチャージスイッチ172のゲートに印加される際には、図13の破線で示すように、波形になまりが生ずる。

図13に示すように波形になまりが生じた場合、本来のプリチャージ期間が終了したにも拘わらず、プリチャージスイッチ172のゲートには、スイッチのTFTのしきい値電圧 V_{th} を越える電圧がさらに期間 t_1 だけ印加され続ける。このとき、 m 本目の走査信号線 H_m に接続された画素のうち、図3に示す水平走査方向の先頭画素 $(m,1)$ にデータ信号電位を書き込むためのサンプリング信号 S_1 が最初にオンする。これにより、データ信号線 S_1 に接続されたサンプリングスイッチ106がオンする。もし、図13に示すように、期間 t_1 中にデータ信号線 S_1 に接続されたプリチャージスイッチ172とサンプリングスイッチ106が同時にオンすると、データ信号線 S_1 の電位は図13の実線に示すとおり変動する。

ここで、プリチャージ前のデータ信号線 S_1 の電位を、画素にて負極性電圧にて黒表示するための電位 $(1V)$ に設定されたものと仮定する。図13に示すように、 m 番目の水平走査期間にてプリチャージ信号PCがオンすることで、データ信号線 S_1 の電位は、 $1V$ から第2のプリチャージ電位 $PV_2(8V)$ にプリチャージされる。その後、サンプリング信号 S_1 がハイとなり、サンプリングスイッチ106を介して正極性の電圧にて白表示するためのデータ信号電位 $(7V)$ をデータ信号線 S_1 に供給するものと仮定する。このとき、期間 t_1 では、データ信号線 S_1 に接続されたプリチャージスイッチ172とサンプリングスイッチ106が同時にオンしている。このため、データ信号線 S_1 の一端は第2のプリチャージ電位 $PV_2(8V)$ とされ、その他端は $7V$ とされ、データ信号線 S_1 はこの両電圧の影響を受けることになる。

従って、データ信号線 S_1 の電位は、図13の破線の通り $8V$ から直ちに $7V$ まで放電されず、両スイッチ172,106が順次オフされたときのデータ信号線 S_1 の電位は、図13の実線の通り本来の $7V$ よりも V_1 だけ高い電位となる。このため、画素 $(m,1)$ の画素では、第2のプリチャージ電位の影響を受けて、ノーマリホワイトの場合には本来の白表示よりも暗い表示となる。なお、画素 $(m,1)$ への書き込み電位が第2のプリチャージ電位よりも高い場合には、本来の表示よりも明るい表示に変動する。

このようなプリチャージ信号PCの波形のなまりは、下記の負荷に基づく時定数に起因して生ずる。その負荷とは、図3のデータ信号線 S_1 に接続されたプリチャージスイッチ172と導通するプリチャージ電源供給ライン174bの有する寄生抵抗 R_b 、寄生容量 C_b (図示せず)及びプリチャージ信号PCを供給するプリチャージ信号供給ライン173の有する寄生抵抗 R_p 、寄生容量 C_p (図示せず)である。なお、他の奇数及び偶数番目に設けられたプリチャージスイッチ172に関しても、これと接続されたプリチャージ電源供給ライン174a,174bの有する寄生抵抗 R_a, R_b 及び寄生容量により完全にオンする迄に時間を浪費してしまう。また、全てのプリチャージスイッチ172は、そのゲートに対してソース・ドレインが容量結合されている。このため、図3に示すように、データ信号線 S_1 に接続されたプリチャージスイッチ172において寄生容量 C_1 が形成され、この負荷に基づく時定数も影響する。なお他の全てプリチャージスイッチ、例えば図3に示す x 番目のプリチャージスイッチにおいて寄生容量 C_x が形成されてしまう。このため、各プリチャージスイッチ172各ゲートに前記プリチャージ信号PCが入力されると、全てのプリチャージスイッチ172が完全にオフするのに時間を要してしまうので、各プリチャージスイッチ172のゲートに供給されるプリチャージ期間信号PCの信号波形がなまってしまう。

このような現象は、一括プリチャージ後にサンプリング期間が設定される水平走査方向のYドライバ近傍に配置される画素にて生じ、図14の画素先頭領域 $A(m-1,1)$ や $A(m,1)$ にて画質が劣化する。

(プリチャージに関する第2の課題)

図15は、水平走査信号 $h(m-1), h(m)$ と、 m 番目の水平走査期間のプリチャージ信号PCと、図3に示す x 番目のデータ信号線 S_x の電位を示している。この水平走査信号 $h(m-1), h(m)$ は、図3に示す $m-1$ 本目及び m 本目の走査信号線110に接続された全

10

20

30

40

50

てのスイッチング素子114のゲートにそれぞれ印加されて、それらのスイッチング素子114をオン、オフさせる信号である。

ここで、この水平走査信号 $h(m-1)$ が図3の画素 $(m-1,x)$ のスイッチング素子114のゲートに印加される際には、図15の破線で示すように、波形になまりが生ずる。ここでは、水平走査信号 $(m-1)$ の立ち下がりの波形のなまりを問題とし、プリチャージ信号PCの波形のなまりは無視する。

図15に示すように波形になまりが生じた場合、 $m-1$ 番目の本来の水平走査期間が終了し、 m 番目の水平走査期間が開始されたにも拘わらず、 $m-1$ 本目の走査信号線 H_{m-1} に接続された画素 $(m-1,x)$ のスイッチング素子114ゲートには、TFT114のしきい値電圧 V_{th} を越える電圧がさらに期間 t_2 だけ印加され続ける。この結果、画素 $(m-1,x)$ のスイッチング素子114は期間 t_2 でも引き続きオンしており、そのスイッチング素子114のドレインに接続された画素120は、そのスイッチング素子114のソースに接続された x 本目のデータ信号線112(S_x)の電圧の影響を受け、リークする。

ここで、図15に示すように、 $m-1$ 番目の水平走査期間では、データ信号線 S_x に8Vのデータ信号電位が充電されて中間調表示がなされていたと仮定する。

このとき、期間 t_2 内にてプリチャージ信号がオンすると、データ信号線 S_x は、図15の破線で示すように第1のプリチャージ電位 $PV_1(4V)$ にプリチャージされる。すなわち、データ信号線 S_x は8Vより4Vに向けて放電され、図15ではその放電途中にてスイッチング素子114がオフされている。

このため、画素 $(m-1,x)$ の画素120の電荷がリークされ、画素120のチャージ電圧が V_2 だけ降下する。この結果、ノーマリホワイトの場合には画素 $(m-1,x)$ での表示が明るくなってしまふ。逆にノーマリブラックの場合には画素 $(m-1,x)$ での表示が暗くなる。

この現象の原因である水平走査信号の波形のなまりは、下記にて説明する負荷の時定数に起因して生ずる。

この負荷とは、走査信号線110の寄生抵抗及び寄生容量である。ここで、各走査信号線110は、例えばポリシリコン層にて形成されているため、アルミニウムにて形成されているプリチャージ電源供給ライン174a,174b及びプリチャージ信号供給ライン173と比較して、寄生容量及び寄生抵抗は大きく、水平走査信号の転送はプリチャージ信号の転送よりも遅れる傾向にある。特に、Yドライバ102より離れた位置にある画素A $(m-1,x)$ におけるスイッチング素子114のゲート電位の上昇及び下降がなまり、それ自体の寄生容量 C_x により、さらにスイッチング素子114がオン、オフするタイミングが遅れる。ここで、Yドライバ102が走査信号線110の一端に接続される場合には、水平走査信号はその他端の画素ほど転送遅れが著しい。従って、この場合には図14の領域Bでの画質が劣化する。一方、図16に示すように、Yドライバ102a,102bが走査信号線110の両端に接続されている場合には、図14の画面中央領域Cにて画質が劣化する。

つまり、プリチャージは全データ信号線112に対し一括で同時に行われているので、Yドライバ102から遠い画素ほどスイッチング素子114のオフタイミングの遅れが著しいので、上記のような画質の劣化が生ずるのである。

(改善されたプリチャージ動作)

本実施の形態発明の液晶装置のを示すタイミングチャートを図1に示し、図13に示す第1の課題を解決したタイミングチャートを図5に、図15に示す第2の課題を解決したタイミングチャートを図6に示す。

実施の形態1の液晶装置では、図1に示すブランキング期間TBに設定されたプリチャージ期間T2内にて、その後のサンプリング期間 h_1, h_2, h_3, \dots にてサンプリングされるデータ信号に基づき画素に印加される電圧の極性と同一極性で、各々のデータ信号線をプリチャージしている。

本実施の形態においては、図1に示す通り、 $m-1$ 番目の水平走査信号 $h(m-1)$ がオンして $m-1$ 番目の水平走査期間が開始された後、期間T3経過後にプリチャージ信号PCがハイとなって、プリチャージ期間T2が開始される。また、ブランキング期間TB内にてプ

10

20

30

40

50

リチャージ期間T2が終了した後、期間T1経過後に先頭画素のためのサンプリング信号S1がハイとなり、その後順次他のサンプリング信号S2,S3,...がハイとなる。

ここで、上述した図13に示す第1の課題を解決して先頭画素(m,1)での表示品質を向上するためには、図1及び図5に示す期間T1は、下記の式1にて示される時定数pとの関係を、 $T1 > p$ あるいは $T4 > p$ に設定している。

式1; $p = \tau_1 \cdot R_b \cdot C_b + \tau_2 \cdot R_p \cdot C_p$ (τ_1, τ_2 :定数)

上記式1にて、プリチャージ信号供給ライン173における寄生抵抗,寄生容量を R_p, C_p とし、プリチャージ電源供給ライン174bにおける寄生抵抗,寄生容量を R_b, C_b としている。

$T1 > p$ とすると、図5に示すように、水平走査信号 $h(m-1)$ がロー、すなわち、 $m-1$ 番目の走査信号線110に接続された全てのスイッチング素子114がオフとなった後に、 m 番目の走査信号線 H_m に接続された画素へのサンプリングを開始させるX側シフトデータ信号DXがアクティブとなる。ここで、 m 番目の走査信号線 H_m の先頭画素A(m,1)にデータ信号電位を書き込むためのサンプリング信号S1は、X側シフトデータ信号DXがアクティブとなった後にアクティブとなる。従って、図13での動作とは異なり、図5においては、データ信号線S1に接続されたサンプリングスイッチ106とプリチャージスイッチ172が同時にオンすることはない。このため、図5に示すように、第2のプリチャージ電位PV2(8V)にプリチャージされていたデータ信号線S1は、サンプリング信号S1によって規定されるサンプリング期間 h_1 内に、本来のデータ信号電位である7Vまでに放電させることができる。

本実施の形態では、先頭画素のためのプリチャージ信号S1がアクティブとなる前に必ずX側シフトデータ信号DXがアクティブとなるため、 $T1 > p$ とすれば必ず $T4 > p$ を満足する結果となる。ただし、上述した第1の課題を解決するためには、 $T4 > p$ のみが成立するものでも良い。

次に、上述した図15に示す第2の課題を解決して画素A(m-1,x)での表示品質を向上するためには、図1及び図6に示す期間T3は、下記の式2にて示される時定数hとの関係を、 $T1 > h$ に設定している。

式2; $h = \tau_1 \cdot R_h \cdot C_h + \tau_2 \cdot R_x \cdot C_x$ (τ_1, τ_2 :定数)

式2において、走査信号線110における寄生抵抗,寄生容量を R_h, C_h とし、スイッチング素子TFTxにおける寄生抵抗,寄生容量を R_x, C_x としている。

こうすると、図6に示すように、水平走査信号 $h(m-1)$ に接続された全てのスイッチング素子114が完全にオフされた後に、 m 番目の水平走査期間のためのプリチャージ信号PCをオンすることができる。このため、Yドライバ102から最も離れた位置の画素A(m-1,x)の画素が、第1のプリチャージ電位PV1の悪影響を受けることがなくなる。

(各期間T1~T3の設定方法)

各期間T1,T3の各期間は、前述したように、各々信号伝送時間に影響を及ぼす負荷が有する時定数p,hよりも大きい期間に設定している。また、期間T2は、データ信号線110を第1,第2のプリチャージ電位にプリチャージできる長さに定められる。従って、この期間T2と等しいプリチャージ信号PCのパルス幅を、ドットクロック信号CLKのカウントに基づき、適当なパルス幅に設定している。

これらの期間は、図7に示すタイミング回路ブロック20内の調整回路により設定することができる。この調整回路は、基準クロックCLKをカウントし、水平同期信号HSYNCによりリセットされるプログラマブルカウンタ20Aと、このプログラマブルカウンタ20Aからの出力に基づいて、プリチャージ信号PC及びX側シフトデータ信号DXを出力するデコーダ20Bとを有する。プログラマブルカウンタ20Aは、水平同期信号HSYNCの立ち上がりから期間T3及び期間T3+T2に対応するカウント値を出力することで、デコーダ20Bは図1に示すプリチャージ信号PCのアクティブ期間を設定するプリチャージタイミング信号Pを生成できる。また、プログラマブルカウンタ20Aは、水平同期信号HSYNCの立ち上がりから期間T3+T2+T1に対応するカウント値を出力することで、デコーダ20Bは図1に示すX側シフトデータ信号DXを生成するタイミングを決定できる。信号生成回路20Cは、デコーダ20Bからの出力に基づいて、図1に示すタイミングにてプリチャージ信号PC及びX側シフトデータ信号DX

を生成する。このようにすることで、結果として、X側シフトデータ信号DXを基準として、期間T1~T3を設定することができる。そして、上記のカウント値を可変とすることで、期間T1~T3を所望に調整できる。なお、期間T1~T3の調整は、カウンタ20Aのカウント値を変更するものに限らず、デコーダ20Bでのデコード解析設定を変更するものでも良い。この期間期間T1,T2,T3の最終的な調整は、液晶装置組み立て後の検査工程にて行うことができる。

このようにすることで、液晶装置の駆動周波数に拘らず、期間T1~T3を一定の長さとして設定することができる。つまり、X側シフトデータ信号DXを基準として期間T1~T3を設定することで、駆動周波数が変化しても期間T1~T3は不変となる。

例えば、図8に示すような各駆動周波数を有する画像データ信号(ビデオソース)をもつ各液晶装置についても、X側シフトデータ信号DXを基準として常に一定の期間T1~T3が設定されているので容易に対応することができる。ここで、図8における各液晶装置及びビデオソース(画像データ信号)の組み合わせの各図においては、数字は画素数は有効表示期間を示している。また、各装置に各ビデオソースを適用するときは必要に応じ、データ信号の圧縮・伸長を行うことでどのビデオソースを採用しても容易に各液晶駆動方法に適用することができる。例えば、VGA仕様の液晶装置に、SVGA仕様のビデオソースを適用するときは、デジタル信号処理を行って画像データの圧縮を行うことで、前記VGA仕様の液晶装置に適合したビデオソースに変化させることができる。このデータ信号の圧縮・伸長は、デジタル信号処理ICにより行うことができるが、これは前記データ処理回路ブロック30内に前記回路機能を持たせることも、外付けのICを使用することもどちらも可能である。

ここで、実施の形態1においては、前記第1のプリチャージ電位PV1を8V、前記第2のプリチャージ電位PV2を4Vとして説明したが、これに限定されることなく、適宜設定することが可能である。

また、本実施の形態においては、一例として、画素A(m,1),A(m-1,n+x)にてそれぞれ白表示、中間調表示を行う場合について説明したが、どのような画像表示を行う場合にも前述したような問題点を全て解決することができる。

また、本実施の形態においては、正極性側の黒レベル電位を11V、白レベル電位を7V、負極性側の黒レベル電位を1V、白レベル電位を5Vとして説明したが、特にこれに限定されることはない。

本実施の形態では、前記サンプリングスイッチは、ハイレベルのサンプリング期間信号が入力されてオン状態とされるN型のトランジスタであることを前提として説明したが、これに限定されることなく、サンプリングスイッチをP型トランジスタで構成し、ロウレベルのサンプリング期間信号を入力させるようにすることもできる。この場合は、前記Xドライバにて前記サンプルホールドスイッチとは逆の信号波形を有するサンプリング期間信号を形成することで容易に実現することができる。スイッチング素子も同様にP型トランジスタにて形成することができる。

<実施の形態2>

上述の各実施の形態の画像表示装置を用いて構成される電子機器は、図17に示す表示情報出力源1000、表示情報処理回路1002、表示駆動回路1004、液晶パネルなどの表示パネル1006、クロック発生回路1008及び電源回路1010を含んで構成される。表示情報出力源1000は、ROM、RAM、などのメモリ、テレビ信号を同調して出力する同調回路などを含んで構成され、上述のタイミング回路ブロック20に相当するクロック発生回路1008からのクロックに基づいて、ビデオ信号などの表示情報を出力する。

表示情報処理回路1002は、上述の各実施の形態のデータ処理回路ブロック30に相当し、クロック発生回路1008からのクロックに基づいて表示情報を処理して出力する。この表示情報処理回路1002は、増幅・極性反転回路、相展開回路、ローテーション回路等の他、ガンマ補正回路及びクランプ回路等を含むことができる。

駆動回路1004は、上述のYドライバ102、Xドライバ104及びプリチャージ駆動回路160、或はXドライバ104を含んで構成され、画素領域1006を表示駆動する。電源回路1010は、

10

20

30

40

50

上述の各回路に電力を供給する。

このような構成の電子機器として、図18に示す液晶プロジェクタ、図19に示すマルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、ページャ、或は携帯電話、ワードプロセッサ、テレビ、ビューファインダー型またはモニタ直視型のビデオテープレコーダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

図18に示す液晶プロジェクタは、透過型液晶パネルをライトバルブとして用いた投写型プロジェクタであり、例えば、3板プリズム方式の光学系を用いている。図18において、プロジェクタ1100では、白色光源のランプユニット1102から射出された投写光がライトガイド1104の内部で、複数のミラー1106及び2枚のダイクロイックミラー1108によってR、G、Bの3原色に分けられ、各々の色の画像を表示する3枚のアクティブマトリクス型液晶パネル1110R、1110G及び1110Bによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。

10

ダイクロイックプリズム1112では、レッドR及びブルーBの光が90°曲げられ、グリーンGの光が直進するので各色の画像が合成され、投写レンズ1114を通してスクリーンなどにカラー画像が投写される。

図19に示すパーソナルコンピュータ1200は、キーボード1202を備えた本体部1204と、液晶表示画面1206とを有する。

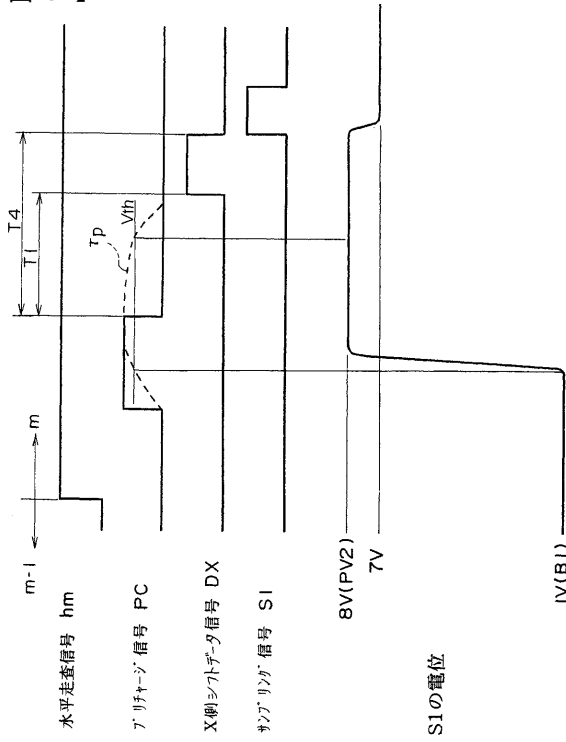
尚、本発明は上記実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、本発明は上述の各種の液晶パネルの駆動に適用されるものに限らず、エレクトロルミネッセンス、プラズマディスプレイ装置、CRT等を用いた画像表示装置にも適用可能である。

20

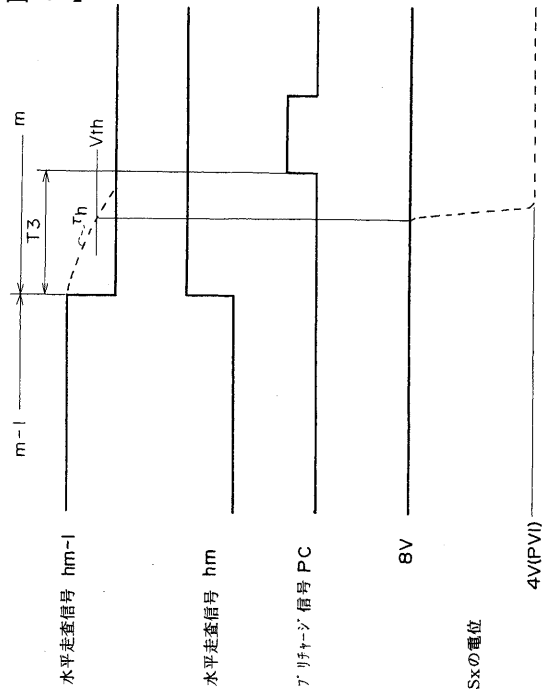
また、上記実施の形態においては、TFTをスイッチング素子として用いた例を説明したが、スイッチング素子はMIM等の2端子素子でも良い。この場合、走査信号線とデータ信号線との間に2端子素子と画素とが直列接続されて画素が構成されるので、両信号ラインの差電圧が画素に供給される。

また、上記実施例においては、TFTをスイッチング素子として用い、液晶パネルの素子が形成された基板をガラスや石英の基板としたが、これに代えて半導体基板を用いることもできる。この場合、TFTではなく、MOSトランジスタがスイッチング素子となる。

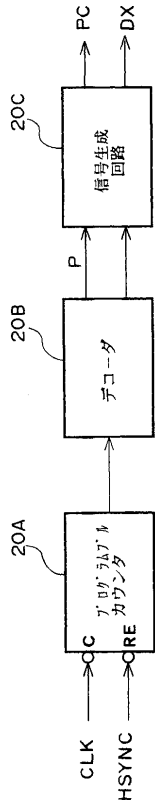
【 図 5 】
FIG. 5



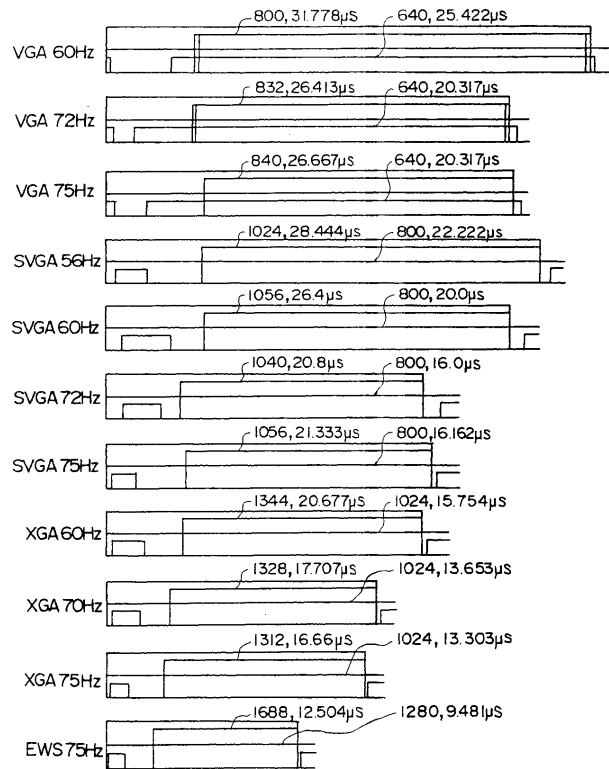
【 図 6 】
FIG. 6



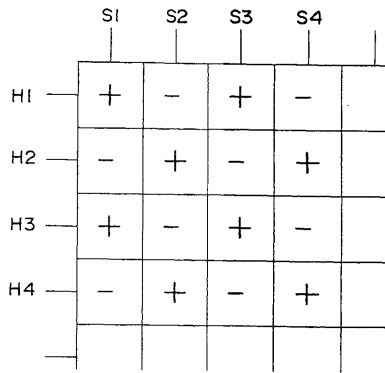
【 図 7 】
FIG. 7



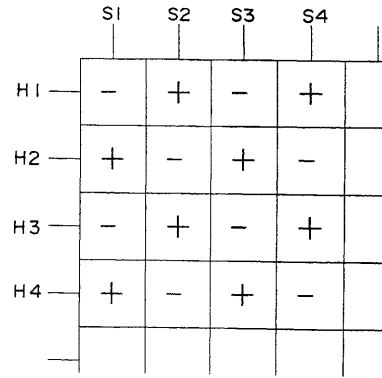
【 図 8 】
FIG. 8



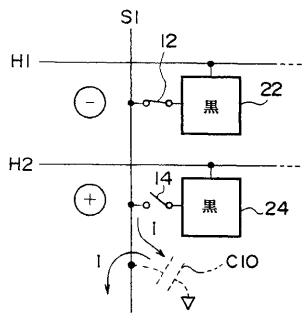
【図9】
FIG. 9



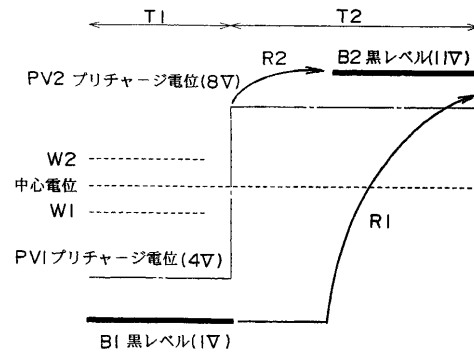
【図10】
FIG. 10



【図11】
FIG. 11



【図12】
FIG. 12



【図13】

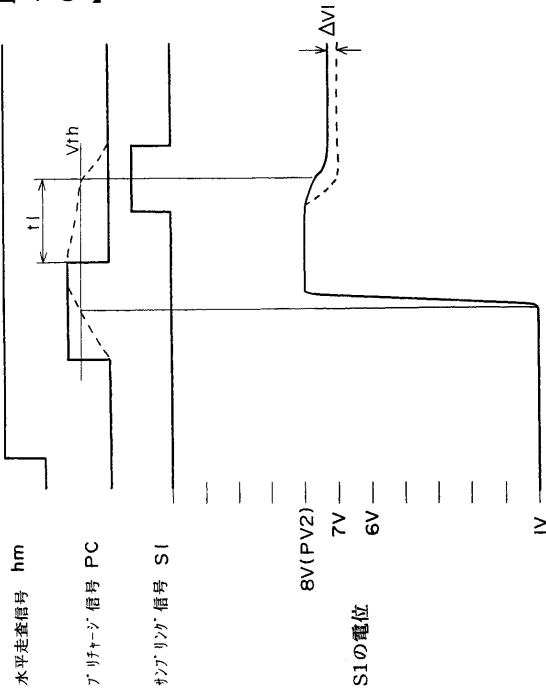
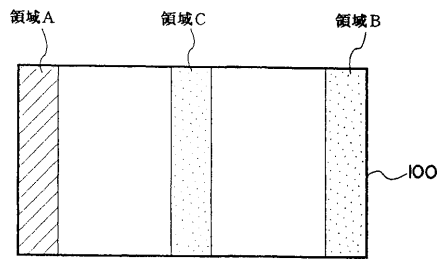
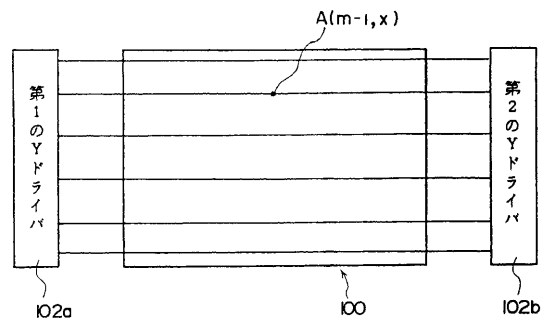


FIG. 13

【図14】
FIG. 14

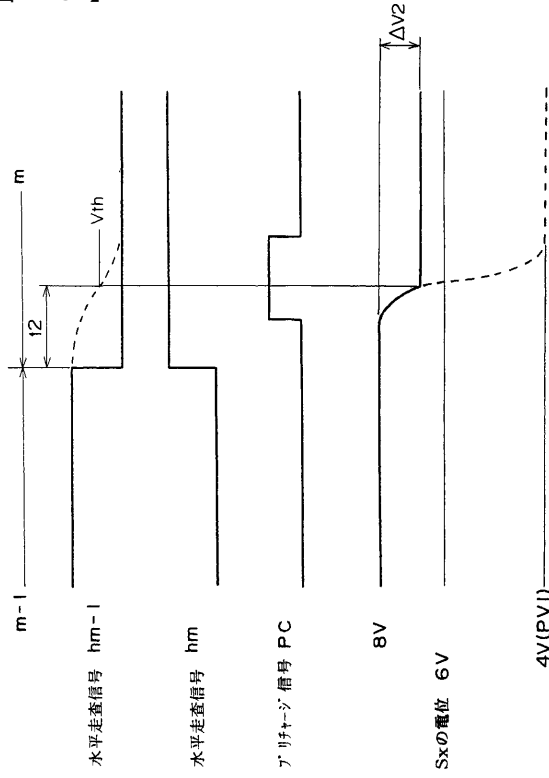


【図16】
FIG. 16



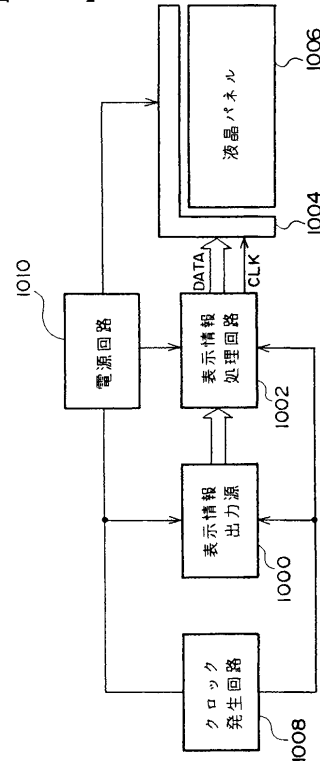
【 図 15 】

FIG. 15



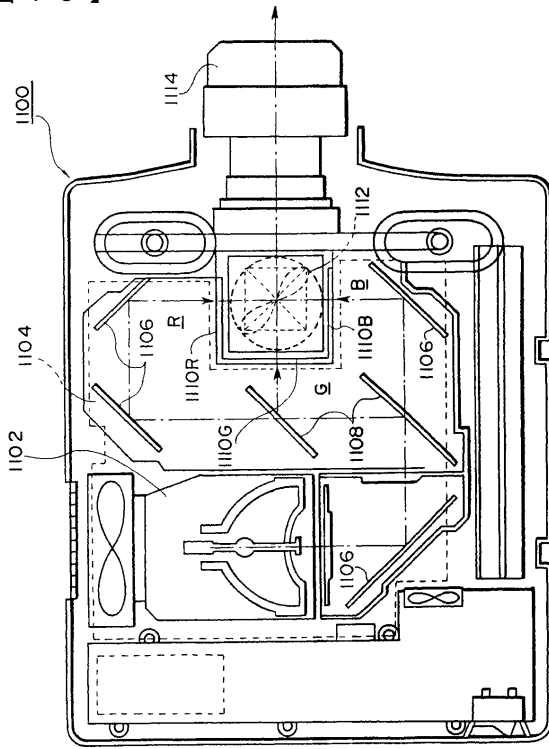
【 図 17 】

FIG. 17



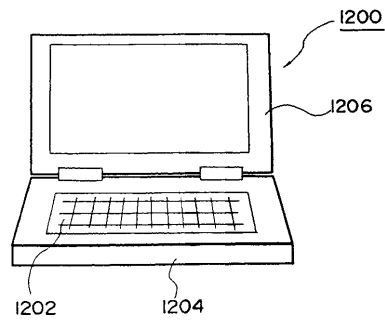
【 図 18 】

FIG. 18



【 図 19 】

FIG. 19



フロントページの続き

- (56)参考文献 特開平07 - 295520 (JP, A)
特開平05 - 216007 (JP, A)
特開平07 - 104703 (JP, A)
特開平02 - 312371 (JP, A)
特開平08 - 286641 (JP, A)
特開昭63 - 236010 (JP, A)
特開昭62 - 145221 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)

G09G 3/36