



(12) 发明专利申请



(10) 申请公布号 CN 117642872 A

(43) 申请公布日 2024. 03. 01

(21) 申请号 202280050080.4

(22) 申请日 2022.07.13

(30) 优先权数据

21186101.8 2021.07.16 EP

(85) PCT国际申请进入国家阶段日

2024.01.16

(86) PCT国际申请的申请数据

PCT/EP2022/069636 2022.07.13

(87) PCT国际申请的公布数据

W02023/285549 EN 2023.01.19

(71) 申请人 日立能源有限公司

地址 瑞士苏黎世

(72) 发明人 G·古普塔 L·德-米奇伊里斯

W·A·维塔勒

(74) 专利代理机构 北京市汉坤律师事务所

11602

专利代理师 王其文 张涛

(51) Int.Cl.

H01L 29/49 (2006.01)

H01L 29/739 (2006.01)

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

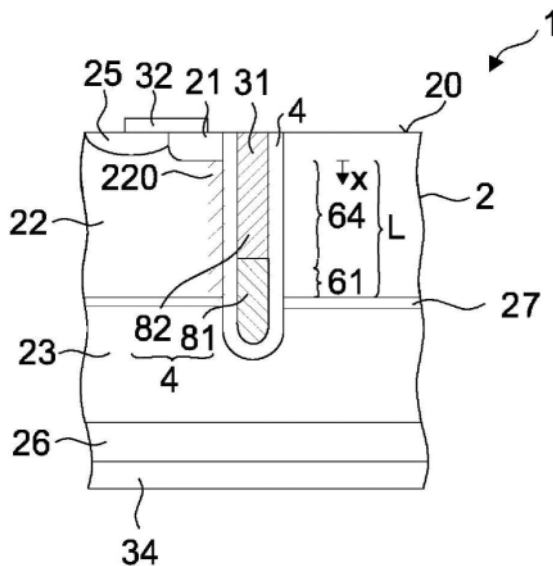
权利要求书3页 说明书12页 附图7页

(54) 发明名称

功率半导体器件及生产方法

(57) 摘要

在至少一个实施例中,功率半导体器件(1)包括:-半导体本体(2),该半导体本体具有第一导电类型的源极区(21)和不同于第一导电类型的第二导电类型的阱区(22),并且阱区(22)包括直接在源极区(21)处开始的沟道区(220),以及-栅极绝缘体(4),该栅极绝缘体直接在半导体本体(2)和栅极电极(31)之间,其中,栅极电极(4)沿着沟道区(220)具有非均匀功函数分布(6),使得阈值电压(V_{th})在远离源极区(21)的第一区段(61)中最高。



1. 一种功率半导体器件 (1), 包括:

- 半导体本体 (2), 所述半导体本体具有第一导电类型的源极区 (21) 和不同于所述第一导电类型的第二导电类型的阱区 (22), 并且所述阱区 (22) 包括直接在所述源极区 (21) 处开始的沟道区 (220), 所述第一导电类型是 n 型导电, 以及所述第二导电类型是 p 型导电, 以及

- 栅极绝缘体 (4), 所述栅极绝缘体直接在所述半导体本体 (2) 和栅极电极 (31) 之间,

其中,

- 所述栅极电极 (31) 部分或完全设置在形成于所述半导体本体中的沟槽中,

- 所述半导体本体 (2) 进一步包括具有所述第一导电类型的漂移区 (23), 所述漂移区 (23) 与所述栅极绝缘体 (4) 直接接触并且直接在所述沟道区 (220) 处, 所述沟槽终止于所述漂移区 (23), 并且

- 所述栅极电极 (31) 沿着所述沟道区 (220) 具有非均匀功函数分布 (6), 使得所述栅极电极 (31) 的阈值电压 (V_{th}) 和功函数 Φ_m 在所述沟道区 (220) 远离所述源极区 (21) 的第一区段 (61) 中最大。

2. 根据前一权利要求所述的功率半导体器件 (1),

其中, 所述半导体本体 (2) 进一步包括所述第一导电类型的增强层 (27), 所述增强层直接在所述阱区 (22) 远离所述源极区 (21) 的一侧, 以及

其中, 满足以下中至少一项:

- 所述栅极绝缘体 (4) 沿着所述沟道区 (220) 具有非均匀厚度分布, 使得沿着所述沟道区 (220), 所述栅极绝缘体 (4) 在所述第一区段 (61) 中最厚,

- 所述沟道区 (220) 沿着所述栅极绝缘体 (4) 具有非均匀沟道掺杂分布, 使得所述沟道区 (220) 中的掺杂浓度 N_A 在所述第一区段 (61) 中最大, 或者

- 所述栅极绝缘体 (4) 沿着所述沟道区 (220) 具有非均匀栅极介电常数分布, 使得所述栅极绝缘体 (4) 的相对介电常数在所述沟道区 (220) 远离所述源极区 (21) 的所述第一区段 (61) 中最低。

3. 根据前述权利要求中任一项所述的功率半导体器件 (1),

其中, 所述栅极电极 (31) 沿着所述沟道区 (220) 的功函数差至少为 1.0 eV。

4. 根据前述权利要求中任一项所述的功率半导体器件 (1),

其中, 所述栅极电极 (31) 包括所述第一区段 (61) 中的第一材料 (81) 和靠近所述源极区 (21) 的第二区段 (64) 中的第二材料 (82),

其中, 如果所述沟道区 (220) 是 p 型掺杂的, 则所述第一材料 (81) 具有比所述第二材料 (82) 更高的功函数 Φ_m , 或者如果所述沟道区 (220) 是 n 型掺杂的, 则所述第一材料 (81) 具有比所述第二材料 (82) 更低的功函数 Φ_m 。

5. 根据前一权利要求所述的功率半导体器件 (1),

其中, 所述第一材料 (81) 是 p 型掺杂的多晶硅, 以及所述第二材料 (82) 是 n 型掺杂的多晶硅。

6. 根据权利要求 4 和 5 中任一项所述的功率半导体器件 (1),

其中, 垂直于所述沟道区 (220) 的长度方向 (x), 所述栅极电极 (31) 包括所述第一材料 (81) 或所述第二材料 (82)。

7. 根据权利要求 4 和 5 中任一项所述的功率半导体器件 (1),

其中,垂直于所述沟道区(220)的长度方向(x)并且至少在所述第一区段(61)中,所述栅极电极(31)包括所述第一材料(81)和所述第二材料(82)。

8.根据前述权利要求中任一项所述的功率半导体器件(1),

其中,所述第一区段(61)的长度至少是沿着所述栅极绝缘体(4)的所述沟道区(220)的总长度(L)的10%并且最多是其40%。

9.根据前一权利要求所述的功率半导体器件(1),

其中,沿着所述沟道区(220),所述栅极绝缘体(4)的最小厚度至多是所述栅极绝缘体(4)的最大厚度的70%。

10.根据前述权利要求中任一项所述的功率半导体器件(1),

其中,沿着所述栅极绝缘体(4),所述沟道区(220)的最小掺杂浓度最多是所述沟道区(220)的最大掺杂浓度的50%。

11.根据前述权利要求中任一项所述的功率半导体器件(1),

其中,所述非均匀厚度分布和所述非均匀沟道掺杂分布中的至少一个具有连续的、无阶跃的方式。

12.根据权利要求2至10中任一项所述的功率半导体器件(1),

其中,所述非均匀厚度分布、所述非均匀沟道掺杂分布和所述非均匀栅极介电常数分布中的至少一个以及所述非均匀功函数分布(6)具有至少一个阶跃,

其中,所述非均匀功函数分布(6)中的阶跃以及所述非均匀厚度分布、和所述非均匀沟道掺杂分布和所述非均匀栅极介电常数分布中的至少一个中的阶跃位于沿着所述沟道区(220)的相同位置处。

13.根据权利要求2至10中任一项所述的功率半导体器件(1),

其中,所述非均匀厚度分布、所述非均匀沟道掺杂分布和所述非均匀栅极介电常数分布中的至少一个以及所述非均匀功函数分布(6)具有至少一个阶跃,

其中,所述非均匀功函数分布(6)中的阶跃以及所述非均匀厚度分布、和所述非均匀沟道掺杂分布和所述非均匀栅极介电常数分布中的至少一个中的阶跃位于沿着所述沟道区(220)的不同位置处。

14.根据权利要求11所述的功率半导体器件(1),

其中,所述非均匀功函数分布(6)、所述非均匀厚度分布、所述非均匀沟道掺杂分布或所述非均匀栅极介电常数分布中的至少两个具有线性形式。

15.根据权利要求1至14中任一项所述的功率半导体器件(1),

其中,所述非均匀厚度分布、所述非均匀沟道掺杂分布或所述非均匀栅极介电常数分布中的至少一个以及所述非均匀功函数分布(6)具有不同的方式。

16.根据前述权利要求中任一项所述的功率半导体器件(1),其中,

-所述源极区(21)与所述栅极绝缘体(4)和所述沟道区(220)直接接触,以及

-所述功率半导体器件(1)是金属-绝缘体-半导体场效应晶体管MISFET、金属-氧化物-半导体场效应晶体管MOSFET、绝缘栅双极晶体管IGBT、或反向传导绝缘栅双极晶体管RC-IGBT。

17.一种用于生产根据前述权利要求中任一项所述的功率半导体器件(1)的方法,包括:

- 提供半导体衬底,以及
- 将至少一个半导体层外延生长到所述半导体衬底上。

18. 根据前一权利要求所述的方法,其中,生产根据权利要求16所述的功率半导体器件(1),
其中,所述半导体衬底包括所述漂移区(23)的至少一部分,并且
其中,所述至少一个外延生长的半导体层包括所述阱区(22)和所述源极区(21)。

功率半导体器件及生产方法

[0001] 提供了一种功率半导体器件。进一步,提供了用于这种功率半导体器件的生产方法。

[0002] 文献US10 468 407 B2涉及一种具有不均匀栅极结构的鳍式场效应晶体管(FinFET)器件结构。

[0003] 文献US 7 141 858 B2涉及基于金属内扩散的双功函数CMOS栅极技术。

[0004] 文献US 6 653 698 B2讨论了双功函数金属栅极CMOS器件的集成。

[0005] 文献US 2016/0064550 A1涉及功率器件。

[0006] 文献US 2012/025874 A1、US 2015/0214362 A1、EP 1 248 300 A2和US 2016/0104794 A1涉及电子器件。

[0007] 本公开的实施例涉及一种表现出改善的电气行为的功率半导体器件。

[0008] 这尤其通过独立权利要求中限定的一种功率半导体器件和一种用于这种功率半导体器件的生产方法来实现。示例性进一步的拓展构成从属权利要求的主题。

[0009] 在至少一个实施例中,功率半导体器件包括:

[0010] -半导体本体,该半导体本体具有第一导电类型的源极区和不同于第一导电类型的第二导电类型的阱区,并且阱区包括直接在源极区处开始的沟道区,以及

[0011] -栅极绝缘体,该栅极绝缘体直接在半导体本体和栅极电极之间,

[0012] 其中栅极电极沿着沟道区具有非均匀功函数分布,使得栅极电极的阈值电压在沟道区的远离源极区的第一区段中最高。

[0013] 因此,远离源极区的第一区段中的栅极电极的功函数 Φ_m 对于具有p型掺杂阱区、具有p型掺杂沟道区的器件最大,而对于具有n型掺杂阱区、具有n型掺杂沟道区的器件最小。

[0014] 在下文中,除非另有指示,功函数 Φ_m 是针对具有p型掺杂阱区以及因此具有p型掺杂沟道区的器件描述的,但是反之亦然,对于具有n型掺杂阱区的器件也成立。

[0015] 栅极电极通过栅极绝缘体与半导体本体绝缘。

[0016] 例如,至少一个源极区与所分配的栅极绝缘体直接接触和/或直接在所分配的沟道区处。第一导电类型例如是n型导电的,并且因此至少一个源极区是n型掺杂的。

[0017] 至少一个阱区以及因此至少一个沟道区具有不同于第一导电类型的第二导电类型。第二导电类型例如是p型导电的,并且因此至少一个沟道区是p型掺杂的。可能的是,至少一个阱区和/或至少一个沟道区的最大掺杂浓度可能小于至少一个源极区的最大掺杂浓度。

[0018] 根据至少一个实施例,半导体本体还包括漂移区,该漂移区也可以具有第一导电类型。例如,漂移区与栅极绝缘体直接接触和/或直接处于沟道区处。漂移区可以位于半导体本体的沟道区与漏极区或集电极区之间,例如在垂直于半导体本体的顶侧的方向上。例如,可选的沟槽可以终止于漂移区。

[0019] 作为选项,半导体本体可以包括增强层。例如,增强层直接位于阱区与漂移区之间,并且可以具有比漂移区更高的最大掺杂浓度。增强层也可以具有第一导电类型。增强层

可以作为空穴阻挡层工作,也就是说,它增强了源极侧附近的等离子体浓度,从而导致改善的 V_{ce-sat} ,而没有过多地增大 E_{off} 。另外地,增强层还有助于控制沟道区的长度,并使制造工艺引起的可变性最小化。

[0020] 例如,增强层的最大掺杂浓度至少为 $10^{15}cm^{-3}$ 和/或至多为 $10^{18}cm^{-3}$ 。替代性地或附加地,增强层的厚度至少为 $1\mu m$ 和/或至多为 $5\mu m$ 。

[0021] 根据至少一个实施例,功率半导体器件是金属-绝缘体-半导体场效应晶体管MISFET、金属-氧化物-半导体场效应晶体管MOSFET、或绝缘栅双极晶体管IGBT、或反向传导绝缘栅双极晶体管RC-IGBT。

[0022] 根据至少一个实施例,阱区从半导体本体的顶侧延伸到漂移区。沟道区是阱区的一部分,并且可以具有相同的掺杂浓度。在操作期间,电子在沟道区中沿着栅极绝缘体从源极区流到漂移区。沟道区具有在垂直于栅极绝缘体与阱区之间的界面的方向上的厚度,例如,在纳米范围内,示例性地为 $1nm$ 至 $50nm$ 。

[0023] 例如,半导体本体由硅(简称Si)制成。然而,半导体本体可以替代性地由宽带隙半导体材料(如SiC、 Ga_2O_3 或GaN)制成。

[0024] 栅极绝缘体由任何绝缘材料制成,如可以是氧化物。例如,栅极绝缘体可以由以下材料中的至少一种制成: SiO_2 、 Si_3N_4 、 Al_2O_3 、 Y_2O_3 、 ZrO_2 、 HfO_2 、 La_2O_3 、 Ta_2O_5 、 TiO_2 。因此,栅极绝缘体也可以被称为栅极氧化物。

[0025] 根据至少一个实施例,功率半导体器件是功率器件。例如,功率半导体器件被配置用于至少 $0.2kV$ 或至少 $0.6kV$ 或至少 $1.2kV$ 的最大电压。

[0026] 例如在混合动力车辆或插电式电动车辆中,功率半导体器件例如是车辆中用于将来自电池或燃料电池的直流电转换为用于电动机的交流电的功率模块。此外,功率半导体器件可以是如汽车等车辆中的保险丝。

[0027] 为了简化,在下文中仅提及一个沟道区和所分配的组件。如果存在多个沟道区和所分配的组件,下面描述的特征可以仅应用于沟道区和所分配的组件中的一个、多个或全部。

[0028] 根据至少一个实施例,沿着沟道区的栅极电极的功函数差至少为 $0.7eV$ 或者至少为 $1.0eV$ 或者至少为 $1.1eV$ 。这适用于例如当栅极电极基于多晶硅时。如果也考虑用于低功函数的金属(如Li、Zn、Hf)或用于高功函数的金属(如Pt、Pd或Au),则功函数差可以至少是 $1.3eV$ 或 $1.4eV$ 。例如,功函数差至多为 $2.0eV$ 或 $1.5eV$ 。在此和在下文中,术语“沿着沟道区”可以指在功率半导体器件的预期使用中电流在沟道区中的流动的方向。

[0029] 根据至少一个实施例,栅极电极包括第一区段中的第一材料和靠近源极区的第二区段中的第二材料。对于具有p型掺杂阱区的器件,第一材料具有比第二材料高的功函数 Φ_m ,并且对于具有n型掺杂阱区的器件反之亦然。

[0030] 可能的是栅极电极由第一区段和第二区段组成。除此之外,可以存在至少一个附加区段,如沿着沟道区看位于第一区段和第三区段之间的中间区段。如果存在至少一个附加区段,则可以存在至少一种功函数 Φ_m 与第一材料和第二材料的功函数不同的附加材料。

[0031] 根据至少一个实施例,第一材料是p型掺杂的多晶硅,以及第二材料是n型掺杂的多晶硅。这适用于例如n型的沟道区。

[0032] 根据至少一个实施例,第一区段的长度至少是沿着栅极绝缘体的沟道区的总长度

的5%或10%或15%。替代性地或附加地,所述长度最多为所述总长度的40%或30%或25%。如果存在的话,这同样适用于至少一个附加区段。

[0033] 根据至少一个实施例,栅极绝缘体沿着沟道区具有非均匀厚度分布。例如,沿着沟道区,栅极绝缘体在第一区段中最厚,并且因此在第二区段中可能最薄。

[0034] 根据至少一个实施例,沟道区沿着栅极绝缘体具有非均匀沟道掺杂分布。例如,沟道区中的掺杂浓度 N_A 在第一区段中最大,并且因此在第二区段中最小。

[0035] 根据至少一个实施例,存在非均匀厚度分布以及非均匀沟道掺杂分布。因此,栅极电极的功函数以及栅极绝缘体的厚度和沟道区中的掺杂浓度 N_A 可以沿着沟道区变化。例如,沟道区中的掺杂浓度 N_A 在距半导体本体的顶侧至少 $0.5\mu\text{m}$ 或至少 $1.5\mu\text{m}$ 的深度处最大。沿着栅极绝缘体看,所述最大掺杂浓度 N_A 也可以在距源极区至少 $0.5\mu\text{m}$ 或至少 $1.5\mu\text{m}$ 的距离处。所述最大值可以位于阱区内。因此,所述最大值通过外延生长而不是通过离子注入实现。

[0036] 根据至少一个实施例,栅极绝缘体的厚度沿着沟道区显著变化。这意味着,例如,栅极绝缘体的最小厚度至多是栅极绝缘体的最大厚度的70%或50%。在这方面,只有沿着沟道区的栅极绝缘体可能是相关的。

[0037] 根据至少一个实施例,沿着栅极绝缘体,沟道区的最小掺杂浓度至多是沟道区的最大掺杂浓度的50%或20%或10%。

[0038] 根据至少一个实施例,非均匀厚度分布、非均匀沟道掺杂分布和非均匀功函数分布中的至少一个具有连续的、无阶跃的方式。因此,至少一个相应的分布可以由可微分函数来表示。

[0039] 根据至少一个实施例,非均匀厚度分布、非均匀沟道掺杂分布和非均匀功函数分布中的至少一个具有阶跃的方式。因此,至少一个相应的分布包括一个或多个阶跃,并且可以不由可微分函数来表示。

[0040] 可能的是,阶跃的非均匀厚度分布、非均匀沟道掺杂分布和/或非均匀功函数分布可以与非阶跃的非均匀厚度分布、非均匀沟道掺杂分布和/或非均匀功函数分布相结合。

[0041] 根据至少一个实施例,非均匀厚度分布和非均匀沟道掺杂分布中的至少一个以及非均匀功函数分布以与非均匀功函数分布相同的方式行进。例如,非均匀功函数分布中的至少一个阶跃以及非均匀厚度分布和非均匀沟道掺杂分布中的至少一个中的至少一个阶跃处于沿着沟道区的相同位置处。

[0042] 根据至少一个实施例,栅极电极部分地或完全地布置在形成于半导体本体中的至少一个沟槽中。至少一个沟槽以及因此所分配的栅极电极穿过阱区延伸到漂移区中,例如在背离半导体本体的顶侧的方向上。因此,栅极绝缘体也部分或完全位于所分配的沟槽中。因此,功率半导体器件可以是基于沟槽的器件。

[0043] 除此之外,栅极电极和栅极绝缘体被施加在半导体本体的顶侧上。因此,顶侧可以是平面。

[0044] 根据至少一个实施例,栅极绝缘体沿着沟道区具有非均匀栅极介电常数分布,使得栅极绝缘体的相对介电常数在远离源极区的沟道区的第一部分中最低。

[0045] 根据至少一个实施例,存在非均匀沟道掺杂分布和/或非均匀栅极电极功函数分布和/或非均匀栅极介电常数分布以及非均匀厚度分布。也就是说,非均匀栅极绝缘体厚度

分布可以与非均匀沟道掺杂分布、非均匀栅极电极功函数分布或非均匀栅极介电常数分布相结合,或者与非均匀沟道掺杂分布、非均匀栅极电极功函数分布和非均匀栅极介电常数分布中的两个相结合,或者与所有三个其它非均匀分布相结合。

[0046] 根据至少一个实施例,功率半导体器件被配置为,例如,使得饱和电流和短路电流两者减小,而集电极-发射极饱和电压 V_{ce-sat} 以及因此通态损耗可以保持不受影响。由于可选地由非均匀厚度分布和非均匀沟道掺杂分布中的至少一个支持的非均匀功函数分布,并且与类似设置的但是沿着栅极绝缘体具有均匀栅极电极功函数分布的参考半导体器件相比,这可能是真实的。

[0047] 另外地,提供了一种用于制造功率半导体器件的方法。借助于该方法,可生产出与上述至少一个实施例相关的功率半导体器件。因此,公开的功率半导体器件的特征也适用于该方法,反之亦然。

[0048] 在至少一个实施例中,用于生产功率半导体器件的方法特别地以所陈述的顺序包括以下步骤:

[0049] -提供半导体衬底,以及

[0050] -将至少一个半导体层外延生长到半导体衬底上。

[0051] 例如,半导体衬底包括漂移区的至少一部分。

[0052] 例如,至少一个外延生长的半导体层包括阱区和源极区。

[0053] 下面参照附图通过示例性实施例更详细地解释功率半导体器件和生产方法。各个图中相同的元件用相同的附图标记指示。然而,元件之间的关系未按比例示出,而是各个元件可以夸大地示出以帮助理解。

[0054] 在图中:

[0055] 图1是参考半导体器件的示意截面视图,

[0056] 图2是本文中描述的功率半导体器件的示例性实施例的示意性截面视图,

[0057] 图3是图2的功率半导体器件的俯视图,

[0058] 图4至图7是本文描述的功率半导体器件和参考半导体器件的电数据的示意性表示,

[0059] 图8至图11是本文描述的功率半导体器件的示例性实施例的示意性截面视图,

[0060] 图12和图13是本文描述的功率半导体器件的非均匀掺杂分布和非均匀功函数分布的示意性表示,以及

[0061] 图14至图16是本文描述的功率半导体器件的示例性实施例的示意性截面视图。

[0062] 图1图示了参考半导体器件9,除了包括在阱区22中的沟道区220中的栅极电极功函数分布之外,该半导体器件对应于本文描述的功率半导体器件1的示例性实施例。像功率半导体器件1一样,参考半导体器件9包括例如由Si制成的半导体本体2。

[0063] 半导体本体2还包括在半导体本体2的顶侧20处的源极区21。沟槽穿过阱区22并且穿过源极区21。源极区21具有第一导电类型,如n型导电,并且阱区22以及因此阱区22所包括的沟道区220具有不同的导电类型,第二导电类型,如p型导电。在沟槽中,存在通过电绝缘栅极绝缘体4与半导体本体2分离的栅极电极31。沟槽以及因此栅极电极31终止于半导体本体2的漂移区23中。漂移区23也具有第一导电类型。

[0064] 在参考半导体器件9中,栅极电极31仅由在栅极电极31的面向阱区22的区域处沿

着沟道区220全部具有恒定功函数 Φ_m 的一种材料制成。也就是说,沿着背离源极区21并朝向漂移区23的沟道区220的长度方向x,存在均匀功函数分布。

[0065] 例如,靠近栅极绝缘体4在源极区21和沟道区220直接接触的位置, $x=0$ 。例如,靠近栅极绝缘体4在沟道区220和漂移区23直接接触的位置, $x=L$ 。即,L对应于沟道区220的沟道长度。注意,沟道区220的形状仅被非常示意性地绘出。

[0066] 例如, x 垂直于半导体层本体2的顶侧20延伸。因此,长度L可以对应于源极区21与漂移区23之间直接在栅极绝缘体4处的距离。因此,长度L可以被定义为第一导电类型的层(即,源极区21和漂移区23)之间的第二导电类型层的长度,其中漂移区23可以包括较高掺杂浓度的增强层和较低掺杂浓度的层(未图示)。在参考半导体器件9的预期使用中, x 可以被认为是电流方向。

[0067] 根据如图2和图3所示的功率半导体器件1的示例性实施例,栅极电极31包括第一材料81和第二材料82。沿着长度方向x,第一材料81直接跟随在第二材料82上。因此,栅极电极31沿着沟道区220具有非均匀功函数分布。

[0068] 第一材料81的功函数高于第二材料82的功函数,因为图2和图3中描述的半导体功率器件1是n型沟道器件,即具有p型掺杂阱区的器件;对应地,对于具有n型掺杂阱区的p型沟道器件,第一材料81的功函数将低于第二材料82的功函数。因此,在远离源极区21的第一区段61中,在非均匀功函数分布中存在最大值。沟道区220的其余部分被称为第二区段64。分别在第一区段61内和第二区段64内,功函数 Φ_m 是恒定的。因此,沿着沟道区220,栅极电极31可以由分别具有第二材料82的第二区段64和具有第一材料81的第一区段61组成。在垂直于长度方向x的方向上,可能的是,栅极电极31仅包括一种材料,即第一材料81或第二材料82。

[0069] 例如,第一材料81是具有大约5.22eV的功函数的p⁺型掺杂的多晶硅。例如,第二材料82是具有大约4.1eV的功函数的n⁺型掺杂的多晶硅。虽然基于硅,但是这些第一材料81和第二材料82可以被称为金属。

[0070] 作为选项,为了电接触沟道区220,在半导体本体2的顶侧20处可以存在至少一个插塞25。插塞25可以具有与阱区22不同的厚度,使得插塞25可以比阱区22更深或更浅地延伸到半导体本体2中。进一步,源极区21和插塞25的厚度可以相同或可以不同。

[0071] 源极区21和至少一个插塞25两者可以通过例如位于顶侧20处的至少一个源极电极32电连接。示例性地,插塞25具有比阱区22或沟道区220更高的最大掺杂浓度。插塞的深度可以比阱区22和沟道区220更低、更深或与其相同。

[0072] 例如,功率半导体器件1是绝缘栅双极晶体管,简称IGBT。因此,在漂移区23远离阱区22的一侧处,存在也具有第二导电类型的集电极区26。在集电极区26处,存在集电极电极34。附加地,在漂移区23和集电极区26之间可以存在第一导电类型的缓冲区。缓冲区的掺杂浓度可以高于漂移区23的掺杂浓度。

[0073] 例如,半导体本体2至少部分通过外延生长产生。也就是说,半导体本体2的相应层的掺杂浓度可以在生长期间产生,并且可以不在生长之后产生,例如通过离子注入。这例如至少适用于增强层27和阱区22,该增强层和阱区因此可以通过外延生长来掺杂。作为选项,漂移区23可以部分或完全是生长衬底的一部分。这同样适用于所有其他示例。

[0074] 在顶侧20的俯视图看,容纳栅极电极31和栅极绝缘体4的沟槽可以具有延伸形式。

参见图3,源极区21、至少一个插塞25以及沟道区220可以对称地布置在沟槽的两侧上。

[0075] 例如,源极区21、集电极区26或替代地漏极区24和至少一个插塞25的最大掺杂浓度至少为 $1 \times 10^{18} \text{ cm}^{-3}$ 或 $5 \times 10^{18} \text{ cm}^{-3}$ 或 $1 \times 10^{19} \text{ cm}^{-3}$ 和/或最多为 $5 \times 10^{20} \text{ cm}^{-3}$ 或 $2 \times 10^{20} \text{ cm}^{-3}$ 或 $1 \times 10^{20} \text{ cm}^{-3}$ 。进一步地,阱区22的以及因此沟道区220的最大掺杂浓度可以至少是 $5 \times 10^{16} \text{ cm}^{-3}$ 或 $1 \times 10^{17} \text{ cm}^{-3}$ 和/或最多是 $5 \times 10^{19} \text{ cm}^{-3}$ 或 $5 \times 10^{18} \text{ cm}^{-3}$ 。例如,增强层27的最大掺杂浓度至少为 10^{15} cm^{-3} 和/或至多为 10^{18} cm^{-3} 。

[0076] 取决于功率半导体器件1的电压等级,漂移区23的最大掺杂浓度可以至少是 $1 \times 10^{11} \text{ cm}^{-3}$ 或 $1 \times 10^{12} \text{ cm}^{-3}$ 或 $1 \times 10^{13} \text{ cm}^{-3}$ 和/或最多为 $1 \times 10^{17} \text{ cm}^{-3}$ 或 $5 \times 10^{16} \text{ cm}^{-3}$ 或 $1 \times 10^{16} \text{ cm}^{-3}$ 。

[0077] 在图2和图3中,源极区21和至少一个插塞25仅沿着栅极电极31的一侧定位,使得沟道区220仅沿着栅极绝缘体4的一个外向侧42。然而,源极区21以及至少一个插塞25也可以位于沿着栅极电极31的两侧(例如,比较,图9),或者当在俯视图中看时位于栅极电极31四周。

[0078] 除此以外,与图1相同的情况也适用于图2和图3。

[0079] 将在下文中详细解释具有非均匀功函数分布的栅极电极31背后的构思。

[0080] 对于示例性地用于低频应用的功率半导体器件1,可能期望具有尽可能低的通态损耗,以便最小化总电损耗。此外,从器件可靠性的角度来看,具有低短路电流可以是有利的。因此,可能期望具有最小化的通态损耗和改进的短路能力的功率半导体器件1。

[0081] 然而,用于降低通态压降 V_{ce-sat} 的一些手段(例如通过减小沟道长度 L 或增加沟道宽度 W)通常导致不期望的较高饱和电流 I_{sat} ,如使用输出特性 I_c 与 V_{ce} 示意性图示那样,参见图4。更高的 I_{sat} 与更高的短路电流 I_{sc} 直接相关,从而不利地影响功率半导体器件1的短路能力。另一方面,例如通过增大沟道掺杂浓度来提高功率半导体器件1的阈值电压 V_{th} 以降低 I_{sat} 导致更高的 V_{ce-sat} ,如图5所示。因此,图4和图5是沿着整个沟道区具有均匀阈值分布的IGBT的典型输出特性的示意图,图4是针对相同的 V_{th} 和不同的沟道电阻的示意图以及图5是针对不同的阈值电压 V_{th} 的示意图。

[0082] 其他用于减少短路电流的技术,如:

[0083] a) 增大沟道长度 L ,

[0084] b) 通过降低阳极注入剂量来降低阳极注入效率,

[0085] c) 通过减小沿沟槽的源极覆盖来减小沟道宽度,以及

[0086] d) 通过增大单元间距来减小沟道宽度,

[0087] 也不期望地导致更高的通态损耗。而且,比如d)等技术还会对功率半导体器件1的击穿能力产生不利影响。为了减少短路电流,减少栅极偏置也可能是不期望的,因为它会导致不稳定的动态行为,并且另外它主要由应用要求决定的。

[0088] 因此,在常规MISFET或IGBT器件中,需要在最小化通态损耗与降低短路电流之间权衡。对于需要改善的短路能力的应用,可能期望能够在不影响 V_{ce-sat} 的情况下降低短路电流 I_{sc} 。

[0089] 利用本文描述的功率半导体器件1,通态损耗与短路电流之间的权衡得到了改善,即在不对前者产生不利影响的情况下改善了后者。与其他方法不同,所描述的设计沿着靠近栅极绝缘体4的沟道区220采用非均匀阈值电压分布,以降低给定 V_{ce-sat} 下的饱和电流。

[0090] 通过沿着沟道区220实施栅极电极31的非均匀功函数分布6,实现了本文描述的功

率半导体器件1中的所提出的非均匀 V_{th} 。此外,所描述的构思通常适用于任何MOS器件,诸如功率MOSFET或IGBT或反向传导IGBT,并且甚至与平面和沟槽结构兼容。

[0091] 利用本文描述的功率半导体器件1,引入了具有增强的短路能力的改进的MISFET、MOSFET或IGBT器件,而没有对通态损耗的有害影响。改进的设计还放宽了IGBT的设计限制,从而实现了独立探索以上提及的其他方法以最小化通态损耗的可能性,这些通态损耗通常受到相应器件的短路能力的限制。

[0092] 在下文中,呈现了本文描述的半导体器件1的思想的一些理论背景。

[0093] 对于参考长沟道MOS器件,已知高 V_{ce} 下的沟道夹断导致输出特性中的电流饱和,这最终决定了短路电流。沟道夹断电压 $V_{pinch-off}$ 由阈值电压 V_{th} 决定。示例性地,当所施加的偏压 V_{ce} 超过夹断电压 $V_{pinch-off} \approx (V_g - V_{th})$ (其中 V_g 是所施加的栅极电压)时,沟道在其漏极端附近在 $x=L$ 处开始夹断,其中 L 是沟道长度。在这种施加的 V_{ce} 下,垂直于沟道的电压降小于 V_{th} ,并且因此沟道在漏极端附近不能再维持。

[0094] 然而,为了更详细地理解该器件,应该认为沟道夹断更多地是局部现象(特别地在沟道的漏极端附近发生)。因此,更准确地说,是局部阈值电压 $V_{th}(x)$ 决定了夹点,并且因此决定饱和电流。这意味着可以通过在沟道端部,即在漂移区23附近的第一区段61中局部增大 $V_{th}(L)$ 来降低 $V_{pinch-off}$ 。

[0095] 进一步,为了保持总沟道电阻,并且从而使 V_{ce-sat} 不受影响,可以在沟道的其余部分中降低 $V_{th}(x)$ 。

[0096] 这在图6中示意性地图示,在该图中参照参考半导体器件9的曲线包括沿着整个沟道的均匀阈值电压 V_{th-1} 分布。另一方面,功率半导体器件1的曲线由沿着沟道的非均匀 V_{th} 分布组成,其中 V_{th} 在沟道端部附近,即在第一区段61中,局部升高,使得 $V_{th-2}(L) > V_{th-1}$,以便降低夹断点,而在沟道的其余部分中 $V_{th-2}' < V_{th-1}$ 以保持总沟道电阻相同。以这样的方式,饱和电流以及由此短路电流可以显著减小,而不影响通态损耗,如图7中的示意输出所示。因此,局部 V_{th} 变化是MISFET或MOSFET或IGBT器件的改善的短路能力的关键。

[0097] 沟道的 V_{th} 是各种其它MOS单元设计参数的函数,如下式所指示那样:

$$[0098] \quad V_t = V_{fb} + 2\Phi_B + \frac{\sqrt{qN_A 2\epsilon_s 2\Phi_B}}{C_{ox}}$$

[0099] 其中 V_{th} 是阈值电压, V_{fb} 是平带电压, $V_{fb} = (\Phi_m - \Phi_s)$,其中 Φ_m 和 Φ_s 分别是栅极电极功函数和半导体功函数。 N_A 是沟道本体掺杂, ϵ_s 是半导体的介电常数, C_{ox} 是栅极绝缘体电容,以及 ϕ_B 是半导体表面电势,并且:

$$[0100] \quad \Phi_B = kt \ln \frac{N_A}{n_i}$$

[0101] 其中 k 是玻尔兹曼常数, T 是温度,以及 n_i 是半导体的本征载流子浓度。

[0102] 因此,可以通过在以下MOS设计参数中的一个中或任意组合中引入非均匀性来实现沟道上所需的在第一区段61中的具有相对较高 V_{th} 的非均匀 V_{th} 分布:

[0103] 1. 如本文详细描述沟道掺杂分布 $N_A(x)$,

[0104] 2. 栅极氧化物厚度 $T_{ox}(x)$,

[0105] 3. 栅极电介质 $\epsilon_{ox}(y)$,和/或

[0106] 4. 栅极金属功函数 $\phi_m(x)$, 因为 $V_{fb} = (\Phi_m - \Phi_s)$ 。

[0107] 在下文中, 关注于栅极电极功函数分布变化, 但是所述功函数变化当然可以与变化的栅极绝缘体厚度、变化的栅极电介质和/或变化的沟道掺杂浓度相结合。

[0108] 注意, $\Phi_m(x)$ 的一个以上的组合可以实现相同的目标。而且, 甚至较高和较低 $\Phi_m(x)$ 区的物理长度, 即第一区段61沿着长度方向x的长度, 可以被调节以适应目的并克服制造挑战。

[0109] 因此, 沿着沟道区220的 V_{th} 分布方面的不均匀性可以通过引入具有不同功函数的栅极电极材料来实现, 例如如图2示意性所示。如上所指示那样, 功函数 $\Delta\Phi_m$ 通过平带电压 $V_{fb} = (\Phi_m - \Phi_s)$ 与 V_{th} 相关。因此, Φ_m 的任何变化将直接导致 V_{th} 方面的对应变化。

[0110] 根据图8, 类似于图2, 也存在非均匀功函数分布方面的阶跃, 但是第一材料81和第二材料82不具有垂直于长度方向x的平面界面。相反, 界面可以具有球形或弯月形形状。因此, 形成了过渡区段62。

[0111] 与总沟道长度L相比, 过渡区段62沿长度方向x的长度较小, 并且例如最多为总沟道长度L的2%或5%。这同样适用于所有其他示例性实施例。

[0112] 因此, 在第一区段61和第二区段64之间的界面处存在非均匀功函数分布方面的阶跃。然而, 所述阶跃不需要精确地遵循 θ 函数或单位阶跃函数, 而是由于过渡区段62而可以具有正弦形状。

[0113] 在所有其他示例性实施例中, 这种过渡区段62或多个这种过渡区段也可以存在于栅极电极31的不同材料之间的界面处。例如, 这种至少一个过渡区段62可以由栅极电极31的制造过程产生。

[0114] 而且, 根据图8, 在顶侧20处, 阱区22可以在插塞25和所分配的源极区21之间延伸。在横截面中看, 插塞25和所分配的源极区21可以具有不同的形状和/或深度。这些设计特征可以也在所有其他示例性实施例中单独地或组合地存在。

[0115] 除此以外, 与图2至图7相同的情况也可以适用于图8, 反之亦然。

[0116] 在图9的功率半导体器件1中, 在第一区段61中, 存在第一材料81以及第二材料82。其中, 第一材料81位于靠近栅极绝缘体4, 以及第二材料82远离栅极绝缘体4。因此, 垂直于长度方向x, 存在两种材料81、82。因为第二材料82被限制在栅极电极31的内部, 例如沟道区220处的功函数 Φ_m 仅由第一材料81决定。因此, 在垂直于顶侧20的横截面中看, 第一材料81在第一区段61中可以具有U形。在第二区段64中, 可能只存在具有较低功函数 $\Delta\Phi_m$ 的第二材料82。因此, 垂直于长度方向x并且在第一区段220中, 栅极电极31可以被认为具有多层形式。

[0117] 如在功率半导体器件1的所有其他示例性实施例中可能的那样, 栅极绝缘体4的面向半导体本体2的外向侧, 至少沿着沟道区220, 可以具有平面形式。

[0118] 而且, 在图9中, 图示了栅极电极31和栅极绝缘体4位于其中的沟槽不一定具有面向漏极区23的弯曲底侧。因此, 所述底侧可以是平面的, 并且可以与顶侧20平行。在所有其他示例性实施例中也是如此。

[0119] 除此以外, 与图2至图8相同的情况也可以适用于图9, 反之亦然。

[0120] 根据图10, 沿长度方向x看, 栅极电极31包括位于第二材料82和第一材料81之间的第三材料83。例如, 在功率半导体器件1是具有p型掺杂阱区的器件的情况下, 第三材料83的

功函数 Φ_m 超过第二材料82的功函数 $\Delta\Phi_m$,但是小于第一材料81的功函数 Φ_m ;如果功率半导体器件1是具有n型掺杂阱区的器件,则第三材料83的功函数 Φ_m 将低于第二材料82的功函数 Φ_m ,但是高于第一材料81的功函数 Φ_m 。

[0121] 例如,全部材料81、82、83基于具有不同掺杂的多晶硅。除此以外,例如,第三材料可以是具有高功函数 $\Delta\Phi_m$ 的金属,如Pt。

[0122] 类似于图8,在材料81、82、83之间可以存在未示出的过渡区段。进一步,在中间区段63和/或第一区段61中,栅极电极31也可以具有多层形式,如图9中。

[0123] 除此以外,与图2至图9相同的情况也可以适用于图10,反之亦然。

[0124] 根据具体要求, $\Delta V_{th}=V_{th2}-V_{th1}$ 可能是期望的,其对应于2.5eV至3.0eV的功函数差 $\Delta\Phi_m$ 。这可能难以实现现有的容易获得的实际功函数 $\Delta\Phi_m$,该功函数的范围从对于n⁺型掺杂的多晶硅的4.1eV到对于p⁺型掺杂的多晶硅的大约5.22eV。因此,使用用于栅极电极31的现有可用材料,可以获得 $\Delta V_{th}\approx 1V$,与如图1中的单功函数栅极电极相比,这将导致有所改善的短路电流与导通状态的权衡。而且,还可以探索以不同的金属作为栅极电极材料,以获得更高的功函数对比,从而实现所需的目标。

[0125] 为了获得更好的结果,使用非均匀功函数分布可以与其他提出的技术(比如非均匀掺杂或非均匀栅极氧化物厚度分布)结合以获得非均匀 V_{th} 分布。例如,所需的 ΔV_{th} 可以利用第一区段61和第二区段82中的栅极绝缘体厚度变化、沟道掺杂和栅极金属功函数的以下组合来实现,如下图所示。

[0126] 因此,在图11中,图示了不仅功函数分布具有非均匀设计,而且栅极绝缘体4的厚度分布也具有非均匀设计。因此,栅极绝缘体4在远离源极区21的第一区段61中最厚。相应地,栅极绝缘体4的厚度可以以阶跃方式变化。

[0127] 非均匀功函数分布也可以是阶跃式的,其中栅极电极31的材料81、82可以在沿着长度方向x的与栅极绝缘体4的厚度相同的位置处变化。例如,栅极绝缘体4的厚度可以仅在第一材料81和第二材料82之间的界面处变化。

[0128] 可选地,第二区段64中的栅极绝缘体4的厚度在50nm和100nm之间(包括端点),和/或第一区段61中的栅极绝缘体4的厚度在100nm和240nm之间(包括端点)。

[0129] 例如,第二材料82的功函数是4.1eV,以及第一材料82的功函数是5.22eV。为了实现 $\Delta V_{th}\approx 2.5$ 至3V,栅极绝缘体4可以在第二区段64中具有100nm的厚度,以及在第一区段61中具有170nm的厚度。

[0130] 在图11中,栅极电极31类似于图2配置。然而,在图11的功率半导体器件1中,栅极电极31可以替代性地设计为如图8至图10和图14中的任何一个所描绘那样。

[0131] 除此以外,与图2至图10相同的情况也可以适用于图11,反之亦然。

[0132] 在图12和图13中,示意性地图示了沿着长度方向x,应用了非均匀功函数分布6和非均匀沟道掺杂分布7。因此,沿着长度方向x,沟道区220中的掺杂浓度 N_A 变化。如在前面的功率半导体器件1中一样,在此只关注沟道区220,使得在图12和图13中没有讨论沟道区220外部的掺杂浓度 N_A 。因此,非均匀功函数分布6和非均匀厚度分布也被认为仅沿着沟道区220,即,对于 $x=0$ 至 $x=L$ 。

[0133] 根据图12,功函数分布6和沟道掺杂分布7两者是以阶跃方式设计的,其中在两个分布6、7中,阶跃都在 $x=x_s$ 处。然而,例如,功函数分布6中的阶跃可以遵循 θ 函数或单位阶

跃函数,而在沟道掺杂分布7中可以存在过渡区段62。分别在第二区段64和第一区段61内,掺杂浓度 N_A 可以是恒定的。

[0134] 例如,沟道掺杂分布7中存在的最大掺杂浓度至少为 $5 \times 10^{16} \text{cm}^{-3}$ 且至多为 $3 \times 10^{18} \text{cm}^{-3}$,和/或沟道掺杂分布7中存在的最大掺杂浓度最多为 $2 \times 10^{17} \text{cm}^{-3}$ 或 $1 \times 10^{17} \text{cm}^{-3}$ 。最大掺杂浓度可以存在于第一区段61中,并且最小掺杂浓度可以存在于第二区段64中。

[0135] 作为示例,第二材料82的功函数是4.1eV,以及第一材料82的功函数是5.22eV。为了实现 $\Delta V_{th} \approx 2.5$ 至3V,第二区段64中的掺杂浓度 N_A 是 $1 \times 10^{17} \text{cm}^{-3}$,以及第一区段61中的掺杂浓度 N_A 是 $2.8 \times 10^{17} \text{cm}^{-3}$ 。

[0136] 根据图13,沟道掺杂分布7具有线性形式。因此,在沟道掺杂分布7中,在第一区段61和第二区段64之间不需要明确限定的界面或分界线。作为选项,功函数分布6可以具有多个阶跃,使得近似于线性功函数增加。

[0137] 在图12和图13的功率半导体器件1中,当然也可以存在栅极绝缘体4的非均匀厚度分布,如图11中。对于栅极绝缘体4的厚度分布,也可以具有线性形式,如图13中的沟道掺杂分布7。而且,不同形状的非均匀厚度分布、非均匀功函数分布和非均匀沟道掺杂分布可以彼此组合。

[0138] 除此以外,与图2至图11相同的情况也可以适用于图12和图13,反之亦然。

[0139] 在图14中,图示了存在栅极绝缘体4的非均匀厚度分布以及非均匀功函数分布,其中两种分布以阶跃方式配置。然而,分布中的阶跃处于沿长度方向x的不同位置处。在所有其他示例性实施例中,这也是可能的。作为未示出的选项,在沟道区220中也可以存在非均匀沟道掺杂分布,例如如图12或图13所示配置。

[0140] 而且,图示了图14的功率半导体器件1不是IGBT,而是MISFET或MOSFET。因此,功率半导体器件1包括漏极区24而不是集电极区26。因此,在漂移区23远离阱区22的一侧处,存在也具有第一导电类型的漏极区24,但是例如具有比漂移区23中更高的最大掺杂浓度。在漏极区24处,存在漏极电极33。

[0141] 当然,IGBT功率半导体器件1的全部栅极绝缘体设计可以应用于MOSFET和MISFET功率半导体器件1,反之亦然。

[0142] 除此以外,与图2至图13相同的情况也可以适用于图14,反之亦然。

[0143] 根据图15,功率半导体器件1具有平面设计,而不具有像例如图2和图3的功率半导体器件1的沟槽设计。因此,顶侧20是平面的,并且栅极绝缘体4和栅极电极31被施加到顶侧20上。因此,从源极区21到漂移区23,长度方向x平行于顶侧20,而不像在其他实施例中,垂直于顶侧20。

[0144] 在图15中,阱区22在侧向方向上从源极区21突出,即平行于顶侧20,并在栅极绝缘体4下方延伸。源极区21也可以延伸到栅极绝缘体4下方,但距离较短。

[0145] 在MISFET或MOSFET的情况下以及在IGBT的情况下,非均匀功函数分布和可选存在的非均匀沟道掺杂分布和/或非均匀厚度分布的所有以上提及的不同设计可以类似地应用于图15的平面构思。因此,与图2至图13相同的情况也可以适用于图15。

[0146] 而且,在图16中,由于可选地存在构成栅极绝缘体4的至少两种不同材料71、72,不仅存在非均匀栅极电极功函数分布6,而且存在非均匀栅极绝缘体厚度分布和栅极绝缘体4的非均匀栅极介电常数分布。也就是说,栅极绝缘体4的厚度沿着沟道区220变化。

[0147] 例如,由于至少两种不同的材料71、72沿着沟道区220的相对介电常数差至少为2.0或者至少为3.0或者至少为3.5。替代性地或附加地,上述差值最多为50或最多为25。在比较各自的相对介电常数时,可以使用各种材料在室温下(即300K)和在至多1kHz的变化电场的频率下的教科书值。

[0148] 例如,第一区段61中的第一材料71的厚度超过第二区段64中的第二材料72的厚度,反之亦然。例如,第一材料71与第二材料72之间的厚度差是栅极绝缘体4沿着沟道区220的最大厚度的至少20%或至少40%。如果只存在非均匀栅极绝缘体厚度分布和均匀栅极介电常数分布,则栅极绝缘体4可以由单个材料制成。

[0149] 例如,第二区段64中的栅极绝缘体4的厚度在50nm与100nm之间(包括端点),和/或第一区段61中的栅极绝缘体4的厚度在100nm与240nm之间(包括端点)。然而,除了图16中图示的以外,第一区段61中的栅极绝缘体4的厚度可以替代性地小于第二区段64中的厚度,并且最大厚度可以替代地出现在第二区段64中。

[0150] 因此,在第一区段61和第二区段64之间的界面处,在非均匀栅极介电常数分布中存在阶跃,参见图16中的插图。

[0151] 除了非均匀栅极介电常数分布和/或非均匀的栅极电极功函数分布72之外或者作为其替代性方案,还可以存在非均匀沟道掺杂分布71。也就是说,阱区22中的掺杂浓度 N_A 沿着沟道区220变化。

[0152] 例如,非均匀沟道掺杂分布7中存在的最大掺杂浓度为至少 $5 \times 10^{16} \text{ cm}^{-3}$ 且至多 $5 \times 10^{19} \text{ cm}^{-3}$,和/或非均匀沟道掺杂分布71中存在的最大掺杂浓度为至多 $2 \times 10^{17} \text{ cm}^{-3}$ 或至多为 $1 \times 10^{17} \text{ cm}^{-3}$ 。最大掺杂浓度可以存在于第一区段61中,并且最小掺杂浓度可以存在于第二区段64中。分别贯穿第一区段61和第二区段64,掺杂浓度 N_A 可以是恒定的,使得掺杂浓度 N_A 例如以阶跃方式变化。然而,掺杂浓度 N_A 方面的阶跃不需要精确地遵循 θ 函数或单位阶跃函数,而是可以具有正弦形状,参见图16中的插图。所述阶跃可以处于栅极绝缘体4的材料71、72改变的位置处。

[0153] 非均匀栅极绝缘体厚度分布、非均匀栅极绝缘体介电常数分布和非均匀沟道掺杂分布7中的至少一个也可以类似地存在于所有其他示例性实施例中。

[0154] 除此以外,与图2至图15相同的情况也可以适用于图16,反之亦然。

[0155] 图中所示的组件,除非另有说明,均按指定顺序依次排列。图中没有接触的组件之间,示例性地,是有间隔的。如果画出的线条彼此平行,则相应的表面可以彼此平行。同样,除非另有说明,图中正确地再现了所画组件之间的相对位置。

[0156] 本文中描述的功率半导体器件不受基于示例性实施例的描述的限制。相反,功率半导体器件涵括任何新特征以及特征的任何组合,包括专利权利要求中的特征的任何组合,即使这个特征或这个组合本身没有在专利权利要求或示例性实施例中明确指定。

[0157] 本专利申请要求欧洲专利申请2118 6101.8的优先权,该欧洲专利申请的公开内容通过援引并入本文。

[0158] 附图标记清单

[0159] 1 功率半导体器件

[0160] 2 半导体本体

[0161] 20 顶侧

[0162]	21	源极区
[0163]	22	沟道区
[0164]	23	漂移区
[0165]	24	漏极区
[0166]	25	插塞
[0167]	26	集电极区
[0168]	27	增强层
[0169]	31	栅极电极
[0170]	32	源极电极
[0171]	33	漏极电极
[0172]	34	集电极电极
[0173]	4	栅极绝缘体
[0174]	6	非均匀功函数分布
[0175]	61	第一区段
[0176]	62	过渡区段
[0177]	63	中间区段
[0178]	64	第二区段
[0179]	7	非均匀沟道掺杂分布
[0180]	71	栅极绝缘体的第一材料
[0181]	72	栅极绝缘体的第二材料
[0182]	81	第一材料
[0183]	82	第二材料
[0184]	83	第三材料
[0185]	9	参考半导体器件
[0186]	L	沿着栅极绝缘体的沟道区的长度
[0187]	x	沿着沟道区的长度方向

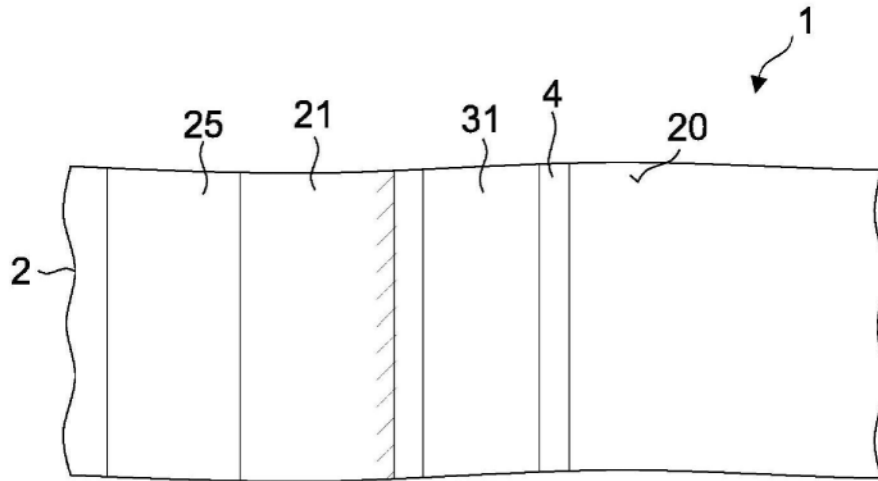


图3

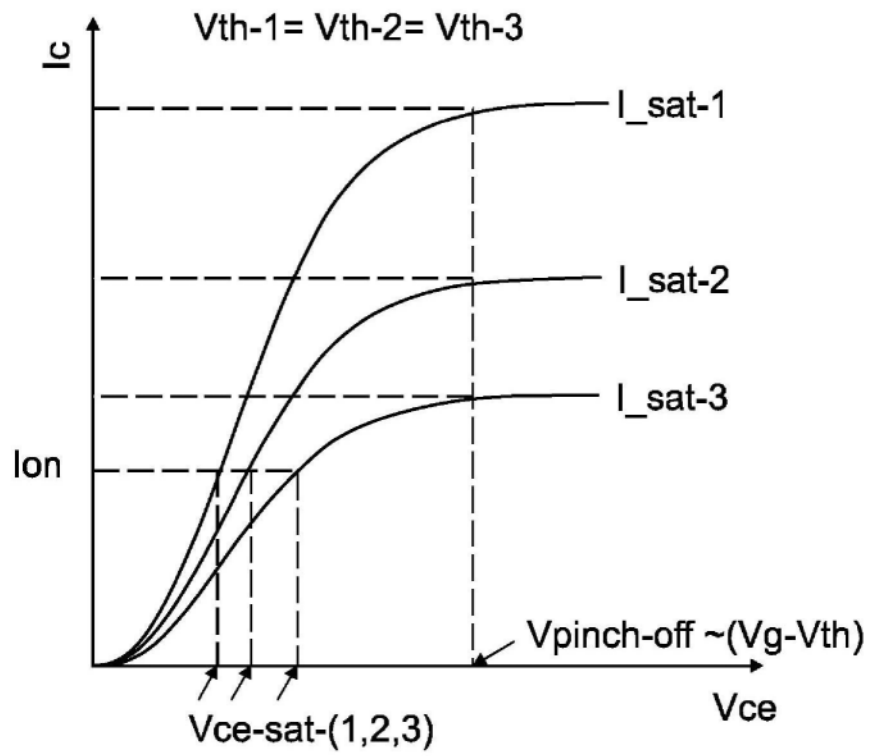


图4

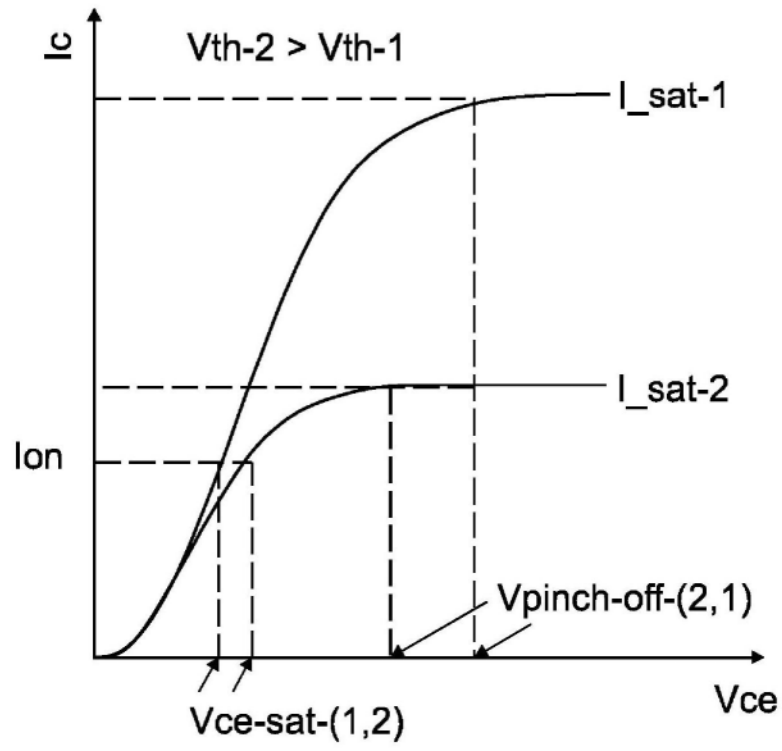


图5

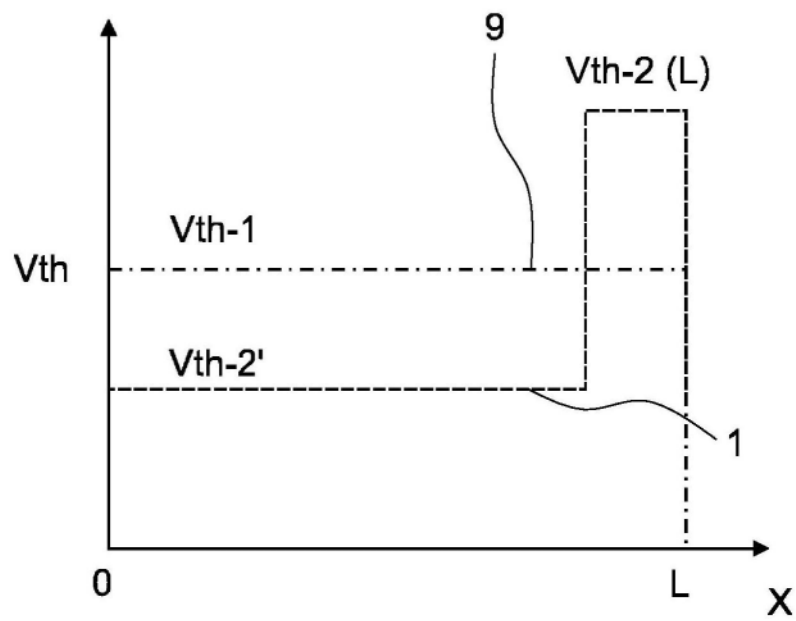


图6

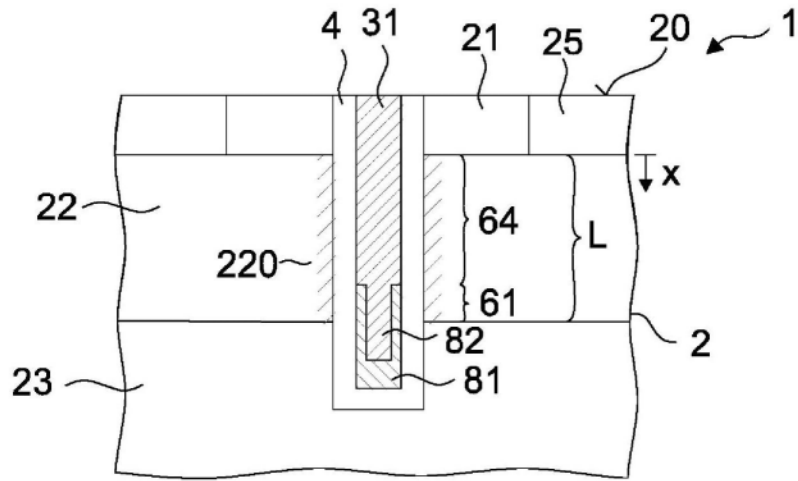


图9

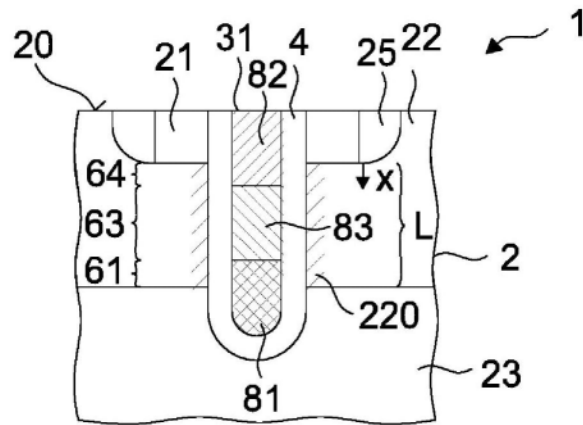


图10

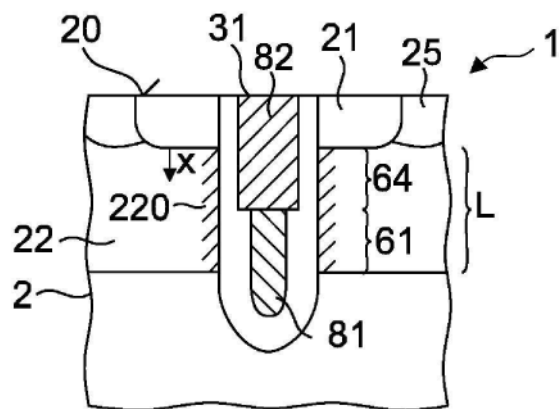


图11

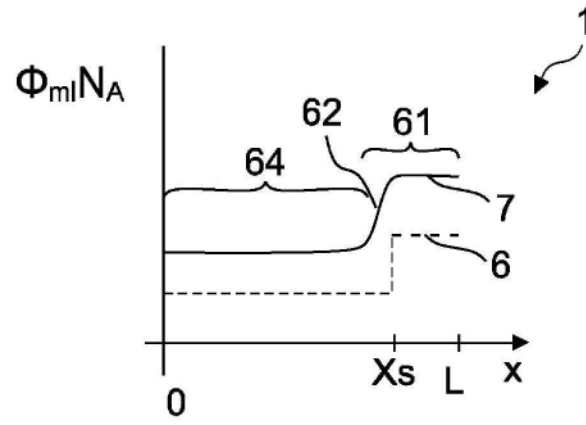


图12

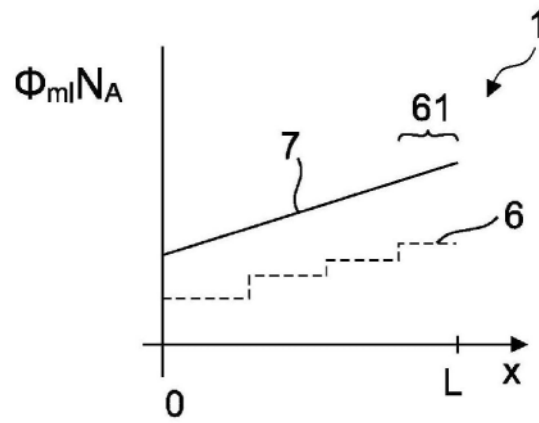


图13

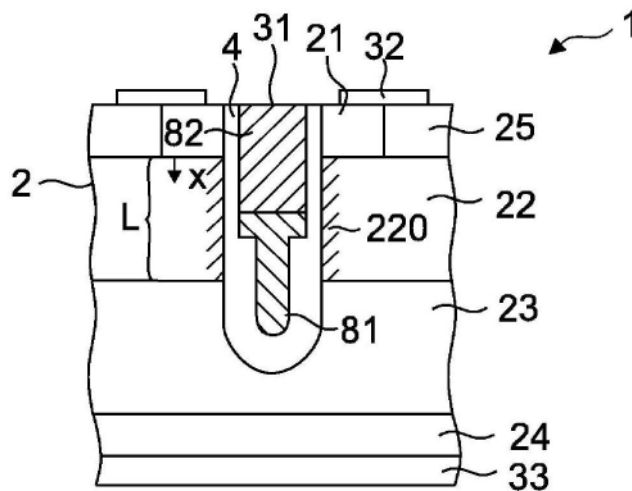


图14

