



# [12] 发明专利说明书

[21] ZL 专利号 01815580.4

[45] 授权公告日 2005 年 6 月 29 日

[11] 授权公告号 CN 1208735C

[22] 申请日 2001.8.14 [21] 申请号 01815580.4

[30] 优先权

[32] 2000.8.17 [33] US [31] 09/641,023

[86] 国际申请 PCT/US2001/025550 2001.8.14

[87] 国际公布 WO2002/015020 英 2002.2.21

[85] 进入国家阶段日期 2003.3.13

[71] 专利权人 三因迪斯科公司

地址 美国加利福尼亚州

[72] 发明人 约拉姆·赛达尔 米奇·霍尔兹曼

约斯·品托

审查员 马晓亚

[74] 专利代理机构 中国国际贸易促进委员会专利

商标事务所

代理人 付建军

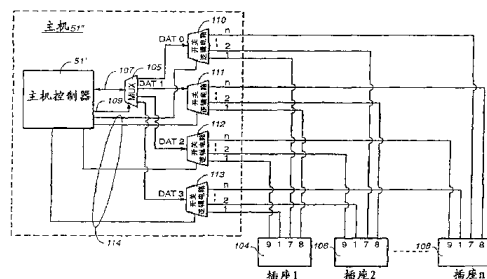
权利要求书 7 页 说明书 16 页 附图 7 页

[54] 发明名称 与主机串行通信的多个可拆卸非易失性存储卡

[57] 摘要

对其进行数据读写的两张或更多很小的封装电子电路卡，可拆卸地插入主机系统的两个或更多的插座，主机系统与插座由导线连接。一个方面，正常情况下通过主机和所有插座之间共同连接的单一电路，在主机和卡之间进行命令和响应信号的通信，但是在系统的初始化期间，通过把命令和状态电路每次一个地依次连接到每个插座，确认一个唯一的相对卡地址已经写入插入插座的每张卡。对于这样一种系统的初始化中设置卡地址，这样做是一种快速且相对简单的方式。第二方面，主机调整为经由至少两种不同数目的、在主机和所有的一个和多个插座之间共同连接的数据线，在主机和系统中不同的卡之间传送数据，每张卡永久存储着主机可读的、该卡能够使用的并行数据线数目的信息。这就允许在应当增加卡上电路复杂性时，提

高数据传输速率。第三方面，通过把数据流的数位交替地连接到特定数目的各条连线，经由某个数目的数据线发送串行数据流，从一条到许多条。



1. 一种操作包括一台主机和多个插座的系统的方法，在该系统中，电子电路卡可以机械方式插入并可以电气连接在这些插座，该方法包括：

在主机和经由连接在主机和多个插座之间的命令电路寻址的卡之间传送数据，所述数据被传送时经过的数据电路也连接在主机和多个插座之间，以及

除非在各卡的唯一地址正在经由用另外的方式一次只连接多个插座中的一个的命令电路并由主机每次仅与一张卡之间进行的通信进行定义的时候，在正常情况下，经由连接在主机和多个插座之间的命令电路，从主机向单个卡传送控制电子电路卡操作的命令。

2. 根据权利要求1的方法，进一步包括：

至少在某些电子电路卡之内，存储许多数据触点，通过这些触点可以并行地传送数据，

使主机从插入多个插座的每个卡中，读取存储的许多数据触点，以及

其特征在于，在主机和被寻址的某张卡之间传送数据，包括：按照被寻址卡中存储的许多数据触点，经由连接着主机和多个插座中的每一个的多条数据线中的一条或多条传送数据。

3. 根据权利要求2的方法，其特征在于，不管对插座中插入的卡同时传送数据的连线有多少条，主机都以公共的时钟频率向多个插座提供一种时钟信号，以便操作其中插入的电子电路卡。

4. 根据权利要求1-3中的任何一个权利要求的方法，其特征在于，电子电路卡包括可重写非易失性存储器，其中存储着传送的数据。

5. 一种操作包括一台主机和至少一个插座的系统的方法，在该系统中，多个电子电路卡中的至少一个每次可拆卸地插入这些插座，以利用卡的触点形成电气连接，该方法包括：

在各张电子电路卡之内，存储许多数据触点，通过这些触点可以并行地传送数据，

使主机从插入所述至少一个插座的所述至少一张卡中，读取存储的许多数据触点，以及

按照所述至少一张插入的卡中存储的许多数据触点，经由连接着主机和所述至少一个插座的多条线中的一条或多条，在主机和所述至少一张插入的卡之间传送数据。

6. 根据权利要求 5 的方法，其特征在于，不管同时传送数据的连线有多少条，主机都以公共的时钟频率向所述至少一个插座提供一种时钟信号，以便操作所述至少一张插入的卡。

7. 根据权利要求 5 和 6 中的任何一个权利要求的方法，其特征在于，电子电路卡包括可重写非易失性存储器，其中存储着传送的数据。

8. 根据权利要求 7 的方法，其特征在于，主机确定所述一张插入的卡是不是多媒体卡类型，如果是，就仅仅经由通向所述至少一个插座的多条数据线中的一条传送数据。

9. 根据权利要求 7 的方法，其特征在于，在主机和所述至少一张插入的卡之间传送数据，包括通过对应于所述一张插入的卡中存储的许多数据触点的许多所述数据线，依次引导串行数据流中的各个数位。

10. 一种存储器系统，包括：

(A) 多张封装的存储器卡，分别包括：

一个可编程的非易失性存储器和该存储器的一个控制器，

该卡一个外表面上的多个电触点，至少这些触点之一载有去往和来自存储器的数据，这些触点中的仅仅一个接收用于控制控制器和存储器操作的命令以及发送响应，其中一个触点接收用于操作控制器和存储器的时钟信号，以及

多个寄存器，可由通过命令/响应触点接收的命令信号进行编程，并且可由通过命令/响应触点发送的响应信号进行读取，包括一个可编程的地址寄存器，

(B) 多个插座，它们分别接受多张卡之一，所述插座分别包括：

至少一个第一针脚，处于连接其中插入的卡上所述至少一个数

据触点的位置，各个插座的第一针脚一起连接到公共的至少一条数据线，

一个第二针脚，处于连接其中插入的卡上所述只有一个命令/响应触点的位置，各个插座的第二针脚连接到分别的命令/响应连线，

一个第三针脚，处于连接其中插入的卡上所述时钟信号触点的位置，多个插座的第三针脚一起连接到公共的时钟信号线，以及

(C) 一台主机设备，连接为在所述至少一条公共数据线上发送和接收数据，在公共时钟信号线上发送时钟信号，以及除非每次通过各条命令/响应连线之一确认了多张卡的地址寄存器中的唯一地址时，在正常情况下，都通过包括某张单独的卡的一个地址，同时经由所有的各条命令/响应连线向所述单独的卡发送操作命令和从该卡接收响应信号。

11. 根据权利要求 10 的存储器系统，其特征在于，所述至少一条公共数据线包括两条或更多的数据线，存储器卡分别提供表示触点数目的响应，这些触点载有去往和来自该卡上存储器的数据，插入多个插座之卡的这种响应，可由主机经由命令/响应连线读取，所述主机连接为与多个插座中的每一个中插入的各张存储器卡经由由主机从各卡读取的响应数目确定的两条或更多的数据线中的一条或多条传送数据。

12. 根据权利要求 11 的存储器系统，不管与各存储器卡传送数据所通过的两条或更多数据线的数目，公共时钟信号线上的时钟信号都具有保持不变的频率。

13. 一种存储器系统，包括：

多张卡，分别具有多个外部触点，这些触点包括：至少一个触点，把数据传送出和传送入卡内的可重写非易失性存储器；仅仅一个触点，通过其接收命令以操作存储器并响应从存储器发送的响应信号；以及一个触点，接收操作存储器的时钟信号，

多个插座，所述卡分别插入其中，卡的触点与多个对应的针脚电气接触，针脚包括至少一个数据针脚，仅仅一个用于命令和响应信号的针脚和一个时钟信号针脚，

一种主机系统，具有载有命令和响应信号的单一连线，可由主机选择连接到各个卡插座中任何一个或者全部插座的命令和响应信号针脚，所述主机系统另外还具有至少一条连线，连接到多个插座中每一个的所述至少一个数据针脚，以载有去往和来自其中插入之卡的数据，所述主机系统还包括一条时钟信号线，连接到多个插座中每一个的所述时钟信号针脚，

所述多张卡分别包括一个地址寄存器，主机通过插入的单一卡的卡插座的命令和响应针脚，通过每次连接到单一卡的命令和响应连线，在其中确认该卡的地址为唯一的，以及

通过在命令和响应连线上发送所述一张单独的卡的地址寄存器中存储的地址，所述命令和响应连线连接到所有多个插座的命令和响应针脚时，所述主机通过该连线，向一张单独的卡发送附加的命令，并从该卡接收附加的响应信号。

#### 14. 一种存储器系统，包括：

多张卡，分别具有多个外部触点，其中一个或多个触点把数据传送出和传送入卡内的可重写非易失性存储器，一个触点接收命令以操作存储器并响应从存储器发送的信号，以及一个触点接收操作存储器的时钟信号，

多个插座，所述卡分别插入其中，卡的触点与多个对应的针脚电气接触，针脚包括两个或更多数据针脚，一个用于命令和响应信号的针脚和一个用于时钟信号的针脚，

一种主机系统，在它和多个插座的命令和响应针脚之间，具有载有命令和响应信号的一条连线；具有载有不变频率时钟信号的一条连线，经由连接到多个插座中每一个的所述时钟信号针脚的一条连线；以及两条或更多载有数据的连线，连接到多个插座中每一个的两个或更多数据针脚，

所述多张卡分别存储着可以同时传送数据之触点的数目的指示信息，所述存储的指示信息可由主机经由命令和响应连线读取，以及

按照各卡中存储的指示信息，所述主机对多个插座中插入的各卡传送数据。

15. 根据权利要求 14 的存储器系统，其特征在于，该主机系统包括载有命令和响应信号的单一连线，可由主机选择连接到各个卡插座中任何一个或者全部插座的命令和响应信号针脚；所述多张卡分别包括一个地址寄存器，主机通过插入的单一卡的卡插座的命令和响应针脚，通过每次连接到单一卡的命令和响应连线，在其中确认该卡的地址为唯一的；以及通过在命令和响应连线上发送所述一张单独的卡的地址寄存器中存储的地址，所述命令和响应连线连接到所有多个插座的命令和响应针脚时，所述主机通过该连线，向一张单独的卡发送附加的命令，并从该卡接收附加的响应信号。

16. 一种封闭式卡，包括可重写的非易失性存储器，它具有多个触点，该多个触点包括：第一组的一个或多个触点，在存储器和外部主机之间通过该触点同时传送数据；第二组的一个或多个触点，从外部主机接收操作存储器的命令，并向外部主机发送存储器操作状态的信号；第三组的一个或多个触点，接收存储器操作的时钟信号；一个寄存器区域，永久存储第一组内触点数目的指示信息；以及一个接口电路，连接为按照存储的指示信息，通过第一组触点的数目，从存储器读取数据和向存储器写入数据。

17. 根据权利要求 16 的卡，其特征在于，卡为 32 毫米长，24 毫米宽，以及 1.4 毫米或者 2.1 毫米厚。

18. 一种封闭式卡，包括可重写的非易失性存储器，它具有多个触点，该多个触点包括第一组的一个或多个触点，在存储器和外部主机之间通过该触点同时传送数据；第二组的一个或多个触点，从外部主机接收操作存储器的命令，并向外部主机发送存储器操作状态的信号；第三组的一个或多个触点，接收存储器操作的时钟信号；一个寄存器区域，存储该卡的一个地址，主机通过第一组的触点可读取该地址；以及一个随机数发生器，把卡地址写入所述寄存器区域。

19. 一种在第一和第二设备之间传送串行数据流的方法，包括：  
从所述设备能够用来并行地进行数据位通信的一个到多个线中，  
确定第一和第二设备之间数据线的数目，

在每次在第一和第二设备的一台的所述数目的一位或多位已经

传到所述第一和第二设备的另一台发生之后，在所述第一和第二设备的一台处在所述数目的连线之间切换数据流，以及

在每次所述数目的一位或多位已经收到发生之后，通过在所述数目的数据线之间进行切换，在所述第一和第二设备的另一台处重新组装串行数据流。

20. 根据权利要求 19 的方法，其特征在于，所述数据线的数目存储在所述第一和第二设备的一台中，其特征还在于，存储的数据线的数目由所述第一和第二设备的另一台读取。

21. 根据权利要求 19 或 20 中的任何一个权利要求的方法，其特征在于，一位或多位的数目是一个数据位。

22. 一张存储器卡，包括：

一个外壳，

一个该外壳内的可重写非易失性存储器，

在该外壳外侧上的、与其中的所述存储器电连接的多个电子触点，包括由一个或多个触点组成的一组触点，通过这组触点同时向所述存储器传送数据或从所述存储器传送数据，通过至少一个触点将命令传送到所述存储器，通过至少另一个触点接收所述存储器使用的一个时钟信号，以及，

包括外壳内的电子电路的装置，用于通过一组数据触点中的至少一个，提供一个关于通过一组数据触点同时向所述存储器传送数据和从所述存储器传送数据时，所述这组数据触点中数据触点的数目的指示。

23. 根据权利要求 22 的存储器卡，还包括：

包括外壳内的、响应用于提供所述组的数据触点中数据触点的数目的指示装置电子电路的接口电路的装置，用于经过所述触点组的所指示数目的触点从所述存储器读取数据或向所述存储器写入数据，经过所述触点组，同时向所述存储器传送数据和从所述存储器传送数据。

24. 根据权利要求 22 的存储器卡，其中指示装置电子电路包括一个寄存器区域，用来存储关于所述触点组中数据触点数目的指示，经过所述触点组，同时向所述存储器传送数据和从所述存储器传送数

据。

25. 一种操作包括主机和至少一个插座的系统的方法，在该系统中，所述插座用于可拆卸地容纳电子电路卡以在主机和电路卡的外部触点之间形成电气连接，该方法包括：

将包含可重写非易失性存储器的电路卡插入所述至少一个插座中，

此后，初始化主机和插入的电路卡之间的通信，包括由主机质询卡，以确定电路卡的一个或多个触点的数目，数据通过这些触点进行传送，以及

此后，通过所确定的一个或多个电路卡触点的数目，在主机和电路卡内可重写的非易失性存储器之间传送数据，数据通过这些触点进行传送。

26. 根据权利要求 25 的方法，其中，由主机质询卡包括读取卡内的寄存器，以确定一个或多个电路卡触点的数目，数据经过这些触点进行传送。

27. 根据权利要求 26 的方法，其中主机通过卡触点之一读取寄存器，数据经过这些卡触点进行传送。

28. 根据权利要求 27 的方法，其中数据传送所经过的卡触点的数目可以只是所述卡触点之一，也可以是包括所述卡触点之一的两个或多个卡触点的数目。

29. 根据权利要求 25 的方法，其中主机确定数据是只经过电路卡触点之一用电路卡传送的。

30. 根据权利要求 25 的方法，其中主机确定数据是经过两个或多个电路卡触点用电路卡传送的。

## 与主机串行通信的多个可拆卸非易失性存储卡

### 技术领域

本发明涉及电子电路卡及其在具有一个或多个连接到主机设备之插座的系统中的使用，尤其涉及包含大容量可重写非易失性存储器比如闪速 EEPROM（可电擦除可编程只读存储器）的小型封装卡，以及可拆卸地插入多个插座后它们在其中运行的系统。

### 背景技术

个人电脑、笔记本电脑、个人电子助理、手机、数码相机和其它电子设备需要可拆卸的数据存储器。来自这些设备的数据可达数兆字节，为了存储这些数据，包含非易失性半导体闪速 EEPROM 系统的小型卡变得流行。此类存储卡的应用正在飞速增长，当前被用于存储从因特网下载的音乐。音乐数据通常以压缩后的形式在因特网上传送，比如利用众所周知的 MP-3 算法，并且以压缩后的形式存储在卡中，以便后来解压缩和在模拟播放设备上再现。带有存储卡插槽（插座）的、电池驱动的超小型便携播放机开始流行。随着因特网带宽和连接的增加，随着存储卡存储容量的增加，以及随着数据压缩算法效率的提高，在将来此类卡很可能用于存储和传递视频和其它高容量数据。

一种专用于这些和其它应用的卡是多媒体卡（“MMC”），它仅有 32 毫米长，24 毫米宽，1.4 毫米厚。加利福尼亚州 Cupertino 的多媒体卡协会时常更新和出版的“多媒体卡系统规范”中，给出了 MMC 的物理和电学规范。该规范的日期分别为 1999 年 6 月和 2000 年 1 月的 2.11 和 2.2 版，在这里特别引用作为参考。加利福尼亚州 Sunnyvale 的 SanDisk 公司（本申请书的受让人），目前可提供单卡上具有不同存储容量（最高达 64 兆字节）的 MMC 产品。SanDisk 公司 2000 年 4 月出版的“多媒体卡产品手册”第 2 修订版中，介绍了

这些产品，在这里特别引用该手册作为参考。在 Thomas N. Toombs 和 Micky Holtzman 的、均为 1998 年 11 月 4 日提交的、转让给 SanDisk 公司的序列号为 09/185,649 和 09/186,064 的待批准专利申请书中，也介绍了 MMC 产品电学操作的某些方面。在转让给 SanDisk 公司的 6,040,622 号美国专利中，介绍了卡的物理结构和制造方法。这些申请书和专利都在这里特别引用作为参考。

MMC 产品具有一个串行接口，它只用六个电触点，一个用于传递数据，一个用于接收命令和发送响应（状态指示），一个接收时钟信号，三个接收电源。为了将来的使用，已经包括了一个备用的触点。触点的数目少，简化了卡与主机系统的使用，尤其是便携式系统，并且容许减小卡的尺寸。当然，使用单一的数据触点，与通过多个触点并行传递数据（如同具有不同格式的其它更大的存储卡的做法）相比，对于给定的时钟频率，把数据传递出入卡的速率会受到限制。主机系统往往提供两个或更多的插座，以便同时使用两个或更多的 MMC 产品。多个插入的存储卡上的所有数据触点，都由单一的连线连接到主机的处理器，同样，所有的命令/响应触点也都是由单一的连线连接到主机的处理器，卡上所有的时钟触点一起连接到公共的时钟源。

作为系统初始化例程的一部分，需要主机对插入多个系统插座中的每张卡分配唯一的地址。在每张卡的某个寄存器中，其制造商存储了一个唯一的卡标识（“CID”）号，其方式为可由主机读取，但是该号码具有非常大的二进制长度。由于一张卡的地址或者在每条命令之前，或者包括在其它的参数中，它通过单一的命令/响应连线传送到例如所有的卡，所以使用非常大的地址可能会显著地减慢多卡系统的操作。为了对典型系统中使用的少数几张卡进行寻址，不必传送很长的制造商标识。例如，对两张卡寻址只需一位，对多达 4 张卡为两位。所以，在初始化时，在为此目的而配备的内部卡寄存器（称为相对卡地址寄存器“RCA”）中，写入一个小的相对卡地址。

为了使主机处理器最初就能够对每张卡寻址以分配这种地址，主机命令系统中所有的卡一位一位地同时传送其制造商标识码，直到来

自所有卡之数位的组合导致除了一张卡以外，所有卡都不活化。然后，主机把相对地址写入这一张剩余卡的 RCA 中，随后对剩余的卡重复此过程，直到每张卡都给予了一个唯一的小地址。然后，主机使用这些地址，单独访问系统中的这些卡。在 Siemens Aktiengesellschaft 的专利合作条约（“PCT”）国际公开号 WO 97/38370 中，进一步公开了这种初始化技术，在这里特别引用该文档作为参考。

具有单卡数据存储容量 128 兆字节的 MMC 产品，不远的将来可望在市场上出现。对于比 MMC 产品更大的其它闪速 EEPROM 卡，目前市场上已有这么高的容量和高得多的容量。利用目前的 MP3 压缩算法，在单张 128 兆字节的卡上能够存储超过一个小时的音乐。并且随着这种卡的存储容量进一步增加，和/或随着压缩算法进一步缩小数据文件的规模，甚至更长时间的音乐，以及其它类型的数字数据，也能够存储在单独的卡上。因为期待以许多不同的方式来使用小型非易失性存储卡，在结合因特网、在具有单卡插座的主机系统以及具有两个或更多插座以同时使用两个或更多存储卡之主机的使用和存储卡的结构中，需要最大限度地提高其灵活性和效率。

### 发明内容

已经开发了一种新的非易失性存储卡，除了其它改进之外，它还增加了电触点以提高卡的数据传输率，并且改变系统的多张卡中每一张卡的相对地址的分配方式。这种新产品称为安全数字（“SD”）存储卡，它是实施了本发明多个方面之存储卡的一个具体实例。优选情况下，使 SD 卡平面图的尺寸和形状与 MMC 相同，但是 SD 卡的厚度或者可以与 MMC 相同，为 1.4 毫米，或者可以比 MMC 厚，一个实例为 2.1 毫米，该 SD 的外部触点略微凹进。这种 SD 卡包含附加的外部电触点，但是其它触点的位置与 MMC 的触点相同，以便使为接受 SD 卡而设计的插座也将接受 MMC 卡。进一步使 SD 卡的电接口在极大程度上与以上引用的 2.11 版规范中描述的 MMC 产品向后兼容，以便在适应两种类型的卡时，需要改变的主机操作不多。

依据本发明的一个方面，对主机系统和卡进行修改，使得分配给多个 SD 卡或带有类似主机接口的其它电子电路卡中每一个的相对地址，比现在 MMC 产品所需的时间要少。具体地说，在主机和系统的每个插座之间，连接着一条命令/响应连线。那么在系统初始化期间，通过主机和每张卡之间经由卡的各自命令/响应连线的通信，主机控制着对存储卡唯一相对地址的分配。不过，在这种初始化之后，所有的插座命令/响应连线就都连接到一起，所以主机和所有卡之间，与 MMC 的方式相同，经由单一的命令/响应连线进行通信。因此，初始化之后，MMC 在其操作的这个方面，保持了与 SD 卡兼容。通过减少连接到 MMC 产品之命令/响应触点的这些开漏极电路，简化了 SD 卡。对于以相对地址初始化每张卡的有限目的，这种新技术暂时使所有卡插座连接到公共的命令/响应连线的系统，调整为一种点对点通信的系统。随后，主机使用上述相对地址，经由公共的命令/响应连线，与各卡进行通信。对存储卡单独寻址的其它技术，比如对每个插座增加芯片选择线，将会需要进一步修改 SD 卡和主机与它们的接口，所以 MMC 产品就不能用于修改后的系统了。

依据本发明的另一个方面，SD 卡具有两个或更多的数据触点，而不是 MMC 产品中所用的单一数据触点。那么，在主机处理器和每个存储卡插座之间包括了两条或更多条数据线，以便在主机和被寻址的卡之间，同时传递两位或更多位数据。指示卡上数据触点数目的主机可读信息，永久地存储在每张卡中。那么，主机就调整为在它和该卡之间，通过该卡支持的所有可用数据线来传递数据。多卡系统的卡不必全都具有相同数目的数据触点，因为主机在它自己和不同的卡之间传递数据时，能够通过不同数目的多条公共数据线。仅仅通过多条数据线之一来传递数据，修改后的系统就能够与现有的 MMC 产品一起运行。本发明的这个方面也可应用于具有单卡插座的系统中，因为不同数目数据传递的卡能够相互交换，而主机通过读取新卡的特征以及将数据传递配置为经由该卡连接的所有系统数据线，将适应新卡。

依据本发明的再一个方面，通过每次使固定数目的连续数据位—

—比如一位—交替地依次指向多条数据线的每一条，然后再通过执行多条线上数据位的反向组合，由多条线重建数据流，可以经由两条或更多数据路径（连线）传送一种串行数据流，比如一位宽的数据流。在主机和特定的存储卡之间，传送数据经由的数据线的数目等于该卡上的数据针数——可以从一到比如四的一个可变数——时，这种技术很有用。在一个具体的实施例中，在主机和被寻址卡之间的数据传输开始之前，主机通过从该卡的某个寄存器中读取数据线的数目，调整到该数目。

以上的每一个方面可以单独采用，它们也可以组合在一个改进的电子卡系统中。本发明包括主机和多张存储卡之间的组合串行通信，这是它们之间的点对点通信，其方式改进了系统的性能和灵活性，同时与仅仅使用它们之间串行通信的现有系统，还保持了兼容性。

在以下具体实施例的讨论中，包括了本发明的其它特性和优点。阅读这些讨论应当结合附图。

#### 附图简要说明

图 1 显示了一种现有的 MMC 卡以及该卡插入的一种插座；

图 2 是图 1 中现有 MMC 卡的一个示意框图；

图 3 说明了现有的存储器系统，它采用了多个图 1 和图 2 所示的 MMC 卡和插座；

图 4 显示了一种存储器系统，它采用多个存储卡插座，有多条命令/响应连线与之连接，依据本发明的第一方面；

图 5A 至图 5D 显示了图 4 中系统的切换单元的操作条件；

图 6 是一个流程图，说明了图 4 和图 5A 至图 5D 中存储器系统的操作；

图 7 显示了一张存储卡以及该卡插入的插座，依据本发明的第二方面；

图 8 说明了一种存储器系统，它采用多个图 7 所示类型的存储卡插座，并且具有多条数据连线与之连接；

图 9 显示了图 2 的 MMC 卡示意图中一个元件的修改，它用于图 7 说明的存储卡中；

图 10A 至图 10E 说明了通过图 8 的存储器系统的数据流；

图 11 是一个流程图，说明了图 7 至图 9 的存储器系统操作的一个方面；以及

图 12 是一个流程图，说明了图 7 至图 9 的存储器系统操作的另一个方面。

### MMC 产品和系统的介绍

参考图 1，一种现有的 MMC 卡 10，属于以上背景技术中介绍的类型，可以插入插座 20 的插槽 29。卡 10 包括一行七个电触点 11-17，它们在该卡一个表面上，沿着卡的一条短边延伸。插座 20 包括七个配合的触针 1-7，分别连接到连线 21-27。卡触点 12 从主机串行地接收命令信号，并且向主机串行地发送响应（状态信号）。因此，与之配合的插座针脚 2 与命令/响应（“CMD”）连线 22 相连接。要存储在非易失性存储器中的串行数据，通过卡触点 17 接收。连接到与卡触点 17 配合的插座针脚 7 的连线 27，是插座的串行数据（“DAT”）线。22 和 27 这两条连线，与时钟信号输入线 25（它通过插座针脚 5，与卡触点 15 连接）一起提供一个接口，通向主机电脑或其它设备，以便运行卡 10 之内的存储器系统。13、14 和 16 这三个卡触点，分别通过插座针脚 3、4 和 6 连接到外部连线 23（“V<sub>SS</sub>”）、24（“V<sub>DD</sub>”）和 26（“V<sub>SS2</sub>”），从主机系统和设备接收操作电压。卡触点 11，以及相应的插座针脚 1 和连线 21，尚未使用，但是为了将来可能的使用而包括在内。

每张 MMC 卡 10 之内存储器 and 控制器系统的相关部分如图 2 所示。闪速 EEPROM 单元的一个阵列 31 提供了数字数据的非易失性存储器。控制器 33 管理阵列 31 的操作，并通过卡触点 12-17 与主机系统连接。通过触点 17 串行接收的数据，写入寄存器 35，并行传递到数据存储缓冲区存储器 36 中，从缓冲区 36 到控制器 33，然后再到存

存储器单元阵列 31，在那里存储。相反，从存储器单元阵列 31 读取的数据，由控制器 33 并行传递到缓冲区 36 中，再从缓冲区 36 并行传递到寄存器 35 中。然后，读取的数据通过卡触点 17 串行传递出寄存器 35 之外。

同样，来自主机的命令也是通过触点 12 串行发送并存储在寄存器 37 中，然后由控制器 33 并行读取。状态信息由控制器 33 并行加载到寄存器 39 中，随后通过卡触点 12 串行读取。以这种方式触点的命令和响应有许多种类型。例如，假若主机需要把数据写入阵列 31，它就通过 CMD 连线 22 发送一个写命令，接着是通过 DAT 连线 27 发送要写入的数据。按照命令进行的写操作完成之后，控制器 33 把一个状态指示写入寄存器 39，然后主机就能够读取该状态，以确认按照命令进行的操作已经完成了。

在 MMC 卡 10 中还提供了几个其它的寄存器，图 2 中显示了其中的三个。存储卡标识 CID 寄存器 41 不是用户可重写的，而是只读的，为了向主机提供每张卡唯一的标识。在多卡系统初始化期间，以及在系统中增加或替换卡时，由主机在相对卡地址寄存器 RCA 42 中写入一个地址，每张卡随后使用该地址来确定命令 CMD 连线 22 上的命令是否是针对该卡的。相对地址的长度仅仅需要几位，取决于系统之内需要具有唯一地址之卡的数目。与 CID 寄存器 41 中存储的、制造商的唯一标识相比，相对地址要短得多，因此使用它加快了对卡的寻址。来自主机的每条命令，都伴随着或者包括预先写入 RCA 寄存器 42 中的、系统中的一张卡的相对地址，然后该卡就响应并执行该命令，而系统中的其它卡（具有写入其 RCA 寄存器 42 的其它相对地址）则不响应。

一种存储卡特定数据寄存器 43（“CSD”）包括数据格式的信息、数据存取特征以及具体存储器阵列 31 和控制器 33 的类似信息。这种数据中的大部分是由制造商写入的，所以用户不能重写。主机使用 CSD 寄存器的数据，设置它与系统中存储卡通信中的参数，包括被传递之数据的格式、数据如何存取以及类似的性质。

这种存储器系统如图 3 所示，其中主机设备 51（它可以是个人电脑、手持管理器、数码相机、音频再现系统或者类似类型的设备）通过连线 22-27 连接到多个存储卡插座 53、55 和 57，它们分别接收 MMC 卡 59、61 和 63。这种多卡系统包括至少两个此类插座，往往还要多许多。如上所述，命令和响应通过单一的 CMD 连线 22 进行通信，该连线连接到系统中每个插座的针脚 2 上。存储卡 59、61 或 63 插入插座中，其中一个内 RCA 寄存器 42（见图 2）中存储的唯一相对地址，由主机 51 以命令或作为命令一部分的形式，发送到这些卡中被寻址的一张，使其接收和执行该命令。同样，在主机和存储卡之间传递数据是通过单一的 DAT 连线 21，它连接到每个插座的针脚 7。一种频率不变的时钟信号，也通过单一的连线 25，从主机连接到每个插座的针脚 5（图 3 中未显示）。MMC 规范要求该时钟高达 20 MHz。

目前主机把唯一相对地址写入每张卡的 RCA 寄存器 42 使用的技术，使用了每张卡之内的电路，在任何相对地址存在之前，允许主机对它们每次一张地寻址。主机命令每张卡，将每张卡的 CID 寄存器 41 中永久写入的制造商标识号，每次读取一位。每张卡都趋向于按照其标识码的一位，通过某个开漏极电路，影响公共命令和响应连线 22 上的电压。如果该连线的电压与读取位值将导致的电压不同，那么该卡就把它自己切换为不活化状态。如果主机确定仅有一张卡保持连接，它就通过命令和响应连线 22，把一个唯一相对地址写入该卡的 RCA 寄存器 42。然后，这张卡就解除它自己与命令和响应连线 22 的连接，该过程剩余的卡继续进行，直到系统中每张卡的 RCA 寄存器都写入了一个唯一相对地址。

### SD 卡和系统的介绍

#### 使用多条命令/响应连线

图 4 介绍了一种修改的系统，在不以任何显著的方式改变卡的内部电路的前提下，它使得对多张卡分配各自的地址更加容易。与图 1 至图 3 中相同的元件，在图 4 中给予同样的引用号。主机 51' 与主机

51 (见图 3) 类似, 但是包括一个控制器 52, 它与存储卡的命令/响应连线的连接方式不同。不是用一条公共的命令和响应连线连接到每个插座的针脚 2, 而是用分开的连线 71、73 和 75, 连接到插座 53、55 和 57 各自的针脚 2。分开的命令/响应连线 71、73 和 75 中的每一条, 都是开关逻辑电路 65 的一个输出, 该逻辑电路响应电路 69 中来自主机的一个控制信号, 在 71、72 和 75 各条连线之间切换控制器 52 的单一命令/响应连线 67。开关逻辑电路 65 的允许连接如图 5A 至图 5D 所示。开关逻辑电路 65 能够在各条插座命令/响应连线 71、73 和 75 中, 选择任意一条, 使它自己连接到连线 67, 分别如图 5A 至图 5C 所示。在以上的任何一种情况下, 在连线 67 和连线 71、73、75 等等中选定的的一条之间, 信号是以双向通过逻辑电路 65。在图 5D 所示的另一种连接中, 连线 71、73、75 等等, 全部一起连接到连线 67, 以便使主机能够把命令同时广播到所有的存储卡插座。不过, 优选情况下, 当主机正在接收来自一张卡的响应时, 逻辑电路 65 一次只容许一个存储卡插座的命令/响应连线与连线 67 连接。当然, 尽管显示了三条分开的插座命令/响应连线, 如果系统只包含两个存储卡插座, 就使用两条这样的连线。如果系统包含不只三个存储卡插座, 就使用不只三条命令/响应连线, 每个插座使用一条。

在插入图 4 中系统内插座的每张卡中, 为了把唯一相对地址写入 RCA 寄存器, 系统执行的步骤如图 6 所示。当系统加电或者以其它方式初始化时, 就要执行这个例程。在初始化之后, 当一张新卡插入插座时, 也要执行它, 但是只对新插入的卡执行。在主机 51' 和存储卡插座 53、55 和 57 (见图 4) 中每一个之间, 连接着一个分开的存储卡探测电路 (未显示), 以便在一张卡插入或拔出时, 向主机报警。

在初始化过程中的第一个步骤 77, 是使开关逻辑电路 65 把命令/响应连线 71、73 或 75 中的一条, 连接到连线 67。然后在下一个步骤 79 中, 对于选定的命令/响应连线连接的插座, 主机 51' 读取插入其中的任何存储卡的 CID 寄存器 41。尽管这个过程的目的是确定该插座中是否存在存储卡——这发生在步骤 81 中, 但是 CID 由主机读取并存

储，因为典型情况下它包含着有关该卡的信息，主机能够利用这些信息与该卡通信。如果在该插座中没有探测到存储卡，逻辑电路 65 就切换到选择命令/响应连线 71、73 或 75 中的另一条，如步骤 83 所示，并且重复步骤 79 和 81，以便确定新选定的命令/响应连线连接的插座中是否存在存储卡。

如果在被寻址的插座中探测到了存储卡，主机就从该卡申请一个相对地址，如步骤 84 所示。在此之前，在一个特定的实施例中，被寻址的卡已经产生了其自身的地址并将它写入其 RCA 寄存器。然后主机从被寻址的插座中的卡读取该地址，并在它保持的一个表中，检查所建议的地址是否以前已经分配给另一张卡了，如步骤 85 所示。如果确定所建议的地址是唯一的，它就保留在该卡的 RCA 寄存器中，并且主机把它加入主机按插座数目保持的卡地址表中，如步骤 86 所示。在一个特定的实例中，存储卡从卡上包括的随机数发生器产生一个 32 位的地址。有这么多位，一张卡建议的地址与另一张卡相同就不太可能，尤其是在仅仅具有几张卡的常见系统中。但是如果在步骤 85 中确定与以前的地址发生冲突，主机就使该卡在其 RCA 寄存器中产生和存储另一个地址，而主机自身对于新的地址重复步骤 84 和 85。

作为替代每张卡产生其自己地址的方法，但是并非优选情况下，通过每次对一张卡寻址，并在被寻址卡的 RCA 寄存器中写入许多可能的地址中唯一的一个，主机也可以对每张卡分配一个唯一相对地址。

对于一张卡完成了地址分配过程之后，下一个步骤（如步骤 87 所示）中决定，逻辑电路 65 或者是增加以便连接下一个单独的插座（步骤 83），或者是切换到图 5D 所示的一种状态，如步骤 89 所示，如果对所有的插座都已经完成了本过程的话。系统在确认了插座 53、55 和 57 中的每一张卡都已经在其 RCA 寄存器中写入了唯一相对地址之后，通过把所有的命令/响应连线 71、73 和 75 连接在一起，系统就被重新配置回图 3 所示的状态。然后主机就如同在 MMC 系统的情况一样，经由所有的 CMD1、CMD2 和 CMDn 连线，同时向系统中的所有卡发送命令，但是由于开关逻辑电路 65 的性质，此种连接每次只从一张卡

接收响应信号。

这种系统的一个优点是，在初始化期间，MMC 使用一种电路使每张卡依次被寻址，而 SD 卡能够去除这种电路而简化。同时，现有的 MMC 卡也能够用在图 4 和图 5 的系统中使用。需要这样做时，主机会识别在其系统插座的每一个中，是 SD 卡还是 MMC 卡，比如根据从每张卡读取的 CID。然后，主机对每个插座应用对该插座中之存储卡适用的通信协议和例程。例如，地址分配例程和卡复位操作就不同，其它序列也是如此。由于 SD 卡的时钟速率可以高一些，高达 25 MHz，如果在系统中使用了 MMC 卡，主机将选用它的较低的时钟速率。如果主机配备了同时使用两种类型存储卡的能力，用户就不必区分插入一个系统插座的是一张新的 SD 卡，还是一张现有的 MMC 卡。

图 4 和图 5 的系统中各个插座的命令/响应连线，也可以用于引导所有的命令到各个插座，而不是把相对地址包括在内，或者说作为命令的一部分，如同现在 MMC 系统中的做法，但是那样新系统将会与 MMC 卡不兼容，需要主机以很不同的方式与每种类型的存储卡通信。

新的 SD 卡系统的另一个优点是，主机知道某张指定地址的卡插入的插座。这是因为地址载入一张卡的 RCA 寄存器时，通向该插座的 CMD 连线是活化的。这使得它更容易处理拔出一张卡或者增加一张新卡的情况。对于 SD 卡，只有新卡需要把分配地址作为其初始化的一部分。在 MMC 系统中，因为只有单一的 CMD 连线，主机不知道某张具体的卡是插在哪一个插座中。在 MMC 系统中替换或增加一张卡时，系统必须对系统中的所有卡初始化，因此延迟了系统的继续运行。

#### 可选择的数据总线宽度

本发明的第二方面见图 7 至图 12 所示，其中介绍了新型 SD 卡的数据传输特性。通过增加每个存储卡插座连接的数据线（经由这些线同时传送数据），提高了在主机和各张卡之间数据传输的速率。在这个实例中，显示了四条数据线，这使数据传输速率增加为四倍。在主机和 MMC 卡之间，只经由多条数据线中的一条传送数据。在 SD 卡的特定实施例中，一次使用的数据线或者是一条，或者是四条。

SD卡90和与之配合的插座100如图7所示。虽然上面参考图4至图6介绍的本发明的第一方面，可以利用与图1中的MMC卡10触点数目同样多的卡来实现，但是本发明的这个方面使SD卡的电触点的数目增加。SD卡90具有与图1中的MMC卡10相同的触点11-17，并且在同样的相对位置，但是还具有为数据传输而增加的两个新触点91和92。MMC卡的备用触点11现在也被SD卡用于数据传输。因此，SD卡使用11、17、91和92四个触点，把数据传送出入卡90之内的存储器。一种配合的插座100（见图7）同样具有与图1中插座20相同的针脚1-7，加上两个附加的针脚8和9。结果，每个存储卡插座连接着27（针脚7）、101（针脚8）、102（针脚9）和21（针脚1）四条数据线。

修改的系统如图8所示，其中主机51'已经经过修改，使之能够经由多于一条数据线，向104、106和108多个插座（它们分别具有插座100的结构，见图7）中的每一个，同时传送数据。21、27、101和102四条数据线通过开关逻辑电路110、111、112和113，把每个插座与多路转接器105连接起来。对于插座106至108之一中插入的一张卡，连线107中要存入卡中的单一数据流，由多路转接器按时间次序，在110至113四个开关逻辑电路中交替地切换，以响应连线109中来自主机控制器52'的控制信号。同样，从卡中读取数据时，通过多路转接器105在电路110至113之间切换，在连线107中组装成这样一种单一的数据流。

存储卡插座连接的多条数据线中的每一条，都配备了一个开关连接电路（110至113之一），电路110用于数据线DAT 0，电路111用于数据线DAT 1，电路112用于数据线DAT 2，电路113用于数据线DAT 3。它们由连接到主机控制器52'的连线114上的信号控制。对于104、106和108多个插座中任何一个之中的存储卡，在写操作期间，开关逻辑电路110至113中的每一个，都把它所有的四个输出连接到它的输入。因此，要写入的数据就广播到所有的插座。不过，从一张卡读取数据时，电路110至113中的每一个，都切换至只把输入连线

连接到插入了正在读取之存储卡的插座连接的输出连线。

在一个特定的实例中，为了适应多条数据线，图 2 中的数据寄存器 35 及其操作，在 SD 卡中进行了图 9 和图 10A 至图 10E 所示方式的修改。在写入期间，主机控制器 52'（见图 8）在连线 107 中产生单一的数据流。这种数据流如图 10A 所示，其中字母 A、B、C 等等每个表示一位数据。为了仅仅传送一位数据，多路转接器 105 依次把逻辑电路 110 至 113 每次一个地连接到连线 107。对于存储卡具有四个数据触点因而 DAT 0、DAT 1、DAT 2 和 DAT 3 所有四条数据线都使用的情况，如图 10B 所示。多路转接器 105 经由数据线 DAT 0 发送第一位 A，经由数据线 DAT 1 发送第二位 B，经由数据线 DAT 2 发送第三位 C，经由 DAT 3 发送第四位 D，然后重新开始把数位 E 发送到数据线 DAT 0，依此类推。数据寄存器 35' 接收这四支数据流，并重新组装成图 10A 中的数据序列，然后通过电路 38' 并行地传送到数据缓冲区，它类似于图 2 中的缓冲区 36。优选情况下，每支单独的串行数据流都经由其各自的数据线发送，而该数据流是由其数位累积成块，每块都包括由该块的数据计算出的循环冗余检验（“CRC”）位。在一个特定的实例中，每一块都包括起始位，然后是数据，接着是 CRC，然后是停止位。

虽然任何一条数据线的数据传输速率都是有限的，但是经由多条数据线同时传送数据，使该速率提高的倍数近似等于数据线的数目。例如，假若使用两条数据线，就在连线 107 中提供图 10C 所示的、具有图 10A 一半速率的数据流。然后，多路转接器 105 在数据线 DAT 0 和 DAT 1 之间切换这支数据流，产生图 10D 所示的数据流。然后，被寻址卡中的数据寄存器 35' 把 DAT 0 和 DAT 1 两支数据流重新组装成图 10C 中的数据流，并经由连线 38' 并行地传送数据。如果仅仅使用一条数据线，多路转接器 105 就与单一的数据线比如 DAT 0 保持连接，连线 107 中的、具有降低数据速率（如图 10E 所示）的数据流，被引导至该数据线。

相反，从存储卡读取数据时，数据并行地加载到寄存器 35' 中，

并经由数据线以图 10B、图 10D 或图 10E 所示的格式发送，取决于使用的数据线的数目。如果经由多于一条数据线发送数据，多路转接器 105 就在所使用的数据线之间来回切换，以便在连线 107 中产生对应于图 10A、图 10C 或图 10E 之一的数据流，取决于使用的数据线的数目。

图 8 中的系统需要能够接受具有不同数目之数据线触点的存储卡，一个、两个或者任何其它的数目，直到系统中提供的数据线的数目（在这个实例中是四条数据线），并且能够在系统中自由地混用和交换此类存储卡。对于某些应用，不需要系统中多条数据线（本例中是四条）提供的高数据速率。对于这些应用，有一种版本的 SD 卡带有较少的数据针脚。该卡中相应地也减少了接口电路的数目，从而降低了该卡的成本。带有两个活化数据针脚的卡也有用，正如只带有一个针脚的卡一样。

为了在同一系统中能够使用数据线数目不同的卡，优选情况下，在各卡中提供了一个只读区域，主机读取该区域后就能确定它能使用多少条数据线与该卡通信。在一个特定的实施例中，它包括在 SD 卡配置寄存器（“SCR”）中，该寄存器是在图 2 所示的 MMC 卡的寄存器中增加的。在加电时、某个其它时间的初始化时或者插座中插入一张新卡时，主机 51”都要读取这个区域，随后以每张卡能够适应的数据线的数目，传送被寻址的数据。但是，由于每增加一条数据线，都会因提供附加的电路而增加某些成本，某些卡设计为利用较少的数据线工作。相反，主机可以设计为，在少于可能的数据线的情况下，也能运行。不论是对于存储卡还是对于主机系统，如果对于一种具体的应用，不需要增加数据传输速度，那么就on能够避免因为提供更高的数据传输速率而增加复杂性和成本。

动态地选择主机和一张或多张存储卡之间数据总线宽度的能力，使得该主机能够使它与插入系统中的无论任何存储卡之间的数据传输速率达到最大。虽然完全有可能使用其它技术在多条数据线之间分解数据，但是更愿意使用以上介绍和图 10A 至图 10E 所示的技术，来调

整主机适应数据总线宽度不同的存储卡，在替换或增加存储卡时动态地调整，甚至通过使用各卡最大数目的数据线，与总线宽度不同的多种卡这的每一张进行通信。另一种技术是沿着每条数据线，交替发送包含多个连续数据位的数据包。但是这样做需要某些额外开销，用于保持跟踪数据包等任务。如上所述，通过在多条平行的数据路径每次一位，交替数据流中的连续数位更简单，尤其是当系统需要调整到适应数据线数目不同的存储卡时。确实，除了本文介绍的存储卡系统之外，这种数据传输技术还有其它的应用。

图 11 中的流程图说明了图 7 至图 10E 中存储器系统之操作方面的一个方面，在该系统中，对于两个或更多插座 104、106 和 108 中安装的每张卡，主机 51”确保该卡操作所需的数据线数目。在第一步骤 121 中，主机经由命令/响应连线 22，按照已经写入存储卡的 RCA 寄存器 42（见图 2）的相对地址，对存储卡之一进行寻址。下一步，在步骤 123 中，主机从存储卡的 SCR 寄存器读取该卡的数据线数目。然后，如步骤 125 所示，这个数目由主机存储，优选情况下是以表格形式。如果系统的插座中的所有存储卡都已读取，该过程结束；否则，步骤 129 就对系统中的另一张卡进行寻址，并对该卡重复步骤 123 和 125。

图 12 是一个流程图，说明了主机 51”如何使用系统中存储卡数据线数目的储存数据。无论何时，只要主机对某个存储卡插座进行寻址，如步骤 131 所示，主机都要从图 11 中过程构建的内部表格中，读取该卡的数据线数目。这一步如步骤 133 所示。然后，如步骤 135 所示，主机运行多路转接器 105，根据从该表格中读取的数目，经由 DAT 0、DAT 1、DAT 2 和 DAT 3 四条数据线传送数据。在下一个步骤 137 中，经由该数目的数据线传送数据，无论是去往还是来自存储卡。在存储卡只有一条数据线的情况下，在一个特定的实例中，优选情况下主机经由连线 27（DAT 0）同存储卡传送数据，因为这采用了与 MMC 产品相同的卡触点 17，因此使系统与 MMC 卡兼容。MMC 卡可以与 SD 卡一样用于图 8 至图 10E 的系统中。优选情况下，在初始化期间主机

仅仅经由 DAT0 连线与每张卡进行通信，以便确定该卡是 MMC 卡还是 SD 卡，如果是 SD 卡，还要确定它使用的数据线数目和有关该卡的其它信息，该信息使系统提高运行效率。

图 8 的系统，既能够按照 MMC 的设计使用单一的命令/响应连线 22（未显示），又能够使用参考图 4 至图 6 介绍的多命令/响应连线系统。这种选择不影响存储卡的结构和电路。

虽然针对文中的特定实施例，已经介绍了本发明的多个方面，应当理解，本发明有权保护附带的权利要求书的全部范围。尤其是本发明不限于带有任何具体数目的数据线和存储卡的系统，前面的介绍中使用的数目，仅仅是为了说明的目的而选用的。

图1  
(现有技术)

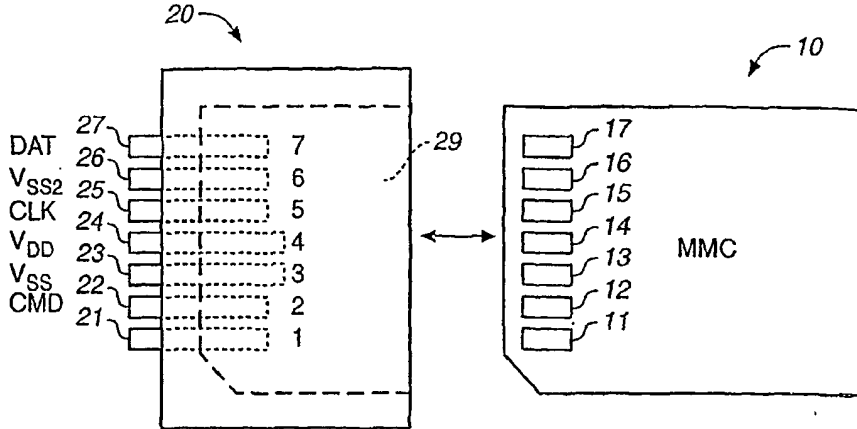


图2  
(现有技术)

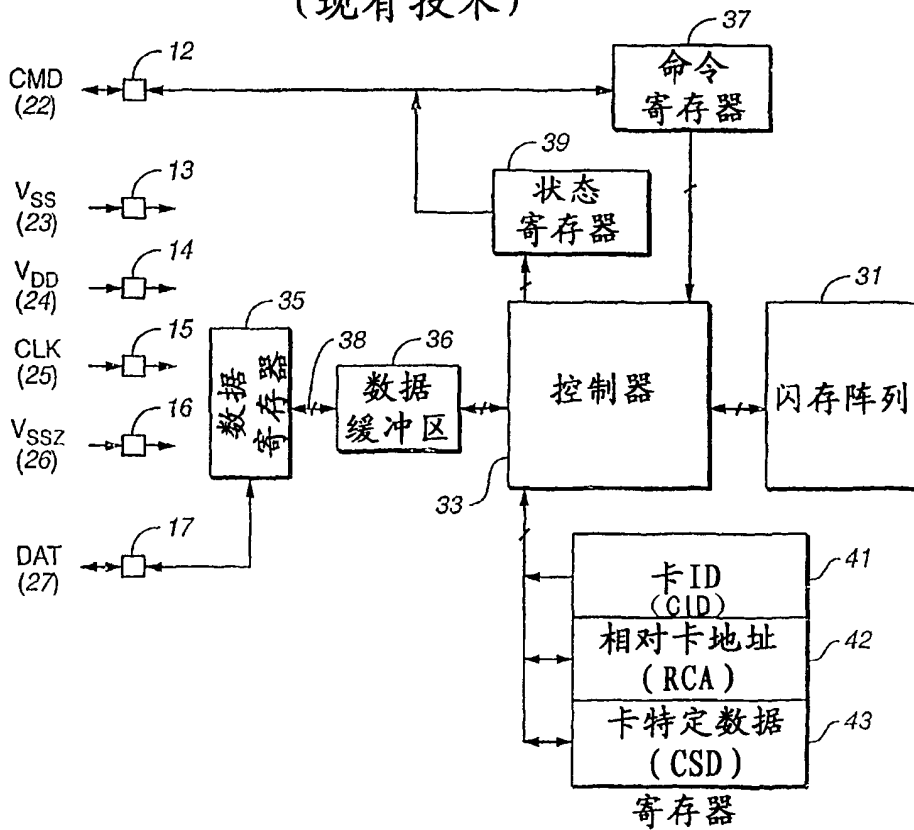


图3  
(现有技术)

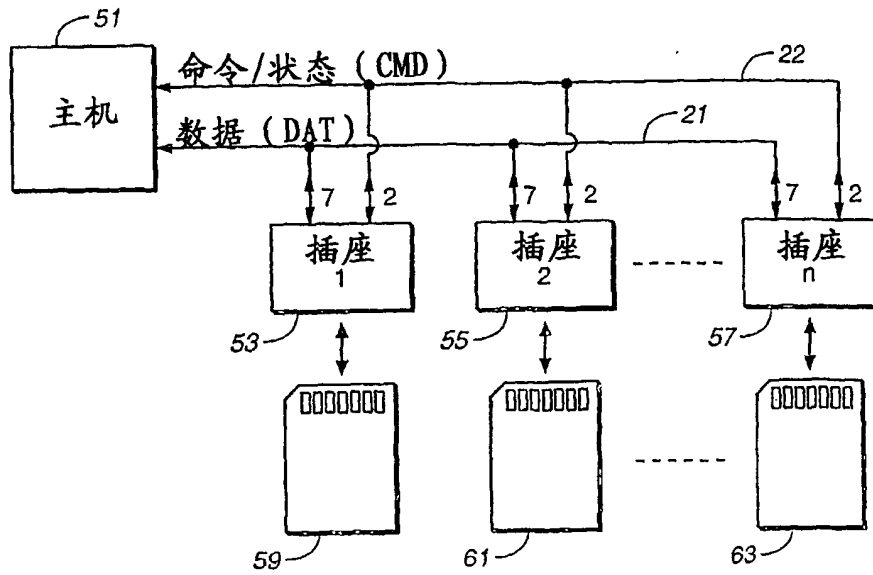
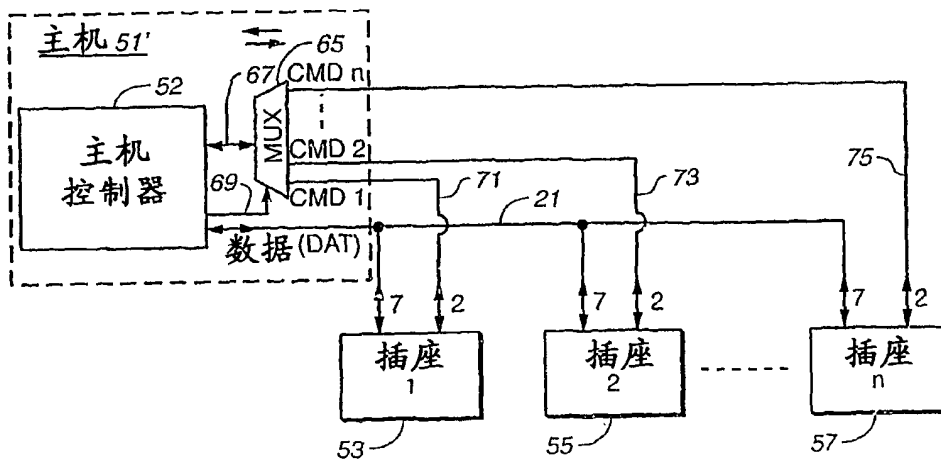


图4



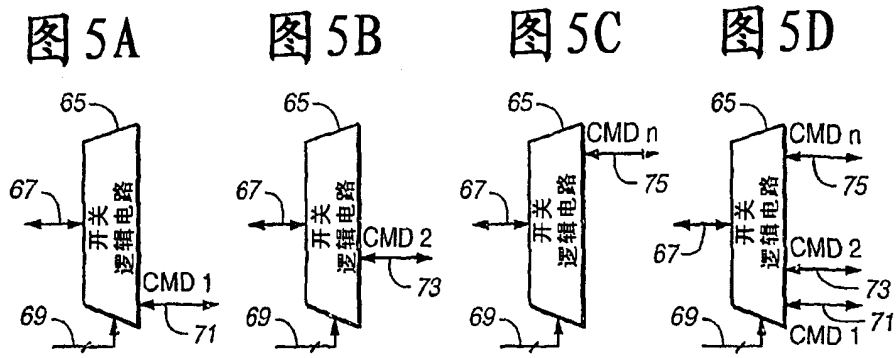


图 7

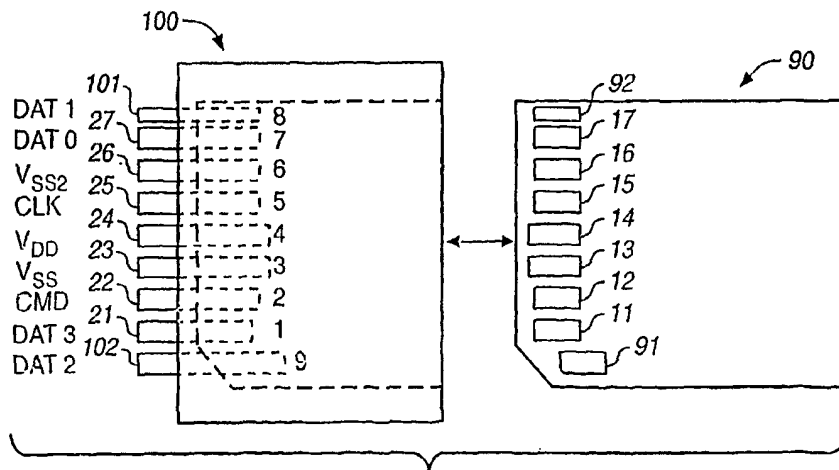


图6

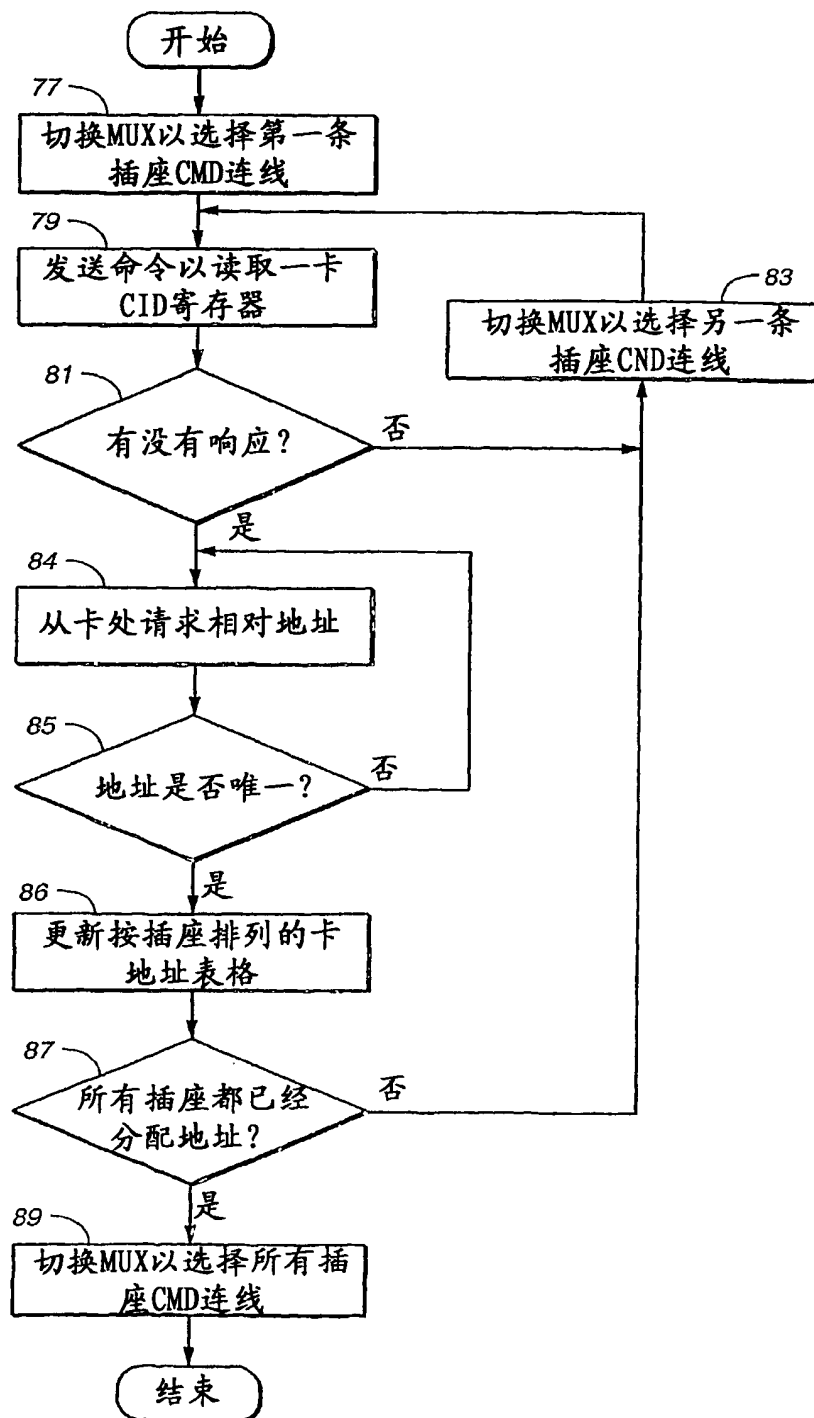


图8

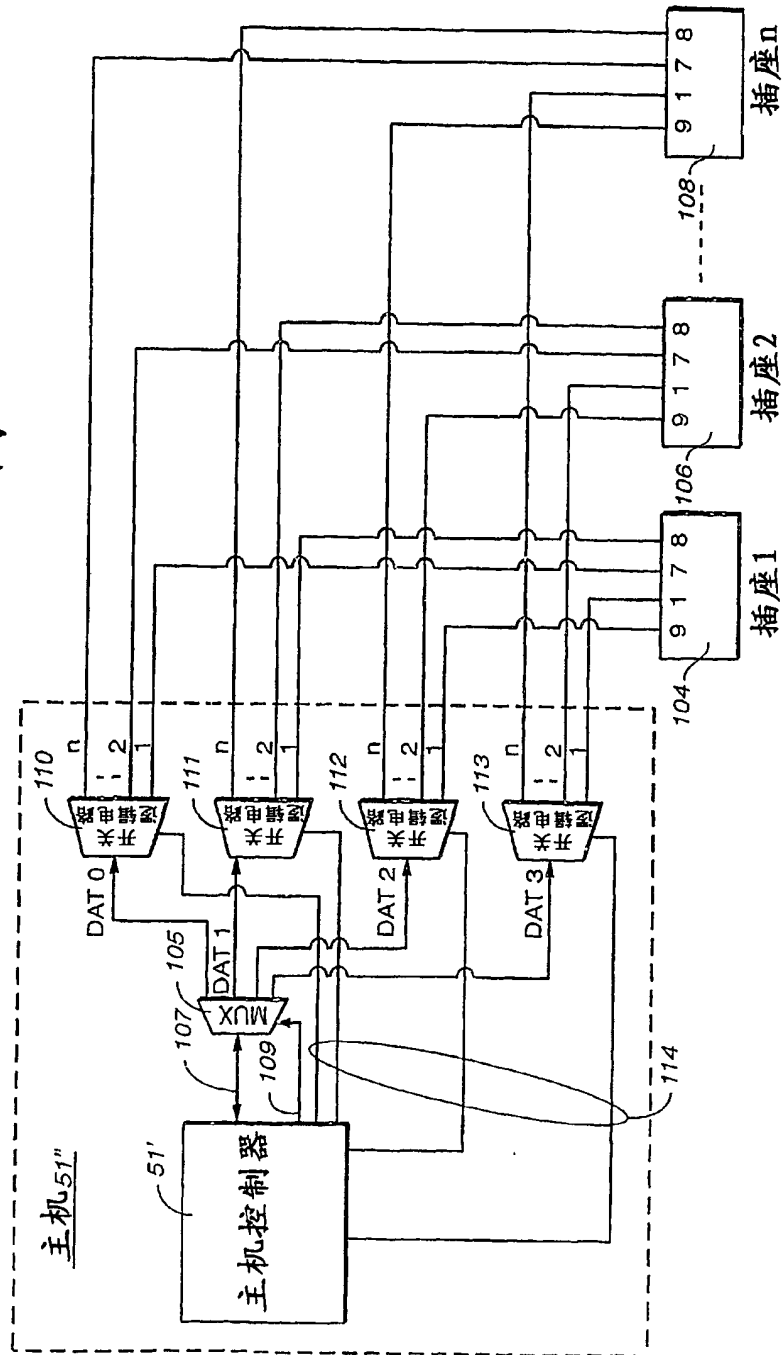


图9

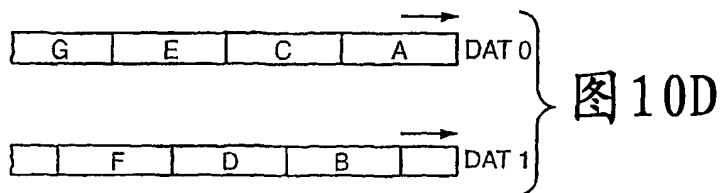
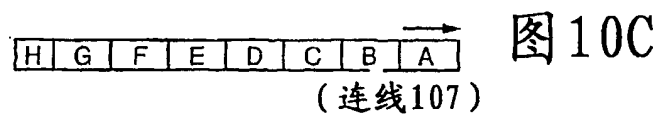
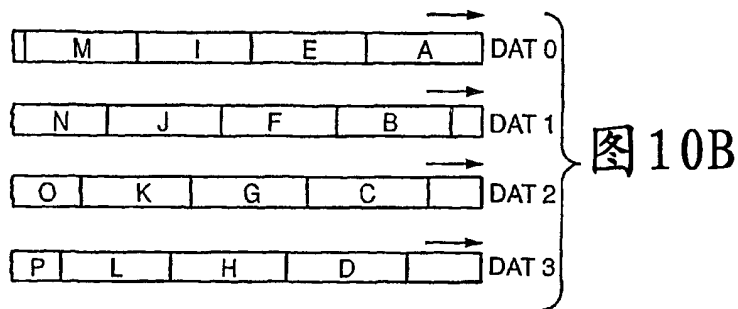
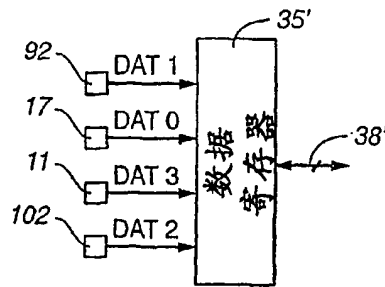


图11

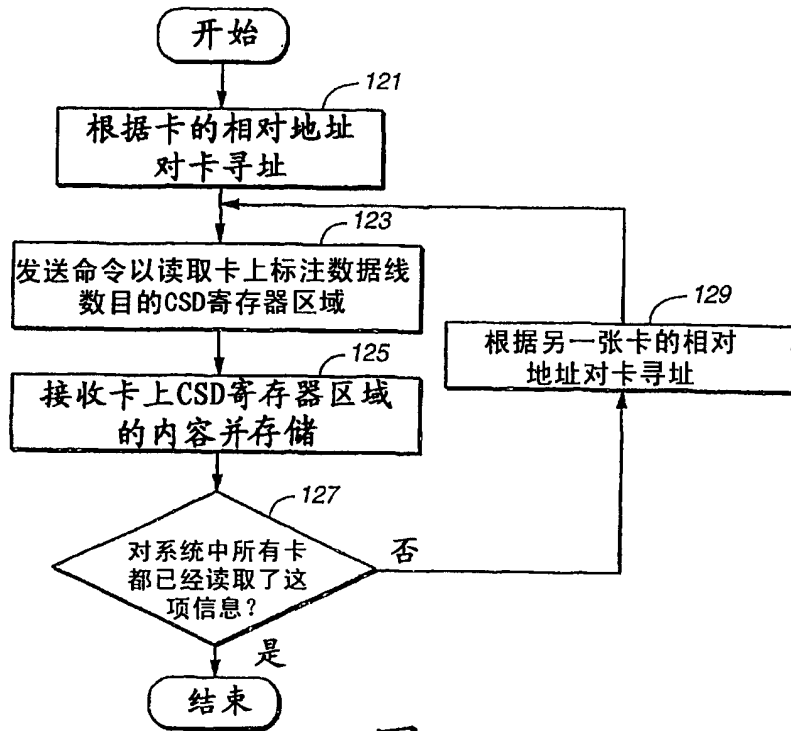


图12

