

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2009年3月12日 (12.03.2009)

PCT

(10) 国際公開番号
WO 2009/031586 A1

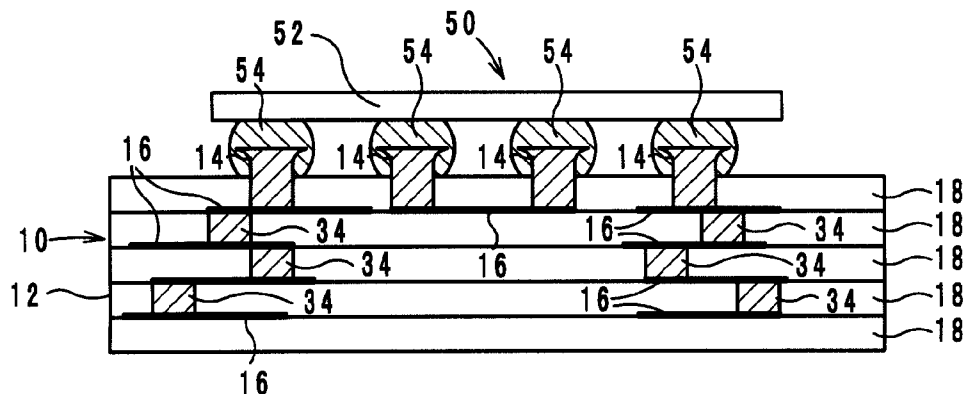
- (51) 国際特許分類:
H05K 3/34 (2006.01) H01L 23/12 (2006.01)
H01L 21/60 (2006.01) H01L 23/13 (2006.01)
- (21) 国際出願番号: PCT/JP2008/065894
- (22) 国際出願日: 2008年9月3日 (03.09.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2007-231313 2007年9月6日 (06.09.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 福田 寛
- (74) 代理人: 森下 武一, 外 (MORISHITA, Takekazu et al.); 〒5410054 大阪府大阪市中央区南本町4丁目2番18号 サンモビル Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

/ 続葉有 /

(54) Title: CIRCUIT BOARD AND METHOD FOR MANUFACTURING CIRCUIT BOARD

(54) 発明の名称: 回路基板及び回路基板の製造方法

[図2]



(57) Abstract: Provided is a circuit board, which has a protruding terminal and does not easily generate connection failure between electronic component, such as an IC, and the circuit board. A method for manufacturing such circuit board is also provided. An IC (50) is mounted on a circuit board (10). A terminal (14) is electrically connected to a solder bump (54) formed on the IC (50) and is formed to protrude from a mounting surface whereupon the IC (50) is mounted in a substrate main body (12). The area of the leading end surface of the terminal (14) is 1.2 times the cross-section area of the terminal (14) on the mounting surface or larger.

(57) 要約: 突出した端子を備えた回路基板であって、IC等の電子部品との間で接続不良が発生しにくい回路基板及び回路基板の製造方法を提供する。IC(50)が実装される回路基板(10)。端子(14)は、IC(50)に形成されたはんだバンプ(54)と電氣的に接続される端子であって、基板本体(12)においてIC(50)が実装される実装面から突出するように形成された端子である。前記端子(14)の先端面の面積は、前記実装面における該端子(14)の断面積の1.2倍

/ 続葉有 /

WO 2009/031586 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE,

SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

明 細 書

回路基板及び回路基板の製造方法

技術分野

[0001] 本発明は、回路基板及び回路基板の製造方法、より特定的には、電子部品が実装される回路基板及び回路基板の製造方法に関する。

背景技術

[0002] 従来、回路基板上にIC等の電子部品を実装する場合には、以下のような実装方法が行われていた。回路基板の主面上には、平板状の電極パッドがアレイ状に形成される。一方、ICの主面上には、はんだバンプがアレイ状に形成される。電極パッド上にはんだバンプが位置するように回路基板上にICを搭載し、リフローする。これにより、はんだバンプが溶融し、はんだバンプと電極パッドとが固定され、回路基板上にICが実装される。

[0003] しかしながら、前記実装方法では、回路基板とICとの熱膨張係数が異なるため、例えば、回路基板が熱により歪んでしまい、回路基板とICとの間に接続不良が発生するおそれがある。そこで、特許文献1や特許文献2に記載の半導体素子基板では、平板状の電極パッドを半導体素子基板に形成するのではなく、半導体素子基板の主面から突出する柱状バンプを形成している。

[0004] 前記柱状バンプは、電極パッドに比べて高さを有しているので、伸縮性を有する。したがって、回路基板が熱により歪んでしまったとしても、柱状バンプが歪みを吸収できる。その結果、特許文献1や特許文献2に記載の半導体素子基板は、回路基板とICとの間に接続不良が発生することを抑制できる。

[0005] しかしながら、前記半導体素子基板では、回路基板上にICを正確に実装することが困難であるという問題が存在する。以下に、図面を参照しながら説明する。図11は、半導体素子基板100とIC104との実装工程の一部を示した図である。

[0006] 前記半導体素子基板100では、柱状バンプ102にはんだバンプ106を位置合わせしてIC104を半導体素子基板100上に搭載し、その後、リフローする必要がある。ところが、柱状バンプ102及びはんだバンプ106の形成精度や半導体素子基板100

の歪み、IC104の搭載精度のばらつき等により、図11(a)に示すように柱状バンプ102上にはんだバンプ106がずれた状態で搭載される場合がある。このように柱状バンプ102上にはんだバンプ106がずれた状態で搭載されると、搭載後からリフローまでの間において搬送時の衝撃などにより、図11(b)に示すように柱状バンプ102とはんだバンプ106との接触が外れてしまう場合がある。この状態で、リフローが行われると、半導体素子基板100とIC104との間で接続不良が発生してしまう。

特許文献1:特許第3203731号公報

特許文献2:特開平8-88470号公報

発明の開示

発明が解決しようとする課題

[0007] そこで、本発明の目的は、突出した端子を備えた回路基板であって、IC等の電子部品との間で接続不良が発生しにくい回路基板及び回路基板の製造方法を提供することである。

課題を解決するための手段

[0008] 本発明は、電子部品が実装される回路基板において、基板本体と、前記電子部品に形成されたバンプと電気的に接続される端子であって、前記基板本体において前記電子部品が実装される実装面から突出するように形成された端子と、を備え、前記端子の先端面の面積は、前記実装面における該端子の断面積の1.2倍以上であること、を特徴とする。

[0009] 本発明によれば、端子の先端面が基板本体の実装面における端子の断面に比べて広がっているので、端子とはんだバンプとが位置合わせされた後からリフローされるまでの間に衝撃により端子とはんだバンプとの接触が外れることが抑制される。その結果、電子部品と回路基板との間の接続不良が発生しにくくなる。

[0010] 本発明において、前記実装面に平行な断面における前記端子の断面積は、前記実装面から該端子の先端面にいくにしたがって、大きくなっており、前記先端面側における前記端子の断面積の変化率は、前記実装面側における該端子の断面積の変化率よりも大きくてもよい。

[0011] 本発明において、前記基板本体は、互いに積層された複数のセラミック層と、前記

セラミック層と共に積層された内部導体層と、を含み、前記端子は、前記内部導体層に電氣的に接続されていてもよい。

[0012] 本発明は、電子部品が実装される回路基板において、基板本体と、前記電子部品に形成されたバンプと電氣的に接続される端子であって、前記基板本体において前記電子部品が実装される実装面から突出するように形成された端子と、を備え、前記実装面に平行な断面における前記端子の断面積は、前記実装面から該端子の先端面にいくにしたがって、大きくなっており、前記先端面側における前記端子の断面積の変化率は、前記実装面側における該端子の断面積の変化率よりも大きいこと、を特徴とする。

[0013] 本発明は、回路基板の製造方法に対しても適用可能である。具体的には本発明は、電子部品が実装され、かつ、該電子部品に形成されたバンプと電氣的に接続される端子を備えた回路基板の製造方法において、第1のシート上に該第1のシートよりも軟らかいマスク層を形成する工程と、前記マスク層に貫通孔を形成する工程と、前記貫通孔に導体を充填する工程と、前記マスク層が最上層となるように、複数の第2のシート、前記第1のシート及び該マスク層を圧着して積層体を得る工程と、前記積層体から前記マスク層を除去する工程と、を備えること、を特徴とする。

[0014] 本発明において、前記マスク層の軟化点は、前記第1のシートの軟化点よりも低くてもよい。

[0015] 本発明において、前記第1のシート、前記第2のシート及び前記マスク層を圧着する工程では、前記マスク層の軟化点よりも高い温度であって、かつ、前記第1のシートの軟化点よりも低い温度で加熱しながら圧着を行ってもよい。

[0016] 本発明において、前記貫通孔を形成する工程では、前記マスク層側からレーザービームを照射して該貫通孔を形成してもよい。

[0017] 本発明において、前記第1のシート及び前記第2のシートは、セラミックグリーンシートであり、前記マスク層は、樹脂からなり、前記マスク層を除去する工程では、前記積層体の焼成時に、該マスク層が焼失してもよい。

[0018] 本発明において、前記貫通孔を形成する工程では、前記第1のシート及び前記マスク層を貫通するように該貫通孔を形成してもよい。

[0019] 本発明において、前記マスク層、前記第1のシート及び前記第2のシートを圧着する工程では、弾性体を介して該マスク層及び該第1のシートに金型を押し付けてもよい。

発明の効果

[0020] 本発明によれば、端子の先端面が基板本体の実装面における端子の断面に比べて広がっているので、電子部品と回路基板との間の接続不良が発生しにくくなる。

図面の簡単な説明

[0021] [図1]ICが回路基板上に位置合わせされた状態を示した断面構造図である。

[図2]図1のIC及び回路基板に対してリフローが行われた後の断面構造図である。

[図3]回路基板の製造過程における工程断面図である。

[図4]回路基板の製造過程における工程断面図である。

[図5]回路基板の製造過程における工程断面図である。

[図6]回路基板の製造過程における工程断面図である。

[図7]図7(a)は、第1の参考例に係るICと回路基板との接続構造を示した断面構造図である。図7(b)は、第2の参考例に係るICと回路基板との接続構造を示した断面構造図である。図7(c)は、本実施形態に係るICと回路基板との接続構造を示した断面構造図である。

[図8]図8(a)は、第3の参考例に係る回路基板にICを実装したときの接続構造を示した断面構造図である。図8(b)は、本実施形態に係る回路基板にICを実装したときの接続構造を示した断面構造図である。

[図9]変形例に係る回路基板の製造過程における工程断面図である。

[図10]端子の変形例を示した図である。

[図11]従来の半導体素子基板とICとの実装工程の一部を示した図である。

発明を実施するための最良の形態

[0022] 以下に、本発明の一実施形態に係る回路基板及び回路基板の製造方法について説明する。

[0023] (回路基板の構成について)

以下に、回路基板の構成について図面を参照しながら説明する。図1は、半導体

集積回路(以下ICと称す)50が回路基板10上に位置合わせされた状態を示した断面構造図である。図2は、図1のIC50及び回路基板10に対してリフローが行われた後の断面構造図である。

[0024] 回路基板10は、電子部品であるIC50が表面実装される基板であり、図1に示すように、基板本体12、端子14及び内部導電層16を備える。基板本体12は、絶縁体である複数のセラミック層18が積層されて構成される。内部導電層16は、基板本体12の内部においてセラミック層18と共に積層されて、回路を形成している。また、内部導電層16同士は、ビア導体34により接続されている。

[0025] 端子14は、基板本体12においてIC50が実装される実装面(以下、単に基板本体12の実装面と称す)から突出するように基板本体12の実装面上にアレイ状に複数形成され、内部導電層16からなる回路とIC50とを電氣的に接続する役割を果たす。そのため、端子14は、基板本体12内において、内部導電層16に電氣的に接続されている。

[0026] 更に、端子14は、端子14の先端面の面積 $S1$ が基板本体12の実装面における端子14の断面積 $S2$ よりも大きくなるように、形成されている。これにより、IC50が回路基板10上に位置合わせされてからリフローされるまでの間に、衝撃により図11(b)に示すように柱状バンプ102とはんだバンプ106との接触が外れてしまうことを防止している。理由については、後述するが、面積 $S1$ は、断面積 $S2$ の1.2倍以上であることが好ましい。なお、端子14の先端面の面積 $S1$ とは、基板本体12の実装面に対する法線方向から端子14に平行光を当てたときに、端子14が実装面に投影されて形成された影の面積を指す。

[0027] 一方、IC50は、IC本体52及びはんだバンプ54を備える。IC本体52は、シリコン基板に回路が形成されたものである。はんだバンプ54は、IC本体52の実装面上にアレイ状に複数形成され、IC本体52に形成された回路と端子14とを電氣的に接続する端子としての役割を果たす。

[0028] 以上のように構成された回路基板10及びIC50は、図1に示すように、端子14とはんだバンプ54とが接触するように位置合わせされた状態で配置される。これら回路基板10及びIC50には、リフローが施される。これにより、はんだバンプ54は、図2に示

すように、溶融して端子14を覆うように変形する。その結果、IC50は、回路基板10上に実装される。

[0029] (回路基板の製造方法)

以上のように構成された回路基板10の製造方法について、以下に図面を参照しながら説明する。図3ないし図6は、回路基板10の製造過程における工程断面図である。

[0030] まず、酸化バリウム、酸化ケイ素及びアルミナを含むセラミック原料粉末にバインダー、可塑剤及び溶剤を混合したスラリーを準備する。次に、ドクターブレード法などのシート成形方法を用いて、このスラリーをキャリアフィルム上にシート状に成形してセラミックグリーンシートを得る。このセラミックグリーンシートは、所定サイズに裁断される。

[0031] セラミックグリーンシートが完成したら、基板本体12を構成する各層を作製する。まず、図3(a)に示すように、セラミックグリーンシート20に対して、打ち抜き加工を施して、貫通孔24を形成する。この後、図3(b)に示すように、CuやAg等の導体を主成分とする導体ペーストを貫通孔24に充填して、ビア導体34を形成する。

[0032] 次に、CuやAg等の導体を主成分とする導体ペーストをセラミックグリーンシート20の主面上にスクリーン印刷して、所定のパターンの内部導電層16を形成する。図3(a)～図3(c)に示す工程により、基板本体12を構成する層の一層分が完成する。図3(a)～図3(c)に示す工程は、基板本体12を構成する全ての層が完成するまで繰り返される。

[0033] 次に、基板本体12の最上層に積層される層を、セラミックグリーンシートを用いて作製する。具体的には、図4(a)に示すように、ポリプロピレン、ブチラール、アクリル等を主成分とする樹脂ペーストをセラミックグリーンシート20の主面上にスクリーン印刷して、マスク層30を形成する。このマスク層30を構成する材料は、セラミックグリーンシート20よりも軟らかく変形し易い材料であり、更には、マスク層30を構成する材料の軟化点は、セラミックグリーンシート20を構成する材料の軟化点よりも低いことが好ましい。

[0034] マスク層30の形成後、図4(b)に示すように、セラミックグリーンシート20及びマスク

層30に対して、打ち抜き加工を施して、セラミックグリーンシート20及びマスク層30を貫通する貫通孔32を形成する。この後、図4(c)に示すように、CuやAg等の導体を主成分とする導体ペーストを貫通孔32に充填して、端子14を形成する。なお、この段階では、端子14は、図1に示すような、端子14の先端面の面積 S_1 が基板本体12の実装面における端子14の断面積 S_2 よりも大きくなる形状をとっていない。

[0035] 次に、図5(a)に示すように、マスク層30が最上層に位置し、その下に、複数のセラミックグリーンシート20が位置するように、マスク層30及びセラミックグリーンシート20を積層する。なお、実際に積層される際には、セラミックグリーンシート20からキャリアフィルム22を剥がし、積層する。これにより未焼成の積層体40が得られる。

[0036] 次に、図5(b)に示すように、得られた未焼成の積層体40をベース金型42に入れ、セラミックグリーンシート20及びマスク層30を上側から金型蓋44により圧力をかけて、積層体40を圧着する。この際、金型蓋44をマスク層30の材料の軟化点よりも高い温度であって、かつ、セラミックグリーンシート20の材料の軟化点よりも低い温度で加熱しながら圧着を行う。これにより、マスク層30のみが軟化し、金型蓋44の圧力により積層方向に押し潰される。この際、端子14の先端面も積層方向に押し潰されて、端子14の先端面が積層方向に対する垂直方向に広がる。その結果、端子14は、図6に示すような、端子14の先端面の面積 S_1 が基板本体12の実装面における端子14の断面積 S_2 よりも大きくなる形状をとるようになる。なお、金型蓋44の温度が 65°C 、金型蓋44の圧力が $400\text{kg}/\text{cm}^2$ の条件で圧着を実行した。なお、この 65°C とは、マスク層30の材料の軟化点である。

[0037] 最後に、未焼成の積層体40を焼成する。この際、マスク層30は、高温により焼失する(焼き飛ばされる)。なお、 990°C の温度で1時間の焼成を行った。以上の工程を経て、図1に示すような、回路基板10が完成する。

[0038] (効果)

回路基板10によれば、端子14の先端面の面積 S_1 が基板本体12の実装面における端子14の断面積 S_2 よりも大きいので、IC50が回路基板10上に位置合わせされてからリフローされるまでの間に、衝撃により図11(b)に示すように柱状バンプ102とはんだバンプ106との接触が外れてしまうことが防止される。特に、面積 S_1 が断面積 S

2の1.2倍以上であれば、柱状バンプ102とはんだバンプ106との接触が外れてしまうことがより有効に防止される。以下に、本願発明者が行った実験結果に基づいて説明する。

[0039] 以下に示す表1は、S1/S2と、回路基板10とIC50との接続不良(ショート)の発生率との関係を示した表である。

[0040] [表1]

S1/S2	ショート発生率
1.052	8.3%
1.108	3.2%
1.169	1.4%
1.235	0.1%
1.306	0%
1.384	0%

[0041] なお、実験条件としては、端子14間の間隔を0.3mmとし、端子14の先端面の面積S1を0.0314mm²とした。

[0042] 表1から明らかなように、S1/S2が1.2以上になると、ショート発生率が大幅に減少する。故に、面積S1は、断面積S2の1.2倍以上であることが好ましい。

[0043] また、回路基板10によれば、リフロー後にIC50からはんだバンプ54が剥離することが防止される。以下に、図7を参照しながら説明する。図7(a)は、第1の参考例に係るIC200と回路基板202との接続構造を示した断面構造図である。図7(b)は、第2の参考例に係るIC200'と回路基板202'との接続構造を示した断面構造図である。図7(c)は、本実施形態に係るIC50と回路基板10との接続構造を示した断面構造図である。

[0044] 従来、図7(a)に示すように、IC200と回路基板202とは、はんだバンプ206と電極パッド210とを接触させて電氣的に接続されていた。しかしながら、電極パッド210が小さい場合には、はんだバンプ206が正確に位置合わせされた状態で電極パッド210上に搭載されないおそれがある。そこで、図7(b)に示すように、電極パッド210'を大型化することが考えられる。

[0045] しかしながら、はんだバンプ206'の大きさを変化させることなく電極パッド210'を大

型化すると、電極パッド210'が大きくなった分だけはんだバンプ206'と電極パッド210'との接触面積が大きくなってしまう。その結果、図7(b)に示すように、はんだバンプ206'とIC本体204'との接触面積と、はんだバンプ206'と電極パッド210'との接触面積との間に大きな差が生じてしまう。このような差が発生すると、接触面積が小さいはんだバンプ206'とIC本体204'との間に応力が集中し、はんだバンプ206'とIC本体204'とが剥離してしまう可能性がある。

[0046] これに対して、回路基板10によれば、図7(c)に示す接続構造のように、基板本体12の実装面における端子14の断面積S2を電極パッド210と同じ面積にしておけば、はんだバンプ54とIC本体52との接触面積と、はんだバンプ54と図7(c)での端子14の下端部との接触面積とを等しくできる。その結果、図7(a)に示す接続構造と同様に、図7(c)に示す接続構造においてもはんだバンプ54とIC本体52とが剥離することが防止される。

[0047] また、回路基板10によれば、リフロー前において端子14とはんだバンプ54との接続が外れることが防止されると共に、リフロー後において隣り合うはんだバンプ54間においてショートが発生することを防止できる。以下に図面を参照しながら説明する。図8(a)は、第3の参考例に係る回路基板310にIC350を実装したときの接続構造を示した断面構造図である。図8(b)は、本実施形態に係る回路基板10にIC52を実装したときの接続構造を示した断面構造図である。

[0048] 図8(a)に示す回路基板310では、柱状の端子314が用いられている。一方、図8(b)に示す回路基板10では、先端面が広がった端子14が用いられている。両者の先端面の面積は等しく形成されているので、リフロー前において端子14, 314とはんだバンプ54, 354とがずれる確率は等しい。

[0049] ところで、端子314の先端面近傍以外における断面積は、端子14の先端面近傍以外における断面積に比べて大きい。そのため、端子314の体積は、端子14の体積に比べて大きい。このとき、はんだバンプ54, 354の体積が等しければ、図8(a)に示すように、リフロー後におけるはんだバンプ354の外形は、端子314の体積と端子14の体積との差の分だけ、はんだバンプ54の外形よりも大きくなる。そのため、リフロー後におけるはんだバンプ354同士の距離は、はんだバンプ54同士の距離よりも小さく

なる。すなわち、リフロー前において端子14、314とはんだバンプ54、354とがずれる確率を等しくするために、端子314を太く形成した場合、リフロー後においてはんだバンプ354同士の距離が小さくなってしまい、はんだバンプ354間でショートが発生する確率が高くなってしまう。換言すれば、回路基板10は、リフロー前において端子14とはんだバンプ54とがずれる確率を低減できると共に、リフロー後においてはんだバンプ54同士がショートする確率を低減できる。

[0050] (変形例)

なお、図1に示す回路基板10では、貫通孔24、32の形成のために打ち抜き加工が行われているが、貫通孔24、32の形成方法はこれに限らない。例えば、レーザ加工により貫通孔24、32が形成されてもよい。貫通孔32がレーザ加工により形成される場合には、マスク層30側からレーザビームを照射することが好ましい。レーザビームは、セラミックグリーンシート20に貫通孔32を開けながらエネルギーを消耗しながら細っていくので、貫通孔32は、下から上に行くにしたがって径が大きくなる形状をとるようになる。その結果、端子14の先端面における面積S1の、基板本体12の実装面における端子14の断面積S2に対する比の値を容易に大きくすることができる。

[0051] また、図5(b)では、マスク層30及びセラミックグリーンシート20に金型蓋44を直接押し付けていたが、図9に示すように、弾性体46を介してマスク層30及びセラミックグリーンシート20に金型蓋44を押し付けるようにしてもよい。図9は、変形例に係る回路基板10の製造過程における工程断面図である。このように弾性体46を介在させることにより、圧着時に弾性体46が伸びるので、端子14の先端面における面積S1の、基板本体12の実装面における端子14の断面積S2に対する比の値をより効果的に大きくすることができる。以下に、本願発明者が行った実験結果に基づいて説明する。

[0052] 以下に示す表2は、圧着時に弾性体46を用いた場合と用いなかった場合とのそれぞれにおけるS1/S2の値を示した表である。なお、本実験では、圧着時の金型蓋44の温度を48℃、62℃、67℃とした。また、金型蓋44の圧力を510kg/cm²とした。

[0053] [表2]

温度	S1/S2	
	弾性体あり	弾性体なし
48°C	1.291	1.221
62°C	1.506	1.417
67°C	1.563	1.469

[0054] 表2によれば、弾性体46を介在させることにより、端子14の先端面における面積S1の、基板本体12の実装面における端子14の断面積S2に対する比の値をより効果的に大きくできることがわかる。また、本実験によれば、圧力を大きくすることにより、マスク層30の材料の軟化点以下の温度で圧着を行っても、十分に端子14を変形させることができることがわかる。

[0055] なお、端子14は、図10に示すような形状であってもよい。図10は、端子14の変形例を示した図である。より詳細には、端子14は、図10(a)に示すように、基板本体12の実装面より上側において、等脚台形の上下が反転した形状の断面を有していてもよい。また、端子14は、図10(b)に示すように、基板本体12の実装面より上側において、一部がくびれた断面形状を有していてもよい。

[0056] ただし、端子14の加工の容易さを考慮すると、図1に示すように、基板本体12の実装面に平行な端子14の断面における断面積が、実装面から端子14の先端面にいくにしたがって大きくなっており、かつ、先端面側における端子14の断面積の変化率が、実装面側における端子14の断面積の変化率よりも大きくなるような形状を、端子14が有することが好ましい。これは、図5(b)に示す圧着工程において、金型蓋44により端子14が押し潰されると、端子14の先端面近傍が集中的に押し潰されて、端子14の断面積の増加率が先端面近傍において急激に大きくなるからである。

産業上の利用可能性

[0057] 以上のように、本発明は、回路基板及び回路基板の製造方法に有用であり、特に、電子部品と回路基板との間の接続不良が発生しにくくなる点で優れている。

請求の範囲

- [1] 電子部品が実装される回路基板において、
基板本体と、
前記電子部品に形成されたバンプと電氣的に接続される端子であつて、前記基板本体において前記電子部品が実装される実装面から突出するように形成された端子と、
を備え、
前記端子の先端面の面積は、前記実装面における該端子の断面積の1.2倍以上であること、
を特徴とする回路基板。
- [2] 前記実装面に平行な断面における前記端子の断面積は、前記実装面から該端子の先端面にいくにしたがつて、大きくなっており、
前記先端面側における前記端子の断面積の変化率は、前記実装面側における該端子の断面積の変化率よりも大きいこと、
を特徴とする請求の範囲第1項に記載の回路基板。
- [3] 前記基板本体は、
互いに積層された複数のセラミック層と、
前記セラミック層と共に積層された内部導体層と、
を含み、
前記端子は、前記内部導体層に電氣的に接続されていること、
を特徴とする請求の範囲第1項又は請求の範囲第2項のいずれかに記載の回路基板。
- [4] 電子部品が実装される回路基板において、
基板本体と、
前記電子部品に形成されたバンプと電氣的に接続される端子であつて、前記基板本体において前記電子部品が実装される実装面から突出するように形成された端子と、
を備え、

前記実装面に平行な断面における前記端子の断面積は、前記実装面から該端子の先端面にいくにしたがって、大きくなっており、

前記先端面側における前記端子の断面積の変化率は、前記実装面側における該端子の断面積の変化率よりも大きいこと、
を特徴とする回路基板。

- [5] 電子部品が実装され、かつ、該電子部品に形成されたバンプと電氣的に接続される端子を備えた回路基板の製造方法において、

第1のシート上に該第1のシートよりも軟らかいマスク層を形成する工程と、
前記マスク層に貫通孔を形成する工程と、
前記貫通孔に導体を充填する工程と、
前記マスク層が最上層となるように、複数の第2のシート、前記第1のシート及び該マスク層を圧着して積層体を得る工程と、
前記積層体から前記マスク層を除去する工程と、
を備えること、
を特徴とする回路基板の製造方法。

- [6] 前記マスク層の軟化点は、前記第1のシートの軟化点よりも低いこと、
を特徴とする請求の範囲第5項に記載の回路基板の製造方法。

- [7] 前記第1のシート、前記第2のシート及び前記マスク層を圧着する工程では、前記マスク層の軟化点よりも高い温度であって、かつ、前記第1のシートの軟化点よりも低い温度で加熱しながら圧着を行うこと、
を特徴とする請求の範囲第6項に記載の回路基板の製造方法。

- [8] 前記貫通孔を形成する工程では、前記マスク層側からレーザービームを照射して該貫通孔を形成すること、
を特徴とする請求の範囲第5項ないし請求の範囲第7項のいずれかに記載の回路基板の製造方法。

- [9] 前記第1のシート及び前記第2のシートは、セラミックグリーンシートであり、
前記マスク層は、樹脂からなり、
前記マスク層を除去する工程では、前記積層体の焼成時に、該マスク層が焼失す

ること、

を特徴とする請求の範囲第5項ないし請求の範囲第8項のいずれかに記載の回路基板の製造方法。

- [10] 前記貫通孔を形成する工程では、前記第1のシート及び前記マスク層を貫通するよう
- に該貫通孔を形成すること、

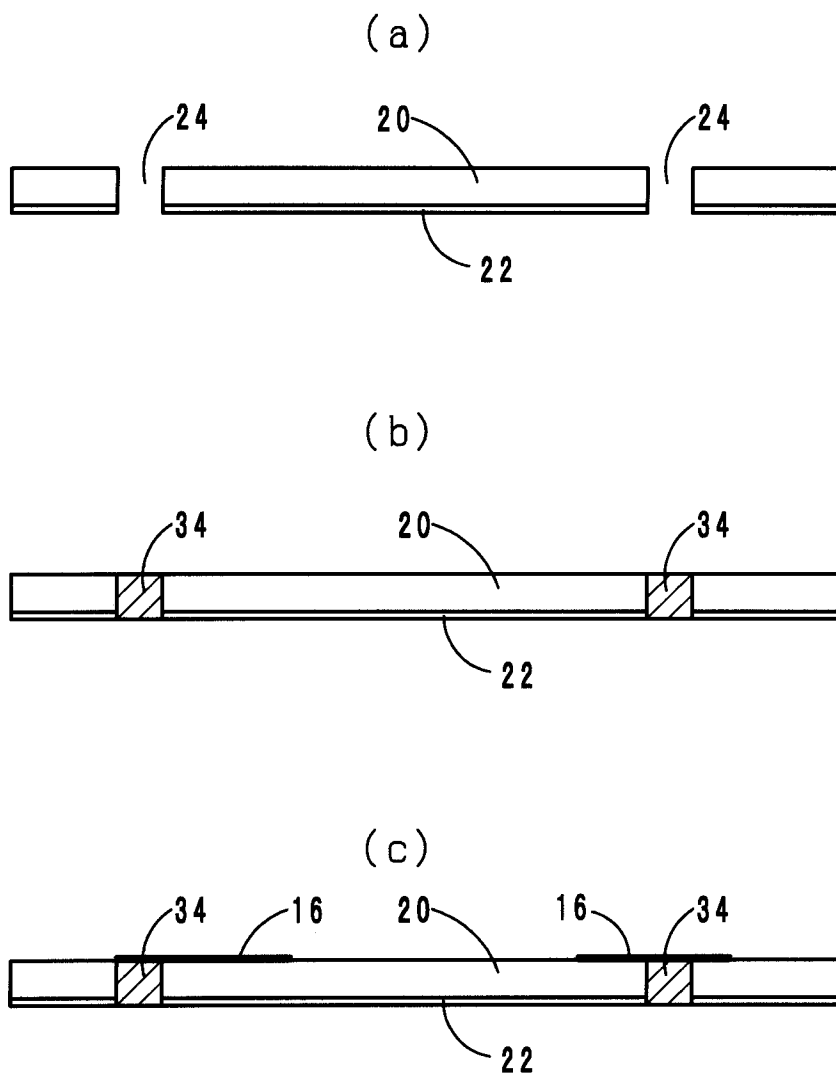
を特徴とする請求の範囲第5項ないし請求の範囲第9項のいずれかに記載の回路基板の製造方法。

- [11] 前記マスク層、前記第1のシート及び前記第2のシートを圧着する工程では、弾性
- 体を介して該マスク層及び該第1のシートに金型を押し付けること、

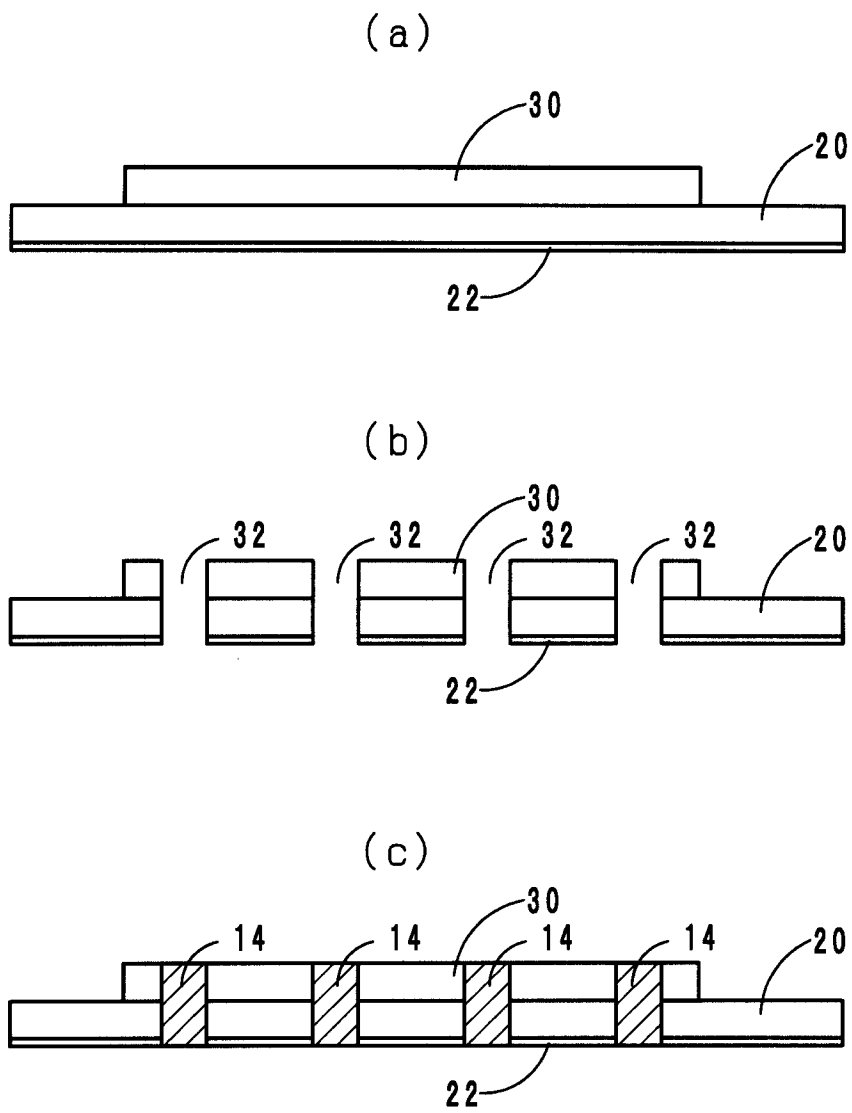
を特徴とする請求の範囲第5項ないし請求の範囲第10項のいずれかに記載の回路基板の製造方法。

This diagram shows a cross-sectional view of a multi-layered substrate assembly. The assembly consists of several horizontal layers. At the top, there is a layer labeled 50, which contains four circular features labeled 52. Below this, there are four vertical pillars labeled 14, each topped with a circular feature labeled 54. The pillars 14 are supported by a layer labeled 16. Below the pillars, there are four horizontal layers labeled 18. Each of these layers contains a rectangular feature labeled 34. The entire assembly is supported by a base layer labeled 10. On the left side, there is a label 12 pointing to the base layer. On the right side, there are labels S1 and S2 pointing to the vertical pillars 14.

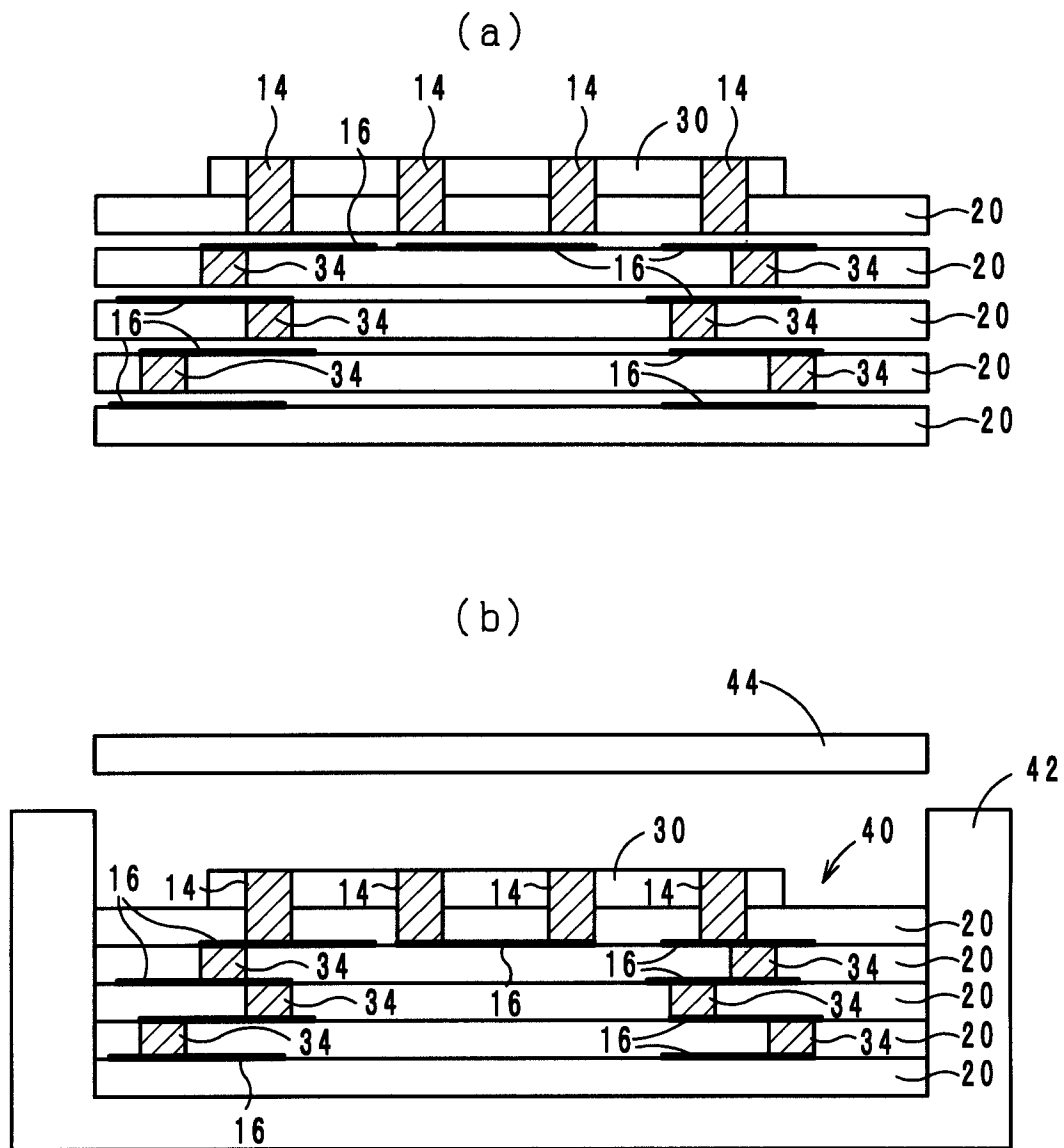
[図3]



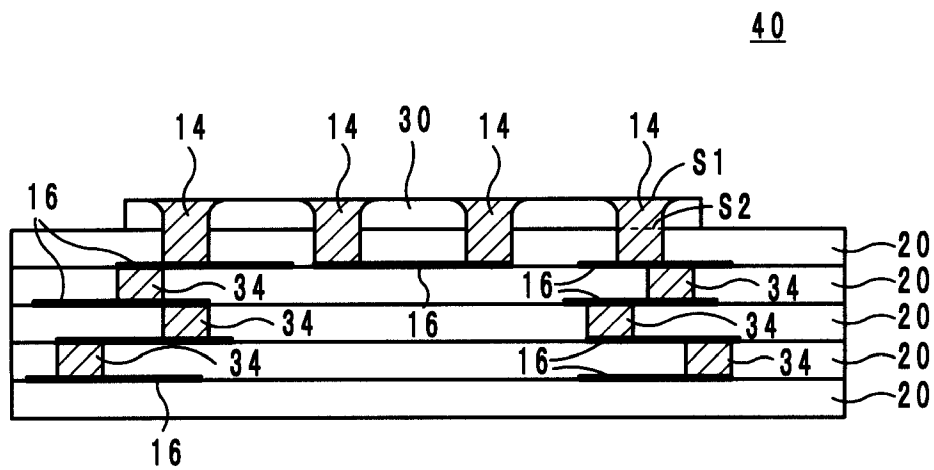
[図4]



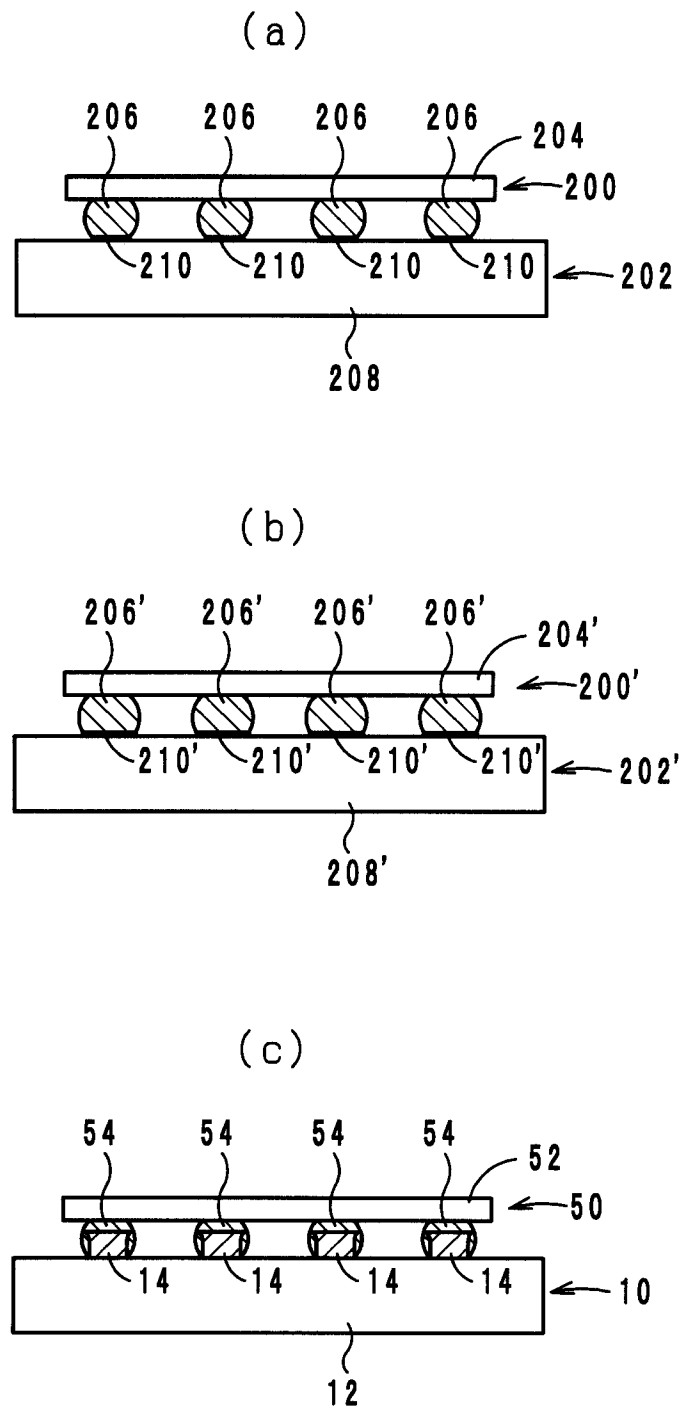
[図5]



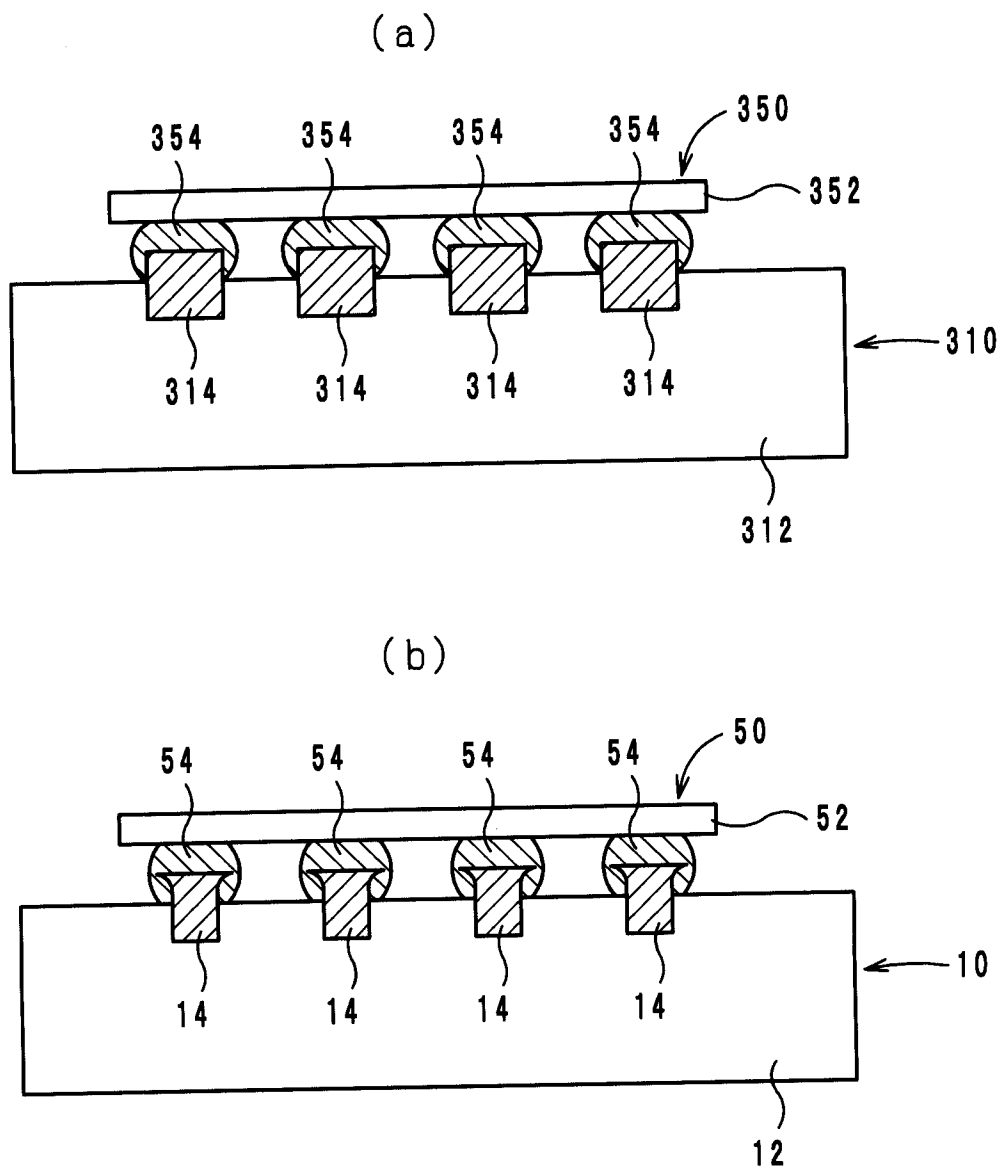
[図6]



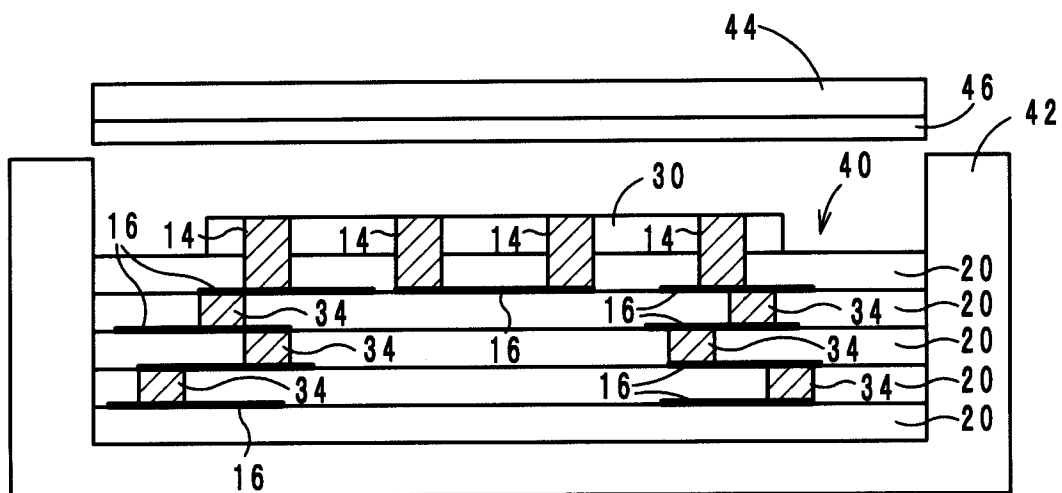
[図7]



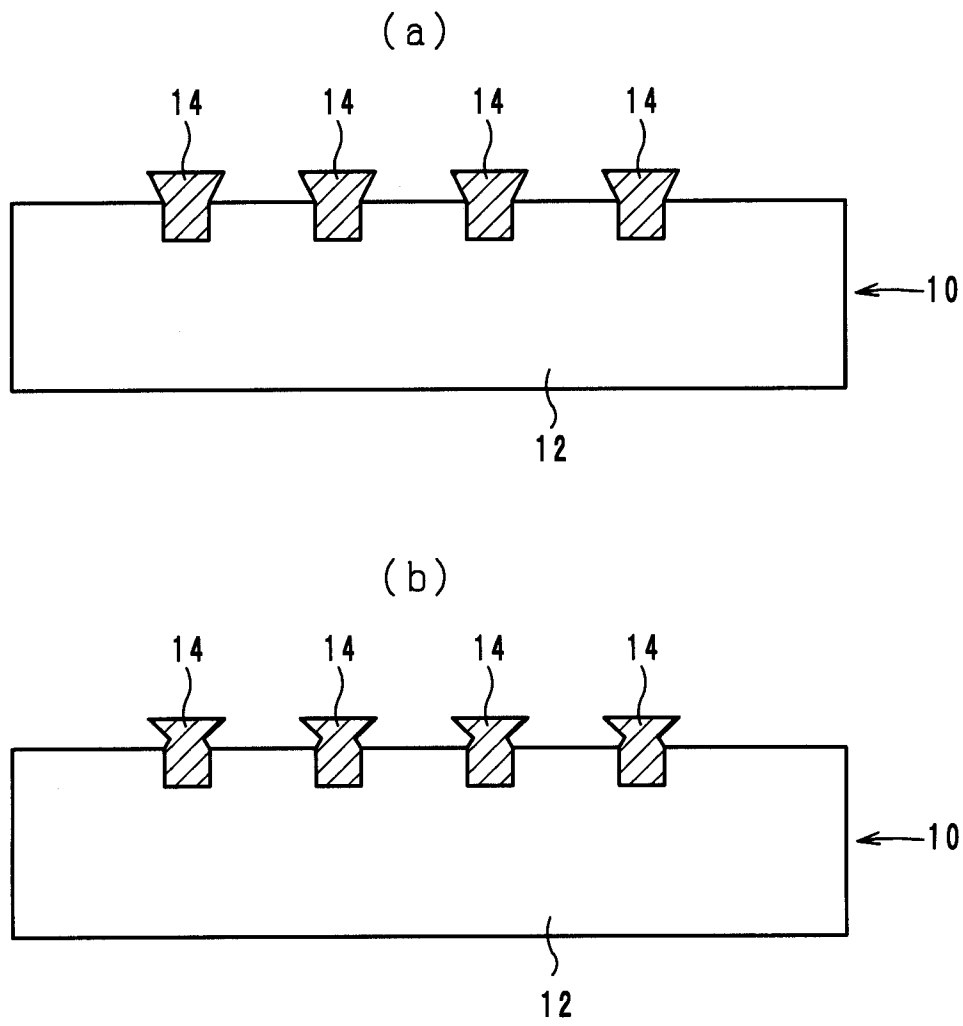
[図8]



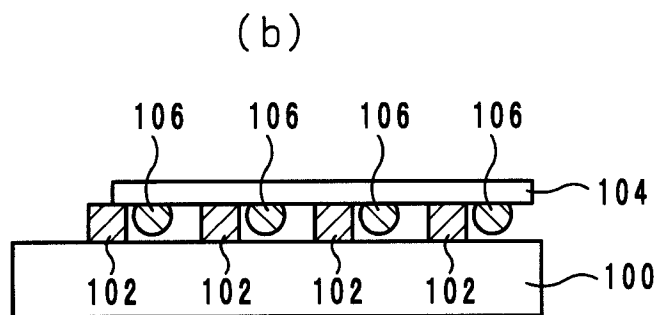
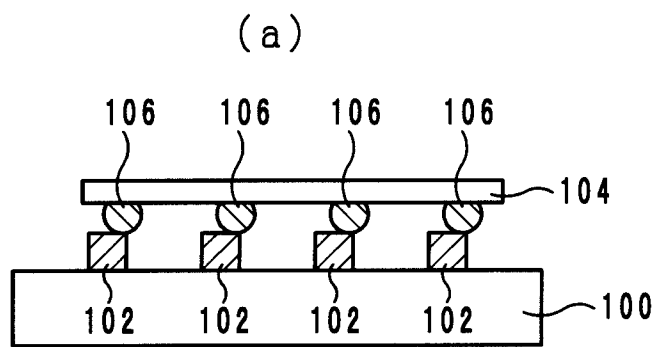
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/065894

A. CLASSIFICATION OF SUBJECT MATTER

H05K3/34(2006.01)i, H01L21/60(2006.01)i, H01L23/12(2006.01)i, H01L23/13(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K3/34, H01L21/60, H01L23/12, H01L23/13

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2007/094123 A1 (Murata Mfg. Co., Ltd.), 23 August, 2007 (23.08.07), Par. Nos. [0008] to [0082]; Figs. 1 to 3 (Family: none)	1-11
A	JP 2001-284381 A (Sanyo Electric Co., Ltd.), 12 October, 2001 (12.10.01), Par. Nos. [0007] to [0030]; Figs. 6 to 12 & US 2001/0026954 A1	1-11
A	JP 2005-311225 A (TDK Corp.), 04 November, 2005 (04.11.05), Par. Nos. [0012] to [0045]; Figs. 1 to 5 (Family: none)	5-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 October, 2008 (06.10.08)

Date of mailing of the international search report
14 October, 2008 (14.10.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H05K3/34(2006.01)i, H01L21/60(2006.01)i, H01L23/12(2006.01)i, H01L23/13(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H05K3/34, H01L21/60, H01L23/12, H01L23/13

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	WO 2007/094123 A1（株式会社村田製作所）2007.08.23, 段落 [0008]-[0082]、図 1-3（ファミリーなし）	1-11
A	JP 2001-284381 A（三洋電機株式会社）2001.10.12, 段落【0007】 －【0030】、図 6-12 & US 2001/0026954 A1	1-11
A	JP 2005-311225 A（TDK株式会社）2005.11.04, 段落【0012】－ 【0045】、図 1-5（ファミリーなし）	5-11

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 0 . 2 0 0 8

国際調査報告の発送日

1 4 . 1 0 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

宮本 靖史

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

4 R

3 7 6 0