

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-166360
(P2008-166360A)

(43) 公開日 平成20年7月17日(2008.7.17)

(51) Int.Cl.

H01L 21/8242 (2006.01)
H01L 27/108 (2006.01)

F 1

H01L 27/10 651
H01L 27/10 621C

テーマコード(参考)

5 F O 8 3

審査請求 未請求 請求項の数 8 O L (全 27 頁)

(21) 出願番号

特願2006-351721 (P2006-351721)

(22) 出願日

平成18年12月27日 (2006.12.27)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 110000350

ポレール特許業務法人

(72) 発明者 外村 修

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 三木 浩史

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72) 発明者 関口 智子

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

最終頁に続く

(54) 【発明の名称】半導体集積回路装置

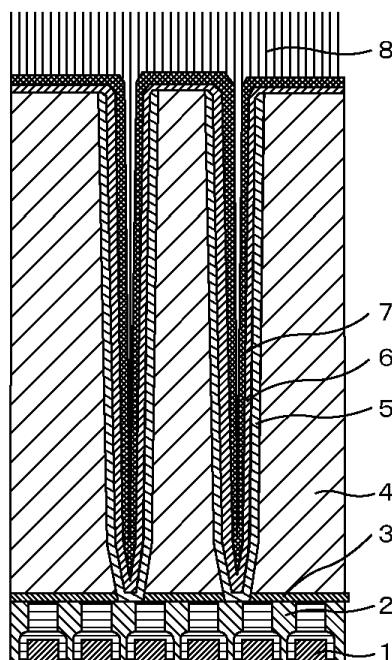
(57) 【要約】

【課題】 ルテニウム或いは酸化ルテニウムを上部電極、二酸化ハフニウム或いは酸化ジルコニウムを絶縁膜に用いたDRAMキャパシタにおいて、ルテニウム等の二酸化ハフニウム等中の拡散を抑制すること。

【解決手段】 ルテニウム或いは酸化ルテニウムの上部電極および二酸化ハフニウム或いは酸化ジルコニウムの絶縁膜の界面に、キャップ層絶縁膜として前記絶縁膜よりも誘電率の大きな五酸化タンタル或いは酸化ニオブを挿入し、ルテニウム等の二酸化ハフニウム等中の拡散を抑制する。

【選択図】 図31

図 31



【特許請求の範囲】**【請求項 1】**

半導体基板上に形成された複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線の所定の交点に設けられたメモリ選択用トランジスタと該メモリセル選択用トランジスタに電気的に直列に接続され、前記半導体基板上に形成された情報蓄積用キャパシタとから構成されるメモリセルとを備えた半導体集積回路装置であって、

前記情報蓄積用キャパシタは、第2の電極、及び前記第2の電極上に成膜されたキャパシタ用絶縁膜、及び前記キャパシタ用絶縁膜上に成膜されたキャップ層絶縁膜、及び前記キャップ層絶縁膜上に成膜された第1の電極を有し、

前記第1の電極は、ルテニウム及び酸化ルテニウムから選ばれた少なくとも一者であり 10

、前記キャパシタ用絶縁膜は、酸化ハフニウム、イットリウムを添加した酸化ハフニウム、及び酸化ジルコニアの群から選ばれた少なくとも一者であり、

前記キャップ層絶縁膜は、前記キャップ層絶縁膜は前記絶縁膜よりも誘電率の高い、酸化タンタル及び酸化ニオブから選ばれた少なくとも一者であり、

前記第2の電極は、窒化チタン、チタン、窒化タンタル、タンタル、窒化タンゲステン、タンゲステン、リンをドーピングしたポリシリコン、金、銀、銅、及びプラチナの群から選ばれた少なくとも一者であり、且つ

前記キャップ層絶縁膜が、連続膜を構成し且つ3nm以下の厚さであることを特徴とする半導体集積回路装置。 20

【請求項 2】

前記キャップ層絶縁膜の膜厚が、2nm以上3nm以下の厚さであることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項 3】

前記キャップ層絶縁膜は、前記絶縁膜と前記上部電極の間に挿入することにより、アルミナをキャップ層絶縁膜として用いた場合に比べて、前記絶縁膜の伝導体オフセットの低下量が小さいことを特徴とする、請求項1に記載の半導体集積回路装置。

【請求項 4】

前記情報蓄積用キャパシタは、絶縁膜の孔内の内面を、前記第2の電極、及び前記第2の電極上に成膜されたキャパシタ用絶縁膜、及び前記キャパシタ用絶縁膜上に成膜されたキャップ層絶縁膜、及び前記キャップ層絶縁膜上に成膜された第1の電極が形成されてなることを特徴とする請求項1に記載の半導体集積回路装置。 30

【請求項 5】

半導体基板上に形成された複数のワード線と、複数のビット線と、前記複数のワード線と前記複数のビット線の所定の交点に設けられたメモリ選択用トランジスタと該メモリセル選択用トランジスタに電気的に直列に接続され、前記半導体基板上に形成された情報蓄積用キャパシタとから構成されるメモリセルとを備えた半導体集積回路装置であって、

前記情報蓄積用キャパシタは、第2の電極、及び前記第2の電極上に成膜されたキャップ層絶縁膜、及び前記キャップ層絶縁膜上に成膜されたキャパシタ用絶縁膜、及び前記キャップ層絶縁膜上に成膜された第1の電極を有し、

前記第1の電極は、ルテニウム及び酸化ルテニウムから選ばれた少なくとも一者であり 40

、前記キャパシタ用絶縁膜は、酸化ハフニウム、イットリウムを添加した酸化ハフニウム、及び酸化ジルコニアの群から選ばれた少なくとも一者であり、

前記キャップ層絶縁膜は、前記キャップ層絶縁膜は前記キャパシタ用絶縁膜よりも誘電率の高い、酸化タンタル及び酸化ニオブから選ばれた少なくとも一者であり、

前記第2の電極は、窒化チタン、チタン、窒化タンタル、タンタル、窒化タンゲステン、タンゲステン、リンをドーピングしたポリシリコン、金、銀、銅、及びプラチナの群から選ばれた少なくとも一者であり、且つ

前記キャップ層絶縁膜が、連続膜を構成し且つ3nm以下の厚さであることを特徴とす 50

る半導体集積回路装置。

【請求項 6】

前記キャップ層絶縁膜の膜厚が、2 nm以上3 nm以下の厚さであることを特徴とする請求項5に記載の半導体集積回路装置。

【請求項 7】

前記キャップ層絶縁膜は、前記絶縁膜と前記上部電極の間に挿入することにより、アルミナをキャップ層絶縁膜として用いた場合に比べて、前記絶縁膜の伝導体オフセットの低下量が小さいことを特徴とする、請求項5に記載の半導体集積回路装置。

【請求項 8】

前記情報蓄積用キャパシタは、絶縁膜の孔内の内面を、前記第2の電極、及び前記第2の電極上に成膜されたキャップ層絶縁膜、及び前記キャップ層絶縁膜上に成膜されたキャパシタ用絶縁膜、及び前記キャパシタ用絶縁膜上に成膜された第1の電極が形成されてなることを特徴とする請求項5に記載の半導体集積回路装置。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、容量に電荷を蓄積して情報を記録するメモリであるDRAM(Dynamic Random Access Memory)の容量の構成に関するものである。

【背景技術】

【0002】

半導体デバイスは、高性能化を目的に微細化が進められている。DRAMのメモリセルは、微細化に伴いその占有面積が縮小する一方で、メモリセル内に作られるキャパシタは、読み出し不良防止のために、世代に関わらず一定の容量が要求される。そのため、次世代キャパシタの開発には、容量の高密度化が求められる。容量を高密度化するためには、電極面積の増大、絶縁膜の薄膜化が行なわれてきた。従来、電極構造は平板型であったが、一定面積のメモリセル内で電極面積を増大させるために、立体化の技術が用いられてきた。現在主流なのはスタック型、又はトレンチ型のキャパシタである。共にキャパシタ構造は円筒形であり、円筒の径に対する高さの比を示すアスペクト比は、20以上と非常に大きく、その加工は次第に困難となっている。又、下部電極にポリシリコンが用いられているMIS型のキャパシタが用いられる世代では、ポリシリコンの表面粗面化技術が用いられ、電極の実効的な面積を増大させていた。しかし、ポリシリコンの表面粗面化技術で増やせる面積の割合にも限界が存在する。そのため、同時に絶縁膜の薄膜化が進められている。 30

【0003】

絶縁膜を薄膜化すると、絶縁膜を突き抜けて流れるリーク電流の増大が問題となる。DRAMでは情報を保持するために、キャパシタの電荷を蓄えなおすリフレッシュという動作が存在するが、リーク電流が大きいとリフレッシュ動作の頻度を増加しなくてはならず、その結果、消費電力が増大する。この消費電力の増大を抑制するために、リーク電流密度は世代に依らずおよそ $1 \times 10^{-7} \text{ A/cm}^2$ 以下に抑制する必要がある。従来、絶縁膜の材料には二酸化シリコンが用いられていたが、比誘電率を3.9と仮定して容量から換算した膜厚である酸化膜換算膜厚が6 nm以下となると、直接トンネルリーク電流が顕著となる。直接トンネルリーク電流は、絶縁膜の物理膜厚でリーク電流量がほぼ決まっており、膜厚が1 nm薄くなると、リーク電流が桁で増大する。そのため、直接トンネルリーク電流が顕著である状態では、膜厚ばらつきに起因したリーク電流ばらつきによりメモリアレイのキャパシタ全てを、必要なリーク電流スペック内に収めることが難しい。つまり、直接トンネルリーク電流の抑制は必須である。 40

【0004】

酸化膜換算膜厚の減少によるキャパシタ容量の増大および、物理膜厚増大による直接トンネルリーク電流の抑制を両立させる方法として考えられたのが、高誘電率絶縁膜の適用である。高誘電率絶縁膜材料の二酸化ハフニウムは、比誘電率が20程度であるため、酸 50

化膜換算膜厚が2.0nmであっても物理膜厚を10nm以上にでき、直接トンネルリーク電流抑制には効果的である。又、二酸化ハフニウム高誘電率絶縁膜が用いられる世代では、空乏化容量が無く、薄膜化に有利なMIM型キャパシタの適用が有力である。その際、用いられる下部電極の材料は、DRAMプロセス親和性の高い窒化チタンが最有力である。二酸化ハフニウムは下部電極窒化チタンと良好な界面を形成することが知られており、有望な絶縁膜材料である。

【0005】

ところで、こうした絶縁材料である二酸化ハフニウムと電極としての窒化チタンを用いたDRAM用キャパシタの報告が、IEEE、2004の“*A Robust Alternative for the DRAM Capacitor of 50nm Generation*”になされている。ここでは、Toxeqの確保することを前提として、キャパシタとして、Ru/Ta₂O₅/HfO₂/TiNの検討がなされている（非特許文献1）。

10

【0006】

【非特許文献1】2004 IEEE、三星電子、Nongseo-Lee等著、“*A Robust Alternative for the DRAM Capacitor of 50nm Generation*”、2004

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかし、前述の二酸化ハフニウムのように高い誘電率を有する絶縁膜を用いた場合、絶縁性能の低下によるリーク電流の増大が問題となる。材料物性の傾向として、高誘電率になるほど禁性帯幅は狭くなるため、バリアの高さに影響を受けるFowler-Nordheimリーク電流などの増大が懸念される。そこで、電極および絶縁膜のバリア高さを相対的に高める方法として考えられるのが、仕事関数の大きな電極の適用である。例えば、ルテニウムは仕事関数が4.8eV程度であり、現在広く用いられている電極材料である窒化チタンの仕事関数4.2eVに比べ大きく、バリア高さを増大させることが可能である。

20

【0008】

しかし、現今のDRAM技術の水準においては、キャパシタ用の絶縁膜と電極との組み合わせを十分検討しないと、実用的な特性を得ることが出来ない。

【課題を解決するための手段】

【0009】

DRAM用キャパシタの各構成要素について、本願発明の基礎となる検討結果を示し、次いで本願発明の骨子を明らかにする。

30

【0010】

先ず、代表的な材料であるルテニウムを用いた上部電極および二酸化ハフニウム絶縁膜を用いたキャパシタの評価を行なった。同構造のキャパシタをDRAMの製品に適用するためには、まず、各材料の界面での元素の深さ方向のプロファイルが急峻で無くてはならない。電極である金属は含まれる不純物密度を低くし、電気伝導度を上げることで、電流の熱発生によるエネルギーロスを最小限にする必要がある。又、絶縁膜は、金属元素等の不純物等を最小限にし、リーク電流を増大させる原因となる禁性帯中の状態密度発生等を防ぐ必要がある。互いの材料に不純物が混入する可能性として最も考えられるのが、積層による相互拡散、又は一方の材料を構成する元素の他方の材料への拡散である。キャパシタの酸化膜換算膜厚、及びリーク電流、又、信頼性で要求される性能を得るために第一条件として、一般的に材料同士が拡散を起こさないことは必須である。本発明が解決しようとする課題は、これまで述べたような観点から、二酸化ハフニウム絶縁膜およびルテニウム上部電極を用いた構造において、拡散及び相互拡散等の無い、元素プロファイルが深さ方向に急峻な界面を有するキャパシタを形成することである。

40

【0011】

本願発明の骨子は、半導体基板上に形成された複数のワード線と、複数のピット線と、前記複数のワード線と前記複数のピット線の所定の交点に設けられたメモリ選択用トランジスタと前期メモリセル選択用トランジスタに電気的に直列に接続され、前記半導体基板

50

上に形成された情報蓄積用キャパシタとから構成されるメモリセルとを備えた半導体集積回路装置であって、前記情報蓄積用キャパシタは、第2の電極、及び前記第2の電極上に成膜された絶縁膜、及び前記絶縁膜上に成膜されたキャップ層絶縁膜、及び前記キャップ層絶縁膜上に成膜された第1の電極を有するものである。そして、前記第1の電極は、ルテニウム及び酸化ルテニウムから選ばれた少なくとも一者であり、前記絶縁膜は、酸化ハフニウム、イットリウムを添加した酸化ハフニウム、及び酸化ジルコニウムの群から選ばれた少なくとも一者であり、前記第2の電極は、窒化チタン、チタン、窒化タンタル、タンタル、窒化タンゲステン、タンゲステン、リンをドーピングしたポリシリコン、金、銀、銅、及びプラチナの群から選ばれた少なくとも一者である。

【0012】

10

前記第2の電極は、通例半導体基板側に設けられ、下部電極と通称される。前記第1の電極は、通例キャパシタ用絶縁膜に対して前記半導体基板とは反対側に設けられ、上部電極と通称される。

【0013】

更に、前記キャップ層絶縁膜は、前記キャップ層絶縁膜は前記絶縁膜よりも誘電率の高い、酸化タンタル及び酸化ニオブから選ばれた少なくとも一者であり、その厚さは、連続膜を構成する。実際的には、前記キャップ層絶縁膜の膜厚は、2 nm以上、3 nm以下で十分である。又、バンドギャップは、キャパシタ絶縁膜より小さい。前記キャップ層絶縁膜は、前記絶縁膜と前記上部電極の間に挿入することにより、アルミナをキャップ層絶縁膜として用いた場合に比べて、前記絶縁膜の伝導体オフセットの低下量が小さくなれる。

20

【0014】

更に、半導体基板を基準として、通例、前記キャップ層絶縁膜は、前記キャパシタ用絶縁膜の上部に形成されるが、その逆の積層関係としても良い。

【発明の効果】

【0015】

本願発明のよれば、DRAMメモリを有する半導体集積回路装置の低消費電力化、大容量化、高速化を実現することが可能である。特にDRAMを用いた、高密度集積メモリ回路、およびメモリ回路と論理回路が同一半導体基板に設けられたロジック混載型メモリ、を有する半導体集積回路装置において、有用である。

30

【発明を実施するための最良の形態】

【0016】

<実施例1>

前述のように、本発明に係るキャパシタの第1の電極（上部電極）としては、ルテニウム、酸化ルテニウムのいずれか一者、第2の電極（下部電極）としては、窒化チタン、チタン、窒化タンタル、タンタル、窒化タンゲステン、タンゲステン、リンをドーピングしたポリシリコン、金、銀、銅、プラチナの群から選ばれた少なくとも一者を用いる。又、こうした第1及び第2の電極材料の選択を前提として、キャパシタの絶縁膜及びこれに対するキャップ層絶縁膜の検討を行った。尚、前記第2の電極の材料群はこれまでにも知られた材料であるので、その詳細説明は省略する。尚、各部材の厚さは、次の通りである。第1の電極（上部電極）は、5 nmから30 nm、第2の電極（下部電極）は、5 nmから30 nm、及びキャパシタの絶縁膜は、3 nmから10 nmの範囲で選択される。

40

【0017】

本実施例では、先ず、ルテニウムを第1（上部）電極に、窒化チタンを第2（下部）電極に、酸化ハフニウム（より具体例は二酸化ハフニウムである、以下同様である）を絶縁膜に、及び酸化タンタルを第2の絶縁膜（キャップ絶縁膜）として用いた代表例を例示する。必要に応じて、その他の材料に言及する。

【0018】

以下、具体的なデータを用いた本実施例に関する説明の骨子は、次の通りである。

（1）先ず、前提として、ルテニウムの第1の電極は、仕事関数が大きく、キャパシタに

50

おける FN トンネルリーク電流を抑制するに好ましい。尚、酸化ルテニウムも同様である。

(2) キャパシタ用絶縁膜は、直接トンネルリーク電流抑制のためには 6 nm 以上の物理膜厚が必要である。しかし、世代が進むにつれ、膜厚低減によりキャパシタ容量値を増大させる必要がある。そこで、物理膜厚に対し小さい酸化膜換算膜厚を得ることができる高誘電率材料をキャパシタ絶縁膜に適用する必要がある。一方、誘電率の大きな材料は、禁性帯幅が低下する傾向にあり、リーク電流増大の原因となる。これら 4 つのファクターの、実際的な側面から、絶縁膜材料として、二酸化ハフニウムが最も好ましい。更には、同様の理由によって、絶縁膜材料として、イットリウムが添加された酸化ハフニウム、酸化ジルコニアをあげることが出来る。

(3) しかし、ルテニウムと二酸化ハフニウムとの直接の接触は、製造工程中に、ルテニウムの二酸化ハフニウムへの拡散を招く。この拡散防止の為、第 2 の絶縁膜（以下、キャップ層絶縁膜と称する）を、両者の界面に挿入する必要性がある。

(4) キャップ層絶縁膜は、キャパシタ絶縁膜よりも誘電率の大きな材料の採用が好ましい。その理由は、キャパシタ絶縁膜及びキャップ層絶縁膜の両者の酸化膜換算膜厚の増大及び容量の損失が無いことである。こうした観点から、キャップ層絶縁膜は、酸化タンタル（より具体例は五酸化タンタルである、以下同様である）、酸化ニオブなどが好ましい。その厚さは、連続膜を構成し且つ 3 nm 以下の厚さとなす。実際的には、キャップ層絶縁膜の膜厚は、2 nm 以上である。キャップ層絶縁膜は、前記絶縁膜と前記上部電極の間に挿入することにより、絶縁膜の伝導体オフセットの低下量が小さい為である。

【0019】

以下、上記項目(2)より(4)の事実を説明するに、ルテニウムを第 1（上部）電極に、窒化チタンを第 2（下部）電極に、二酸化ハフニウムを絶縁膜に用いたキャパシタの問題点とその解決策を考察する。

【0020】

<絶縁膜材料として二酸化ハフニウムが好ましい理由>

二酸化ハフニウムが、現在、DRAM のメモリの供するキャパシタ用絶縁膜に要求されている酸化膜換算膜厚と非誘電率を確保するに極めて有用であることを考察する。尚、二酸化ハフニウムは、上部電極および下部電極に窒化チタンを用いたMIMキャパシタでの適用に対し有望であることは知られているが、各電極が窒化チタンである。これに対して、本願発明では、一方の第 1 の電極はルテニウム或いは酸化ルテニウムを用いるものである。こうした諸条件から、二酸化ハフニウムが好ましいことを説明する。

【0021】

先ず、ある特定の誘電率の絶縁膜材料を用いて、得ることができる酸化膜換算膜厚を、図 1 を用いて説明する。図 1 は横軸が絶縁膜の比誘電率、縦軸が、各々の比誘電率の絶縁膜材料を有する物理膜厚だけ成膜した場合に得られる酸化膜の換算膜厚の計算値を示す。パラメータは絶縁膜の物理膜厚である。絶縁膜材料として誘電率 2.0 の二酸化ハフニウムを、直接トンネルリーク電流を抑制可能な物理膜厚 6 nm に成膜した場合、図 1 より、薄膜化限界は約 1.2 nm である。図 1 での計算結果は、同構造で薄膜化を行なった場合、酸化膜換算膜厚 1.2 nm 程度で直接トンネルリーク電流の増大に起因した薄膜化限界となることを示唆する。又、二酸化ハフニウムの物理膜厚を減少し、薄膜化を行なっていくと、絶縁膜のトンネル障壁の減少に起因した、Fowler-Nordheim (FN) トンネルリーク電流の増大も懸念される。特に、二酸化ハフニウムを、薄膜化限界である物理膜厚約 6 nm 付近で使用する場合に問題が発生しやすいと考えられる。

【0022】

一方、量産の生産ラインに備えられている絶縁膜の成膜装置に対する投資額を抑制し、コスト低減を行うためには、同じ材料をできるだけ長い世代に適用することが望ましい。そのためにも、上部電極および下部電極に窒化チタンを用いたMIM構造の二酸化ハフニウムキャパシタが FN トンネルリーク電流増大に起因した薄膜化限界に達した場合、上部電極を、窒化チタンよりも仕事関数が大きいルテニウムで置き換えることが望ましい。この構

成によって、FNトンネルリーク電流を抑制し、さらに薄膜化を進めることができると考えられる。ルテニウムで、上部電極および下部電極を置き換えることも有用である。

【0023】

図2には、半導体向けの絶縁膜材料の候補が挙げられている。図2では、横軸と縦軸は、各々、比誘電率と禁性帯幅である。世代が進むにつれ高い誘電率が必要とされるが、リーク電流抑制のためには、大きな禁性帯幅も同時に必要である。しかし、図2から分かるように、比誘電率を増大すると禁性帯幅は減少する傾向があることが分かる。つまり、比誘電率が必要以上に大きな材料を用いると、禁性帯幅の狭さに起因したバリア高さの減少によりリーク電流抑制の観点から問題が生じる可能性がある。よって、各々の世代に用いる絶縁膜は、要求酸化膜換算膜厚の達成に必要な、適度な比誘電率を有する絶縁膜が望ましい。つまり、前述の酸化膜の換算膜厚1.2nm程度を得る場合、絶縁膜材料は二酸化ハフニウムが最も適した絶縁膜と言える。

10

【0024】

<ルテニウムと二酸化ハフニウムとが直接接触する構造の問題点と、キャップ絶縁膜の必要性>

現在、DRAMに搭載するメモリセルキャパシタ向けには、リーク電流密度をおよそ $10^{-7}\text{A}/\text{cm}^2$ 以下としなければならない。こうした条件に対して、上部電極にルテニウム、下部電極に窒化チタン、絶縁膜に二酸化ハフニウムを用いた構造のキャパシタが、どのようなリーク電流を有し、その原因は何かを検討した。そして、リーク電流の原因が、電極のルテニウムが絶縁膜の二酸化ハフニウム中に拡散していることであることを突きとめた。そこで、ルテニウムの拡散を抑制する方法として、ルテニウムと二酸化ハフニウムの界面に対して、キャップ層絶縁膜の挿入を検討した。

20

【0025】

先ず、上部電極にルテニウム、下部電極に窒化チタン、絶縁膜に二酸化ハフニウムを用いた構造のキャパシタを試作し、電気特性および物理分析した結果を示す。図3は、ルテニウムの成膜温度とキャパシタの酸化膜の換算膜厚(ETO概算値)の関係を示す。成膜温度は、室温(R.T.)、100、200、300である。窒化チタンは化学気相成長法により30nm成膜し、二酸化ハフニウムは原子層成長法により10nm成膜、ルテニウムはスパッタ法により50nm成膜した。50%はおよそ、0.5nmと2.0nmの間に存在し、成膜温度の増大とともに増大する。又、リーク電流密度の累積度数分布の模式図を図4に示す。リーク電流密度の低いキャパシタは $10^{-8}\text{A}/\text{cm}^2$ ~ $10^{-7}\text{A}/\text{cm}^2$ 程度である、しかし、成膜温度の増大と共にばらつきは増大し、成膜温度300の場合は、リーク電流密度の大きなキャパシタは $1\text{A}/\text{cm}^2$ 程度である。前述したように、DRAMに搭載するメモリセルキャパシタ向けには、リーク電流密度をおよそ $10^{-7}\text{A}/\text{cm}^2$ 以下としなければならない。この観点から、測定されたリーク電流は相当大きいと言わなければならぬ。

30

【0026】

このリーク電流ばらつきの原因を究明するために、X線光電子分光法による分析と、アルゴンイオンによる試料のエッチングを交互に行い、各試料の深さ方向の元素分析を行った。図5(A)より図5(D)にこの結果を示す。各図は各々、Ruの成膜温度を、200、300、室温、100とした場合の結果である。又、縦軸は原子パーセントで示した各元素および各結合の占める割合、横軸がエッチング時間である。ここで、材料によりエッチングの速度が異なることに注意が必要である。ルテニウムは0.15nm/秒程度であり、二酸化ハフニウムは0.05nm/秒程度である。検出された元素および結合状態は、金属ルテニウムに起因したルテニウム、二酸化ルテニウムに起因したルテニウム、二酸化ハフニウム起因したハフニウム、ハフニウムのサブピーク、二酸化ハフニウムに起因した酸素の5つである。点線で示したアルゴンイオンエッチング時間が20秒より短い表面付近では、金属ルテニウムが支配的に存在する。しかし、点線より深い位置では、二酸化ハフニウムに起因するハフニウム、および酸素の量が支配的となる。この傾向は予想された通りである。しかし、ここで注目したいのは、界面付近での元素の量の変化の

40

50

仕方である。相互拡散などの無い急峻な界面が形成されている場合、点線で示した時間付近で、界面よりも表面側にある元素は急激に減少すると考えられ、又、それよりも試料の深い位置に存在する元素は急激に増加すると考えられる。実際、二酸化ルテニウム起因のルテニウムは、アルゴンイオンエッティング時間の増大に対して急激に減少している。一方、二酸化ハフニウム起因のハフニウムおよび酸素は、アルゴンイオンエッティング時間の増大に対して比較的急峻に増大している。ところが、金属ルテニウムに起因するルテニウムは、アルゴンイオン時間の増大に対して、これまで見てきた元素と同等の傾きで減少することが予想される。しかし、実際は傾斜がなだらかになっている。ルテニウムの成膜温度が室温の試料では、金属ルテニウムに起因するルテニウムの原子パーセントが10%以下となるのが、約90秒である。これは、ルテニウムが二酸化ハフニウム中に拡散していることを示唆している。又、ルテニウムの成膜時間を増大させると、金属ルテニウムの起因のルテニウムが検出される二酸化ハフニウム中の深さは増大している。ルテニウムの成膜温度を100、200、300と上昇させていくと、金属ルテニウム起因のルテニウムの原子パーセントが10%となる時間は、110秒、110秒、140秒と増大している。温度の上昇は拡散速度を増加させるため、この結果も、ルテニウムが二酸化ハフニウム中に拡散していると考えられる。よって、図4で示したリーク電流密度のばらつきを抑制するためには、ルテニウムが二酸化ハフニウム中に拡散するのを抑制する必要があると考えた。そこで、ルテニウムの拡散を抑制する方法として、ルテニウムと二酸化ハフニウムの界面に対して、キャップ層絶縁膜の挿入を検討した。

10

20

30

40

【0027】

<キャップ層絶縁膜として酸化タンタルが好ましい理由>

キャップ層絶縁膜の挿入により懸念されることとしては、酸化膜換算膜厚の増大、二酸化ハフニウムのバリアハイドの低下である。キャップ層絶縁膜を挿入するということは絶縁膜の膜厚増大につながるため、酸化膜換算膜厚が増大する。ルテニウムの二酸化ハフニウム中への拡散防止目的の場合、当材料同士が接触しないように、均一に成膜できる最小の膜厚だけのキャップ層絶縁膜を挿入すれば良い。

【0028】

この時、その膜厚はおよそ2nmである。2nm以下では、いずれの成膜方法を用いても島状に成長し、均一な膜とならず、キャップ層の効果は無いと考えられる。同じ物理膜厚2nmだけ成膜するとしても、誘電率が大きな材料を用いた方が、酸化膜換算膜厚の増大は抑制できる。よって、キャップ層絶縁膜には、ルテニウムの二酸化ハフニウム中への拡散を抑制することに加え、キャパシタの酸化膜換算膜厚の増大を最小限とするために、誘電率の比較的大きな材料が好ましいと考えられる。又、本構造のキャパシタにおいて、2nmのキャップ層絶縁膜を挿入した場合であっても、Fowler-Nordheimトンネル電流や、直接トンネル電流に寄与する絶縁膜は、膜厚の厚い二酸化ハフニウムである。よって、これらリーク電流の抑制には、二酸化ハフニウムと電極間のバリア高さが重要となる。キャップ層絶縁膜を挿入した場合、キャップ層絶縁膜の材料に依存して二酸化ハフニウムのバリア高さが影響を受ける可能性があるが、キャップ層絶縁膜挿入により、二酸化ハフニウムのバリア高さがより高く保てるキャップ層絶縁膜材料が望ましい。よって、これらの観点からキャップ層絶縁膜の検討結果を示し、最適なキャップ層絶縁膜を例示す。

【0029】

《キャップ層絶縁膜としての、五酸化タンタルとアルミナとの比較検討》

キャップ層絶縁膜として、候補と目される五酸化タンタルとアルミナとを比較検討した。両者はリーク電流のばらつきを抑制する効果は同等であるが、キャップ層絶縁膜がキャパシタ用絶縁膜の、二酸化ハフニウムのバリアの高さをより大きく取ることを可能にする。このことから、五酸化タンタルが最適の材用である。同様の観点で、酸化ニオブも好適である。こうしたバンド構造の問題は後に詳述する。

【0030】

キャップ層絶縁膜の材料の候補として挙げるのは、五酸化タンタルとアルミナである。共に半導体プロセスとして広く検討され、用いられている材料である。これらの材料は、

50

更に、高アスペクトのキャパシタにも成膜できる技術が確立しているため、DRAMキャパシタに適用可能な材料である。

【0031】

キャップ層絶縁膜に五酸化タンタルを用いたキャパシタの、酸化膜換算膜厚の概算値のキャップ層絶縁膜厚依存性を図6に示す。およそ、キャップ層絶縁膜の膜厚の増大に伴い、酸化膜換算膜厚が増大している。傾きより求めた比誘電率は約26である。次に、リーク電流密度の、キャップ層絶縁膜膜厚依存性を図7に示す。キャップ層絶縁膜膜厚を増大していくと、リーク電流密度ばらつきが劇的に減少していることが分かる。五酸化タンタルの膜厚が2nmでは、リーク電流密度のばらつきは約4桁、3nmの場合には約2桁である。つまり、五酸化タンタルキャップ層絶縁膜の挿入は、リーク電流密度のばらつき抑制には非常に効果的であることが判明した。

10

【0032】

次にキャップ層絶縁膜にアルミナを用いた場合の、酸化膜換算膜厚概算値の、キャップ層絶縁膜膜厚依存性を図8に示す。酸化膜換算膜厚は、アルミナの膜厚を増大すると増大する傾向にある。傾きより、比誘電率を導出すると約9.4であった。五酸化タンタルをキャップ層絶縁膜に用いた場合と比較すると、比誘電率の差に起因して、挿入したキャップ層絶縁膜の物理膜厚に対する酸化膜換算膜厚の増加率が大きいことが分かる。アルミナをキャップ層絶縁膜に用いた場合、比誘電率の低さに起因した、酸化膜換算膜厚の増大が、実際に観察された。次に、リーク電流密度の、キャップ層絶縁膜膜厚依存性を図9に示す。アルミナ膜厚3nmの試料を除くと、キャップ層絶縁膜の膜厚を増大させると、リーク電流ばらつきが減少する傾向が確認された。キャップ層絶縁膜としてアルミナを挿入しない場合、8桁であったリーク電流密度のばらつきは、アルミナを2nm挿入することで3桁まで減少できた。つまり、五酸化タンタルを挿入した場合と同様に、アルミナをキャップ層絶縁膜に用いてもリーク電流密度のばらつきは同様に低減することが可能である。

20

【0033】

そこで、実際にキャップ層絶縁膜の挿入により、ルテニウムの二酸化ハフニウム中への拡散が抑制されていることを確認するために、キャップ層絶縁膜に五酸化タンタルを2nm挿入した試料を用いて、図5で示した、X線光電子分光法とアルゴンイオンエッティングを組み合わせた実験を行い、含有元素の深さプロファイルを取得した。その結果を図10に示す。アルゴンイオンエッティング時間が20秒までが電極ルテニウム、60秒までがキャップ層絶縁膜五酸化タンタル、60秒以降が二酸化ハフニウムをエッティングしていると考えられる。図10より、五酸化タンタルキャップ層絶縁膜2nmの挿入により、ルテニウムの二酸化ハフニウム中への拡散が劇的に減少していることが分かる。五酸化タンタルと二酸化ハフニウムの界面では、金属ルテニウム起因のルテニウムの原子パーセントは10%以下となっている。つまり、五酸化タンタルをキャップ層絶縁膜に用いると、ルテニウムの二酸化ハフニウム中への拡散が抑制され、リーク電流密度のばらつきが抑制されたと考えられる。

30

【0034】

以上の結果より、五酸化タンタルをルテニウム上部電極と二酸化ハフニウム絶縁膜の間に挿入するキャップ層絶縁膜として用いると、ルテニウムの二酸化ハフニウム中への拡散が抑制されることが明らかとなった。

40

【0035】

五酸化タンタルの比誘電率(26)は二酸化ハフニウムの比誘電率(20)よりも大きいことを考慮すると、絶縁膜を全て五酸化タンタルに置き換える方法も考えられるが、同方法は有効ではない。それは、五酸化タンタルはルテニウムとは急峻な界面を形成するが、窒化チタンと接触させると互いに反応し、急峻な界面が得られないからである。つまり、窒化チタンとの界面には二酸化ハフニウムが接していることが望ましい。下部電極をルテニウムとすれば、絶縁膜を五酸化タンタル単層とすることができますが、ルテニウムを下部電極に用いるためには、上部電極に用いるよりも高い技術が必要である。よって、技術的課題の少ない上部電極にルテニウムを適用する世代では、下部電極には広く用いられている

50

窒化チタンを用いる必要がある。

【0036】

このような観点から、キャップ層絶縁膜材料として考えられる他の材料は、酸化ニオブが挙げられる。当材料の比誘電率は30程度であり、同様のキャップ層の効果があると考えられる。

【0037】

次に、ルテニウムが二酸化ハフニウム中に拡散することにより、リーク電流密度のばらつきを生じるメカニズムを説明する。五酸化タンタルを0nmから3nmまで1nmおきに増大させていった4つの試料をX線光電子分光法により分析し、得られた価電子帯波形を結果を図11Aより図11Dに示す。各々の図には、ルテニウムを50nm成膜した試料の分析から得られた、ルテニウムのみから得られた価電子帯波形を重ねて示す。価電子帯波形において、結合エネルギー0eVはフェルミエネルギーに対応し、結合エネルギーが増大すると、フェルミエネルギーよりも深いエネルギー準位を示す。また、価電子帯波形の強度は、その準位における電子の状態密度を示す。ルテニウムのみからの価電子帯波形と、二酸化ハフニウムとルテニウムを積層したときの波形の差分は、二酸化ハフニウムの状態密度を示す。図11(a)はキャップ層絶縁膜を挿入していない試料の結果であるが、結合エネルギーは約2.5eVから差分が生じている。この差分が生じ始めているエネルギーは価電子帯の上端に対応し、ルテニウムのフェルミエネルギーと二酸化ハフニウムの価電子帯オフセットが2.5eVであることを示す。このように考えると、どの試料においても、価電子帯上端のエネルギーよりも低いエネルギーではルテニウムのみに起因した波形と二酸化ハフニウムおよびキャップ層絶縁膜の五酸化タンタルを積層した試料の波形は重ならなくてはいけない。それは、このエネルギーは絶縁膜の禁性帯に対応するため、絶縁膜の状態密度は存在しないからである。しかし、図11A - 図11Dを見ると、キャップ層絶縁膜が無い試料(図11A)および1nmの試料(図11B)については、結合エネルギー1eV - 2eVの間に、同スペクトルの差分が発生している。一方、五酸化タンタルキャップ層絶縁膜を2nm以上挿入すると、同差分は消滅している。つまり、ルテニウムが二酸化ハフニウムに拡散していることが確認されている、キャップ層絶縁膜無しの試料では、二酸化ハフニウムの禁性帯中に何らかの状態密度が発生しており、一方、同拡散の抑制が確認されているキャップ層絶縁膜五酸化タンタルの膜厚が2nm以上の試料に関しては、同二酸化ハフニウムの禁性帯中の準位は消えていることが分かった。この結果は次のように考えることができる。

【0038】

図12A及び図12Bには状態密度およびキャパシタの模式図を示した。キャップ層絶縁膜の五酸化タンタルの膜厚が1nm以下の場合、つまり五酸化タンタルが無い図12Aの(b)又は、1nmの膜のように均一な膜となっておらずルテニウムと二酸化ハフニウムが接している部分が存在する場合(図12Aの(c))は、ルテニウムが二酸化ハフニウム中に拡散し、二酸化ハフニウムの禁性帯中に状態密度を作ったと考えられる(図12Aの(a))。一方、キャップ層絶縁膜の五酸化タンタルの膜厚が2nm以上の場合(図12Bの(e))、つまり、均一な膜であるキャップ層絶縁膜の五酸化タンタルによりルテニウムと二酸化ハフニウムが完全に隔てられている場合、ルテニウムの二酸化ハフニウム中への拡散は抑制され、二酸化ハフニウムの禁性帯中には状態密度の発生は無いと考えられる(図12Bの(a))。

【0039】

《キャップ層絶縁膜の二酸化ハフニウムのバリア高さに与える影響》

次に、キャップ層絶縁膜の挿入による、二酸化ハフニウムのバリア高さに与える影響を説明する。同評価のために、キャップ層絶縁膜に五酸化タンタル、またはアルミナを3nm挿入した場合のバンド構造を、物理分析により導出した。

【0040】

図13では、二酸化ハフニウムに起因した01sピークの波形を示す。01sのメインピークのエネルギーと、高エネルギー側に現れるロスピークの立ち上がりのエネルギーの差が

10

20

30

40

50

、二酸化ハフニウムの禁性帯幅に一致することが知られている。同方法により求めた、二酸化ハフニウムの禁性帯幅は4.4 eVであった。この値は、一般的に報告されている値よりも小さいが、これは、成膜方法等が最適化されていないためと考えられる。最適化を行なうと、二酸化ハフニウムの禁性帯幅は6.0 eVとなる。

次に図14では五酸化タンタルに起因したTa 4fピークの波形を示す。Ta 4fのピークエネルギーとロスピークの立ち上がりのエネルギー差より、五酸化タンタルの禁性帯幅を導出すると、4.7 eVであった。

【0041】

次に、図11に示したキャップ層絶縁膜に五酸化タンタルを挿入した試料およびアルミナを挿入した試料より得られた価電子帯波形から求めた、絶縁膜の価電子帯上端のエネルギーをまとめたのが図15である。五酸化タンタルおよびアルミナの膜厚を増大していくと、価電子帯オフセットの値は徐々に増大していく。これは、十分膜厚の厚い、ルテニウムと二酸化ハフニウムを積層したときの価電子帯オフセットが、ルテニウムと五酸化タンタルまたはアルミナを積層した時の価電子帯オフセットの値が変化している様子が見えていていると考えられる。キャップ層絶縁膜の膜厚を3 nm程度にすると、キャップ層絶縁膜材料のバルクの値に近いバンド構造が出来ると考えられる。また、特にアルミナを挿入すると価電子帯オフセットの増加量は大きい。これは、アルミナの禁性帯幅が6.6 eVと比較的大きいため、アルミナの価電子帯オフセットも五酸化タンタルに比べて大きいためと考えられる。

10

【0042】

次に、キャップ層絶縁膜として五酸化タンタルとアルミナを、0 nmから3 nm挿入したときのHf 4fピークの波形を、各々図16Aより図16Bに示す。これらの結果より分かるのは、いずれのキャップ層絶縁膜であっても、膜厚を増大していくと、Hf 4fのピークエネルギーは高エネルギー側にシフトしていく点である。このピークエネルギーのシフト量をまとめたのが図17である。五酸化タンタルを挿入した場合もアルミナを挿入した場合も、キャップ層絶縁膜の物理膜厚増加に対してほぼ線形にHf 4fのピークシフトが発生している。五酸化タンタルをキャップ層に3 nm挿入した場合、約0.3 eVの、アルミナをキャップ層絶縁膜に3 nm挿入した場合、約0.6 eVのシフトが観察された。このエネルギーシフトが意味するのは、ルテニウムに近い側の二酸化ハフニウムのバンドが、フェルミエネルギーに対してエネルギーシフトの分だけ下がっていることを示す。よって、キャップ層絶縁膜に五酸化タンタルを3 nm挿入すると、アルミナを3 nm挿入した場合に比べて、ルテニウム側の二酸化ハフニウムのバリア高さは0.3 eV大きく取ることができることが判明した。

20

30

【0043】

ルテニウムの仕事関数を4.8 eV、窒化チタンの仕事関数を4.2 eVと仮定すると、キャップ層絶縁膜として五酸化タンタルおよびアルミナを3 nm挿入した場合のバンド構造は、各々図18A及び図18Bのように示すことができる。先に述べたように、二酸化ハフニウムのバリア高さはリーク電流への寄与が大きい。同バリア高さが大きいほど、リーク電流を低減することが可能である。このような観点からキャップ層絶縁膜を考えると、キャップ層絶縁膜にアルミナを用いた場合よりも五酸化タンタルを用いるほうが、二酸化ハフニウムのバリア高さを高くすることが可能であり、リーク電流低減に効果的であると考えられる。

40

【0044】

図19には、キャップ層絶縁膜膜厚と、得られる酸化膜換算膜厚の関係を示した。横軸が比誘電率2.5を仮定した五酸化タンタルキャップ層絶縁膜の物理膜厚、縦軸が図中に記載の絶縁膜の物理膜厚を、五酸化タンタル絶縁膜の物理膜厚と併せて、直接トンネルリーク電流を抑制に最低限必要な6 nmとしたときの酸化膜換算膜厚を示している。また、図中の黒点は、キャップ層絶縁膜および絶縁膜の膜厚を、最低それぞれ均一な膜となる2 nm以上としたときの、実現可能な酸化膜換算膜厚を示している。絶縁膜に比誘電率2.0の二酸化ハフニウムを用いた場合、酸化膜換算膜厚は1.2 nm以下で作成可能である。特

50

に、キャップ層絶縁膜に五酸化タンタル 2 nm を適用しても、酸化膜換算膜厚 1.2 nm 以下で、直接トンネルリーク電流を抑制したキャパシタの作成が可能であることが分かった。また、絶縁膜に比誘電率 2.5 の酸化ジルコニアムを用いた場合、同様に 1.0 nm 以下の酸化膜換算膜厚のキャパシタを作成可能であり、キャップ層に五酸化タンタルを用いても、薄膜化限界はほぼ同等である。つまり、五酸化タンタルは二酸化ハフニウムや二酸化ジルコニアムよりも誘電率が高いため、キャップ層の挿入により、薄膜化限界が増大するようなことは無い。つまり、キャパシタ絶縁膜よりも誘電率の大きな材料からなるキャップ層の適用は、両者の物理膜厚の和が同じになるようにして積層しても、酸化膜換算膜厚の増大、もしくは容量の損失無くキャパシタ形成することができるため、非常に有効であることがわかった。

10

【0045】

以上の結果より、キャップ層絶縁膜の材料は、従来材料のアルミナに比べ、五酸化タンタルが望ましいことが判明した。キャップ層絶縁膜の膜厚は拡散防止であるため、連続膜となっていなくてはならない。即ち、キャップ層絶縁膜は、連続膜となる最低の膜厚として十分である。現実的には 2 nm 以上である。また、絶縁膜の膜厚も同様に、連続膜となるためには 2 nm 以上必要である。

【0046】

図 20 には、絶縁膜およびキャップ層絶縁膜の候補として挙げた材料の内一部の、禁性帯幅、伝導体オフセット量、および比誘電率の値を示した。一般的に、絶縁膜の絶縁性を示す指標をして用いられるのが、その絶縁膜材料の禁性帯幅である。五酸化タンタルの禁性帯幅は、二酸化ハフニウムや二酸化ジルコニアムに比べて小さい。しかし、キャパシタを作り、キャリアが電子と考えられる場合、各々のキャリアの絶縁膜中の伝導メカニズム (Fowler-Nordheim トンネル電流等) に関連しているのは、伝導帯オフセットである。これらの値はキャリアに対してバリアとして働くため、値が大きいほど、絶縁性能が高いと考えられる。図 20 より、キャップ層絶縁膜に用いる五酸化タンタルは、絶縁膜材料である二酸化ハフニウムや二酸化ジルコニアムに比べて伝導体オフセット量が小さいことがわかる。以上の事実および推測より、五酸化タンタルキャップ層絶縁膜と絶縁膜を積層したとき Fowler-Nordheim トンネル電流抑制に効果があるのは、絶縁膜である二酸化ハフニウム、または二酸化ジルコニアムである。ここで、電極および絶縁膜と、絶縁膜よりも伝導体オフセットの小さなキャップ層絶縁膜を積層したキャパシタの、キャップ層絶縁膜と接触している側の電極に正の電圧を印加した時のバンド構造を示したのが、図 21A 及び図 21B である。図 21A のように、もし、二酸化ハフニウムや二酸化ジルコニアム等の伝導体オフセット量の大きな絶縁膜材料の膜厚が薄いと、電極に電圧を印加した場合、電極中の電子が絶縁膜をトンネル効果により通り抜け、図 21 に示したように、伝導体オフセット量の小さなキャップ層絶縁膜の伝導体中を移動し、もう一方の電極に到達し、リーク電流を増大させる恐れがある。一方、図 21B のように伝導体オフセット量の大きな絶縁膜の物理膜厚が厚いと、電極より絶縁膜を通してキャップ層絶縁膜中にに対して流れる F-N トンネルリーク電流が抑制され、キャパシタのリーク電流も抑制されると考えられる。つまり、キャパシタ絶縁膜として異なる絶縁膜材料を積層する場合、価電子帯オフセット量の大きい絶縁膜の膜厚は、直接トンネルリーク電流が顕著な膜厚である 6 nm 以下の範囲においては、厚くすべきである。先に、キャップ層絶縁膜の膜厚範囲は先に 2 nm 以上 3 nm 以下が望ましいと述べた。キャップ層絶縁膜材料の伝導体オフセット量が、絶縁膜材料の伝導体オフセット量よりも小さい場合は、キャップ層絶縁膜の膜厚は、絶縁膜の膜厚よりも薄くすると、リーク電流が抑制できるため、望ましい。

20

【0047】

尚、ここで、非特許文献 1 に示された $\text{Ru} / \text{Ta}_2\text{O}_5 / \text{HfO}_2 / \text{TiN}$ の構造との比較に言及しておく。両者に積層形態に類似性はあるものの、明瞭に発明思想自体は相違する。非特許文献 1 ではキャパシタ絶縁物の誘電率を増大させるため、より誘電率の高い Ta_2O_5 を用い、 Ta_2O_5 の厚みを確保することを意図しています。即ち、非特許文献 1 は $\text{Ta}_2\text{O}_5 / \text{HfO}_2$ の二層誘電体 ($\text{Ta}_2\text{O}_5 / \text{HfO}_2$ double dielectric) である。

30

40

50

を意図しています。一方、本願発明は、TiN / HfO₂ / TiN構造の上部電極TiNをRuに変換することで、リーク電流の低減を図りました。この際、HfO₂とRuとの界面の不安定さを見出し、その要因を分析し、そして、HfO₂とRuの界面での元素拡散を阻止することを意図したものです。この結果、その他のファクタ、例えば、バンド構造における、伝導体のオフセット量の観点等よりTa₂O₅を選択したものであります。従って、上述したように、連続膜となる最低の膜厚にても十分なであります。尚、例えば、原子層成長法で形成した膜は、およそ2nm相当以上のサイクル数で成膜を行った場合、連続膜となる。

【0048】

以上、実施例1を詳細に説明したが、実施例1の概要を要約すれば以下の通りである。
即ち、上部電極ルテニウムを二酸化ハフニウム上に直接積層すると、ルテニウムが二酸化ハフニウム中へ拡散することが判明した。ルテニウムの二酸化ハフニウム中への拡散を抑制するために、界面に各々の材料と元素プロファイルが深さ方向に急峻な界面を形成する五酸化タンタルを挿入する。五酸化タンタルは従来のキャップ層絶縁膜材料であるアルミナに比べ誘電率が大きく、挿入による酸化膜換算膜厚の増大を抑制できる。また、キャップ層絶縁膜五酸化タンタルによる二酸化ハフニウムの伝導体オフセットの低下は、アルミナをキャップ層絶縁膜に用いた場合に比べて抑制が可能であり、リーク電流抑制の観点からも有利である。

【0049】

更に、本願発明においては、第1の電極は、ルテニウム以外に酸化ルテニウム、キャパシタ用絶縁膜は、酸化ハフニウム以外に、イットリウムを添加した酸化ハフニウム、及び酸化ジルコニア、第2の電極は、窒化チタン、チタン、窒化タンタル、タンタル、窒化タンゲステン、タンゲステン、リンをドーピングしたポリシリコン、金、銀、銅、及びプラチナなどを用いても同等の効果を得ることが出来る。尚、前記酸化ハフニウムへのイットリウムの添加は、好もしいイットリウム添加量が概ね10at%より20at%の範囲である。同材料は誘電率の観点で好ましい。

【0050】

<製造方法の例示>

図42は、実施例1のDRAMの等価回路図である。等価回路自体は通例のものであるので詳細説明は省略するが、その概要は次の通りである。DRAMアレーは、基本的に、マトリクス状に配置された複数のワード線WL(WL0, WL1, ...)と複数のビット線BL(BL0, BL1, ...)およびこれらの交点に配置された複数のメモリセル(MC)により構成されている。1個のメモリセルは、1個のキャパシタCとこれに直列に接続された1個のメモリセル選択用のFETとで構成されている。メモリセル選択用のFETのソース及びドレインの一方は、キャパシタCと電気的に接続され、他方はビット線BLと電気的に接続されている。ワード線WLの一端は、ワードドライバ(図示されていない)に接続され、ビット線BLの一端は、センスアンプSAに接続されている。尚、I/Oは共通データ出力線、COはデータ線寄生容量、S1は列選択スイッチ、S2はプリチャージスイッチである。

【0051】

本発明によるキャパシタを有するDRAMメモリキャパシタの製造方法を説明する。尚、本例では、情報蓄積用キャパシタは、絶縁膜の孔内の内面を、前記第2の電極、及び前記第2の電極上に成膜されたキャパシタ用絶縁膜、及び前記キャパシタ用絶縁膜上に成膜されたキャップ層絶縁膜、及び前記キャップ層絶縁膜上に成膜された第1の電極が形成された例である。

【0052】

通例の方法で形成されたメモリセル選択トランジスタの上にビット線1を形成し、又、選択トランジスタとキャパシタとの電気的接続を行うポリシリコンプラグ2を形成する。図22が、このメモリの主要部の断面図である。図22中、符号aはトランジスタの拡散層を示す。拡散層aはシリコン基板30に通例の方法によりドーパントをインプラントし

10

20

30

40

50

て形成し、n型もしくはp型とする。また、図中、符号bに示すのはアイソレーションであり、隣接するトランジスタ同士の電気的分離を行なうものである。図中、符号20は絶縁膜を示す。尚、本例での図面は、メモリ部のトランジスタに接続されるメモリ容量部の構造に関する発明であるので、この部分のみ図示し、半導体基板上に形成される半導体素子部については、以下の図面では、図示及び詳細説明は省略する。

【0053】

この上に、図23に示すように膜厚100nm程度の窒化シリコン膜3を化学気相成長法によって堆積する。このシリコン窒化膜は、以下の加工の際のエッチングストップとして機能する。次に、図24に示すように、窒化シリコン膜3の上部にテトラエトキシシランを原料とする酸化シリコン膜4を形成した。この酸化シリコン膜4を、柱状酸化シリコン膜22に加工する。この状態の断面図が図25である。前記の加工は、フォトレジスト膜、ポリシリコン、タングステン、またはカーボン等、酸化シリコン膜とのエッチングの選択比が大きい材料をマスクとしてドライエッチング法を用いる。更に、窒化シリコン膜3のドライエッチングを続けて行い、図26に示すようにポリシリコンプラグ2の上部に下部電極用の溝21を形成した。更に、図27に示すように、下部電極材料として窒化チタン膜5を化学気相成長法または原子層成長法により35nm堆積する。下部電極材料はチタン、窒化タンタル、タンタル、窒化タングステン、タングステン、リンをドーピングしたポリシリコン、金、銀、銅、白金、など、酸化ハフニウム等の絶縁膜と積層した場合に急峻な界面を形成する材料であれば適用可能である。次に、図28に示すようなフォトレジスト膜を用いた通例のエッチバック技術によって、この窒化チタン膜5を各ビット毎5-1、5-2に分離する。尚、装置間搬送の際に、窒化チタン5表面に酸化チタンが2nm程度形成する。この酸化チタンは、例えばフッ化水素酸などを用いてウェットエッチングして除去する。続けて、図29に示すように絶縁膜として化学気相成長法または原子層成長法により酸化ハフニウム6を成膜する。その際、原子層成長法で成膜する場合の原料は、TEMAH(テトラ・エチル・メチル・アミド・ハフニウム)とオゾンを用いる。同絶縁膜は、酸化ジルコニアでも良い。この酸化ハフニウム膜は、キャパシタの絶縁膜である。次に、図30に示すように、キャップ層絶縁膜として酸化タンタル7を化学気相成長法又は原子層成長法により2nm以上4nm以下成膜する。同キャップ層絶縁膜はニオブ酸化膜でも良い。次に、図31に示すように化学気相成長法または原子層成長法により上部電極向けのルテニウム8を原子層成長法により成膜する。上部電極材料は、酸化ルテニウムも適用可能である。

10

20

30

40

【0054】

<実施例2>

実施例1で示した結果は、キャパシタの上下関係を入れ替えても成立すると考えられる。つまり、下部電極にルテニウム、絶縁膜に二酸化ハフニウム、同ルテニウムと同二酸化ハフニウムは積層するとルテニウムが二酸化ハフニウム中に拡散するため、同界面にキャップ層絶縁膜として五酸化タンタルを挿入する。最後に上部電極として窒化チタンを形成する。同構造のキャパシタにおいても、実施例1で示したルテニウムが二酸化ハフニウム中に拡散してリーク電流密度のばらつきが増大するという問題点が生じるため、その解決方法として同界面に五酸化タンタルキャップ層絶縁膜を挿入し、同反応を抑制可能である。

【0055】

本実施例に即したキャパシタを有するDRAMメモリキャパシタの製造方法を説明する。尚、本例においても、図面は、メモリ部のトランジスタに接続されるメモリ容量部の構造に関する発明であるので、この部分のみ図示し、半導体基板上に形成される半導体素子部については、図示及び詳細説明は省略する。

【0056】

図32に示すように、通例の方法で形成されたメモリセル選択トランジスタの上にビット線9を形成し、また、選択トランジスタとキャパシタとの電気的接続を行なうポリシリコンプラグ10を形成する。この上に図33に示すように、膜厚100nm程度の窒化シリコン膜11を化学気相成長法によって堆積し、シリコン窒化膜を加工する際のエッキン

50

グストップとする。次に、図34に示すように、窒化シリコン膜11の上部にテトラエトキシシランを原料とする酸化シリコン膜12を形成した。この酸化シリコン膜12を、図35に示すように柱状酸化シリコン22に加工する。この加工は、フォトレジスト膜、ポリシリコン、タングステン、またはカーボン等、酸化シリコン膜とのエッチングの選択比が大きい材料をマスクとしてドライエッティング法を用いた。更に、窒化シリコン膜11のドライエッティングを続けて行い、図36に示すようにポリシリコンプラグの上部に下部電極用の溝21を形成した。更に、図37に示すように、下部電極材料にルテニウム膜13を化学気相成長法又は原子層成長法により20nm堆積する。下部電極材料は特性が近い酸化ルテニウムも適用可能である。次に、図38に示すように、フォトレジスト膜を用いたエッチバック技術によって、このルテニウム膜13を各ビット毎13-1、13-2に分離する。尚、装置間搬送の際にルテニウム表面に酸化ルテニウムが1nm程度形成する。この酸化ルテニウムは、例えばフッ化水素酸などを用いてウエットエッティングして除去しても良い。続けて、図39に示すように、キャップ層絶縁膜14として酸化タンタルを化学気相成長法または原子層成長法により2nm以上5nm以下で成膜する。同キャップ層絶縁膜は、酸化ニオブでも良い。次に、図40に示すように絶縁膜として酸化ハフニウム15を化学気相成長法または原子層成長法により成膜する。原子層成長法により成膜する際の原料は、TEMAH(テトラ・エチル・メチル・アミド・ハフニウム)とオゾンを用いる。同絶縁膜は特性の近い酸化ジルコニアでも良い。次に、図41に示すように上部電極向けの窒化チタン16を化学気相成長法又は原子層成長法により成膜する。上部電極材料は、チタン、窒化タンタル、タンタル、窒化タングステン、タングステン、リンをドーピングしたポリシリコン、金、銀、銅、白金など、絶縁膜と急峻な界面を形成する材料であれば適用可能である。

10

20

30

40

50

【0057】

本構造においても、実施例1と同等の装置特性を示した。

【図面の簡単な説明】

【0058】

【図1】特定の酸化膜換算膜厚で所望の絶縁膜物理膜厚を得るのに必要な誘電率を示す図

【図2】半導体向け絶縁膜材料の比誘電率と禁性帯幅の報告値を示す図

【図3】酸化膜換算膜厚のルテニウム成膜温度依存性を示す図

【図4】リーク電流密度のルテニウム成膜温度依存性を示す図

【図5A】Ru-HfO₂界面での含有元素パーセンテージの試料深さ依存性を示す図

【図5B】Ru-HfO₂界面での含有元素パーセンテージの試料深さ依存性を示す図

【図5C】Ru-HfO₂界面での含有元素パーセンテージの試料深さ依存性を示す図

【図5D】Ru-HfO₂界面での含有元素パーセンテージの試料深さ依存性を示す図

【図6】酸化膜換算膜厚の五酸化タンタルキャップ層絶縁膜膜厚依存性を示す図

【図7】リーク電流密度の五酸化タンタルキャップ層絶縁膜膜厚依存性を示す図

【図8】酸化膜換算膜厚のアルミナキャップ層絶縁膜膜厚依存性を示す図

【図9】リーク電流密度のアルミナキャップ層絶縁膜膜厚依存性を示す図

【図10】五酸化タンタルキャップ層絶縁膜を用いた時の、含有元素パーセンテージの試料深さ依存性を示す図

【図11A】Ru/HfO₂積層における、価電子帯波形の五酸化タンタル膜厚依存性を示す図

【図11B】Ru/Ta₂O₅/HfO₂積層における、価電子帯波形の五酸化タンタル膜厚依存性を示す図

【図11C】Ru/Ta₂O₅/HfO₂積層における、価電子帯波形の五酸化タンタル膜厚依存性を示す図

【図11D】Ru/Ta₂O₅/HfO₂積層における、価電子帯波形の五酸化タンタル膜厚依存性を示す図

【図12A】Ta₂O₅層(膜厚2nm未満)における電子状態および試料構造の模式図

【図12B】Ta₂O₅層(膜厚2nm以上)における電子状態および試料構造の模式図

【図13】二酸化ハフニウム起因のO1sピーク波形を示す図

【図14】五酸化タンタル起因のTa4fピーク波形を示す図

【図15】価電子帯オフセット量のキャップ層絶縁膜膜厚依存性を示す図

【図16A】キャップ層絶縁膜がTa₂O₅の場合の、Hf4fピーク波形のキャップ層絶縁膜膜厚依存性を示す図

【図16B】キャップ層絶縁膜がAl₂O₃の場合の、Hf4fピーク波形のキャップ層絶縁膜膜厚依存性を示す図

【図17】Hf4fピークシフトのキャップ層絶縁膜膜厚依存性を示す図

【図18A】Ta₂O₅なるキャップ層絶縁膜を3nm挿入したときのバンド図

【図18B】Al₂O₃なるキャップ層絶縁膜を3nm挿入したときのバンド図

【図19】得られる酸化膜換算膜厚のキャップ層絶縁膜膜厚依存性を示す図

【図20】絶縁膜材料の禁性帯幅、伝導体オフセット、比誘電率を示す図

【図21A】キャップ層絶縁膜を有するキャパシタのバンド構造を示す図

【図21B】キャップ層絶縁膜を有するキャパシタのバンド構造を示す図

【図22】実施例1に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図23】実施例1に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図24】実施例1に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図25】実施例1に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図26】実施例1に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図27】実施例1に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図28】実施例1に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図29】実施例1に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図30】実施例1に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図31】実施例1に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図32】実施例2に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図33】実施例2に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図34】実施例2に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図35】実施例2に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図36】実施例2に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図37】実施例2に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図38】実施例2に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図39】実施例2に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

10

20

30

40

50

【図40】実施例2に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図41】実施例2に例示するDRAMメモリセルの製造工程順に示したメモリセル近傍の断面図

【図42】実施例1のDRAMの等価回路図

【符号の説明】

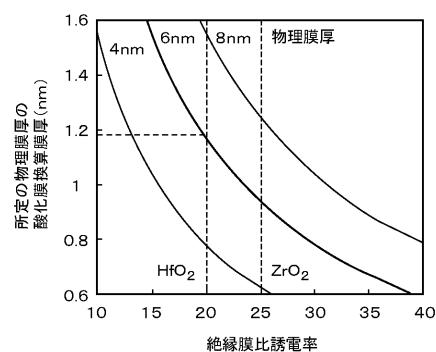
【0059】

1：ビット線、2：プラグ、3：窒化シリコン、4：酸化シリコン、5：下部電極（例えば、窒化チタン）、6：キャパシタ絶縁膜（例えば、酸化ハフニウム）、7：キャップ絶縁膜（例えば、酸化タンタル）、8：上部電極（例えば、ルテニウム）、9：ビット線、10：プラグ、11：窒化シリコン、12：酸化シリコン、13：下部電極（例えば、ルテニウム）、14：キャップ絶縁膜（例えば、酸化タンタル）、15：キャパシタ絶縁膜（例えば、酸化ハフニウム）、16：上部電極（例えば、窒化チタン）、20：絶縁膜、21：溝、22：柱状酸化シリコン膜：5-1、5-2：各ビット毎に分けられた窒化チタン膜、13-1、13-2：各ビット毎に分けられたルテニウム膜、30：シリコン基板、WL0、WL1：ワード線、BL0、BL2：ビット線、MC：メモリセル、C：キャパシタ、FET：電界効果型トランジスタ、 C_0 ：寄生容量、S1：列選択スイッチ、S2：プリチャージスイッチ。

10

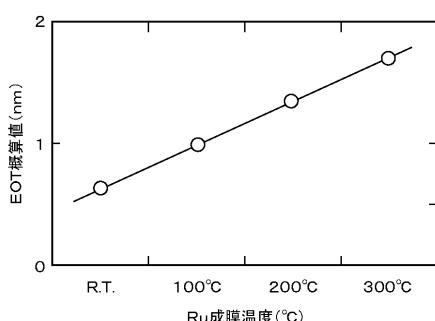
【図1】

図1



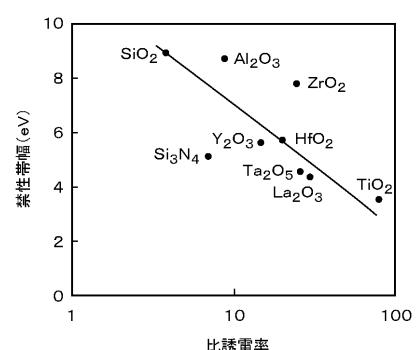
【図3】

図3



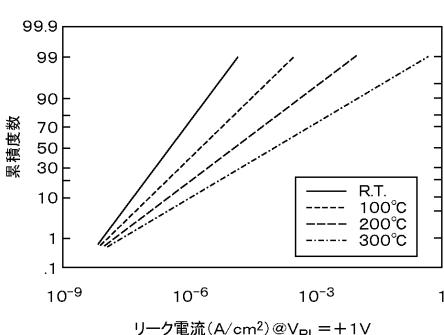
【図2】

図2



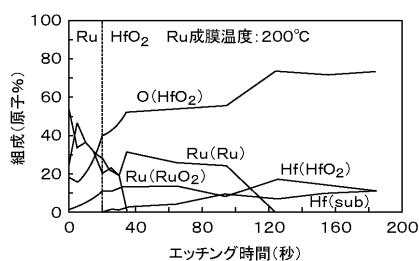
【図4】

図4



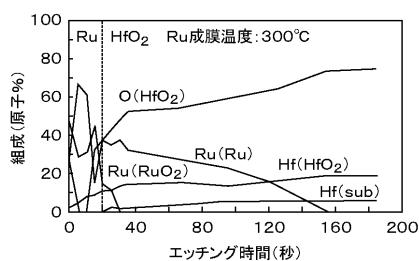
【図 5 A】

図 5A



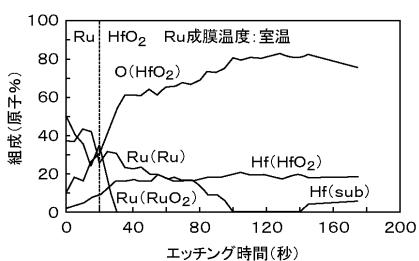
【図 5 B】

図 5B



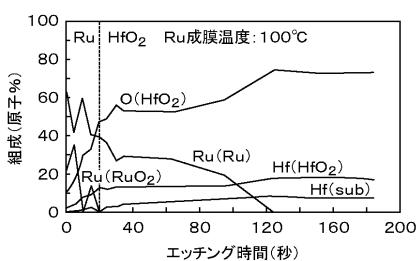
【図 5 C】

図 5C



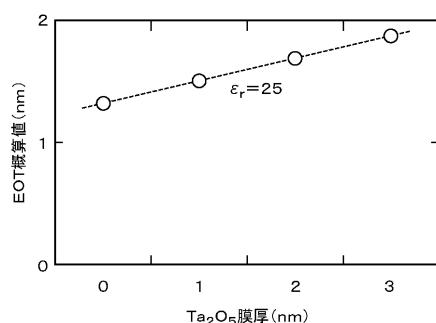
【図 5 D】

図 5D



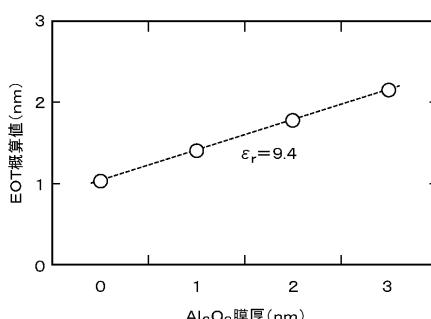
【図 6】

図 6



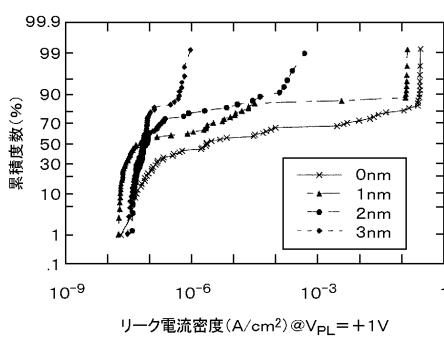
【図 8】

図 8



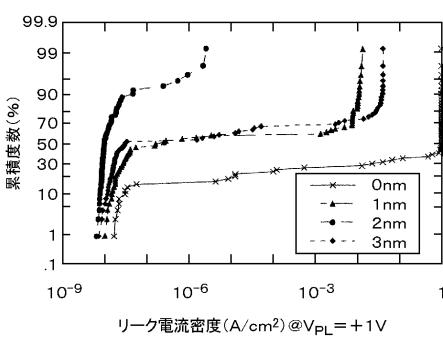
【図 7】

図 7



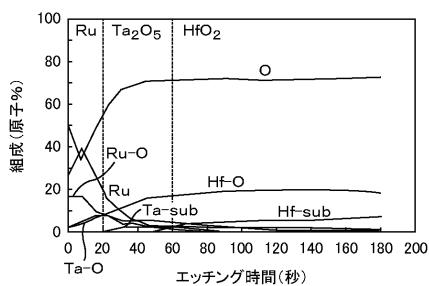
【図 9】

図 9



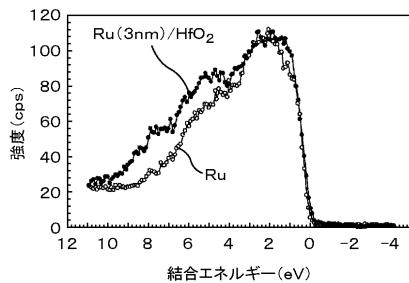
【図 10】

図 10



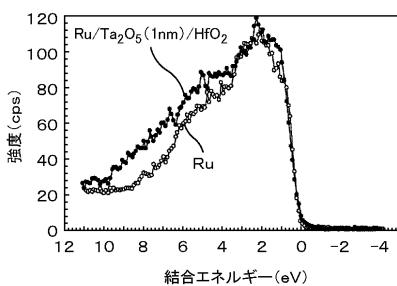
【図 11A】

図 11A



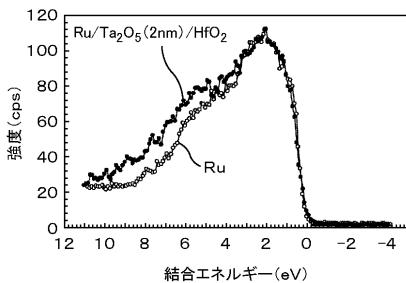
【図 11B】

図 11B



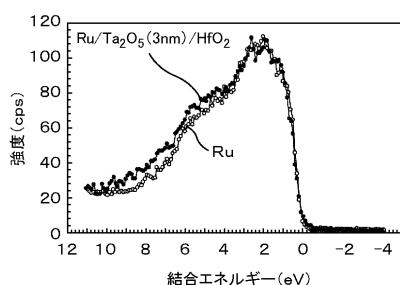
【図 11C】

図 11C



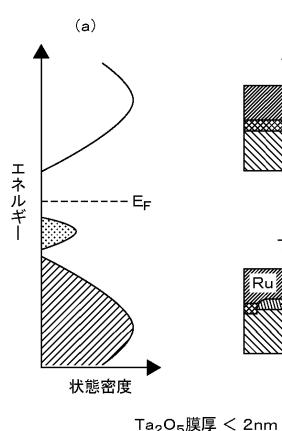
【図 11D】

図 11D



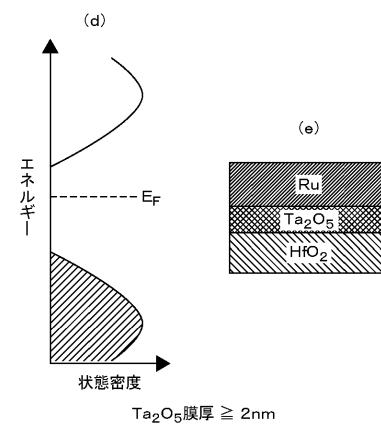
【図 12A】

図 12A



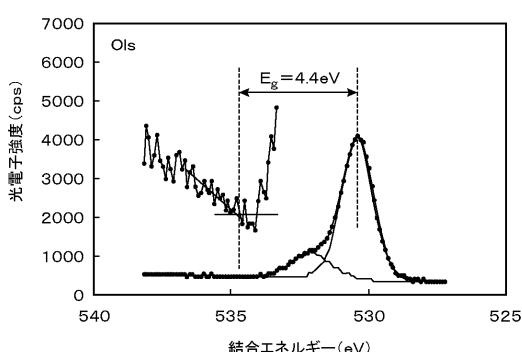
【図 12B】

図 12B



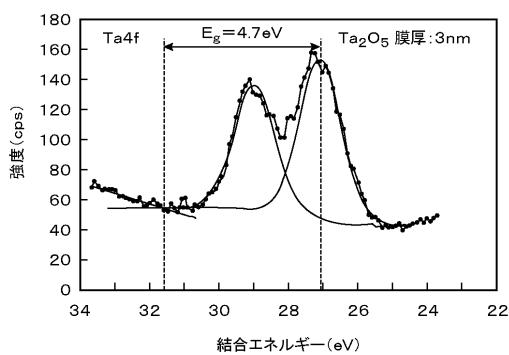
【図 13】

図 13



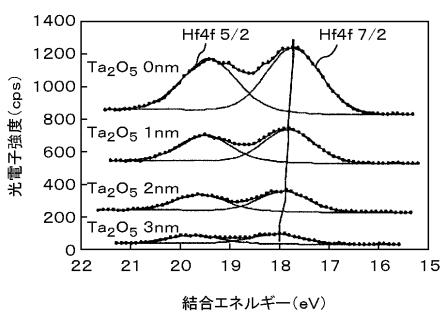
【図 14】

図 14



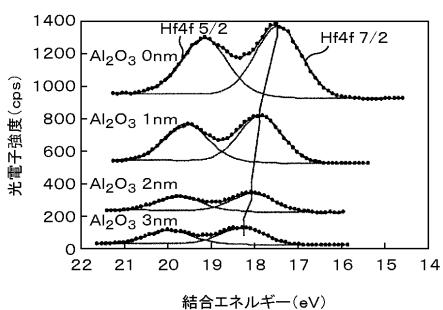
【図 16 A】

図 16A



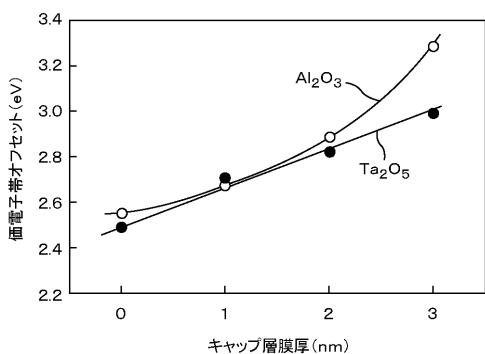
【図 16 B】

図 16B



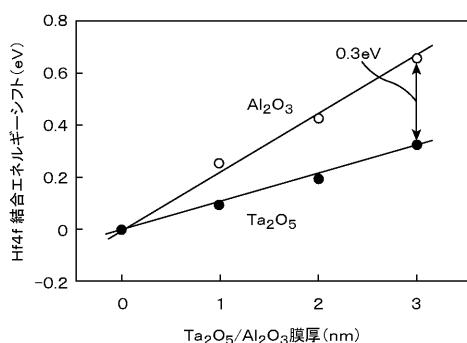
【図 15】

図 15



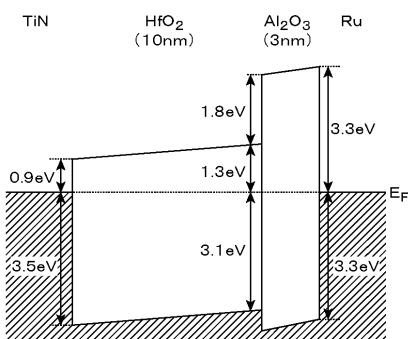
【図 17】

図 17



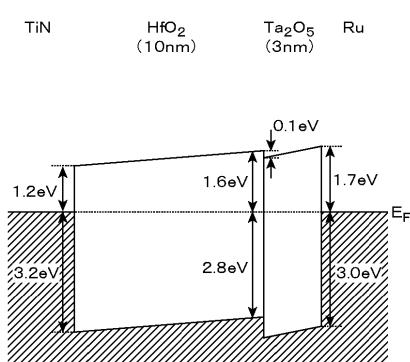
【図 18 B】

図 18B



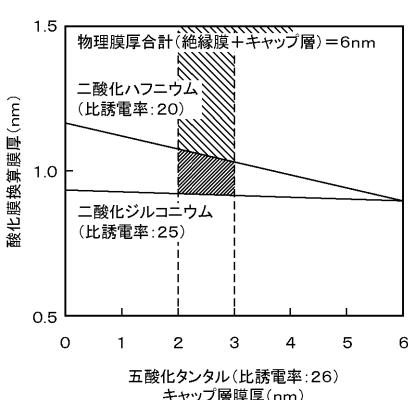
【図 18 A】

図 18A

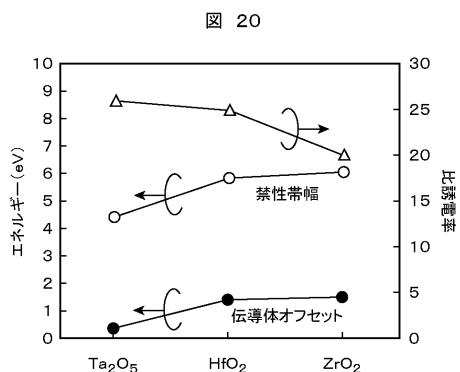


【図 19】

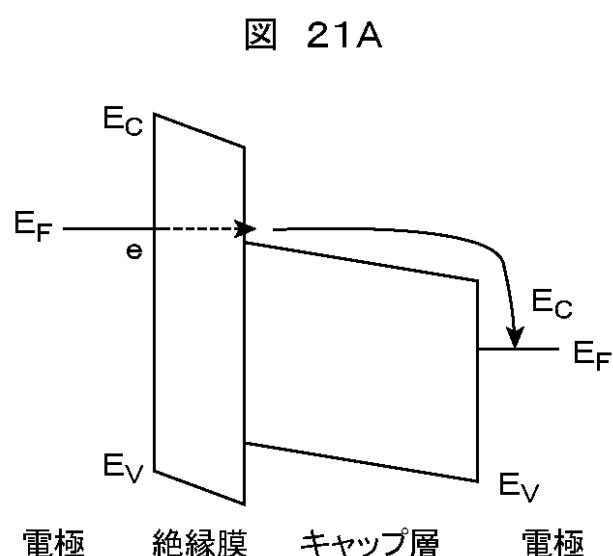
図 19



【図 20】

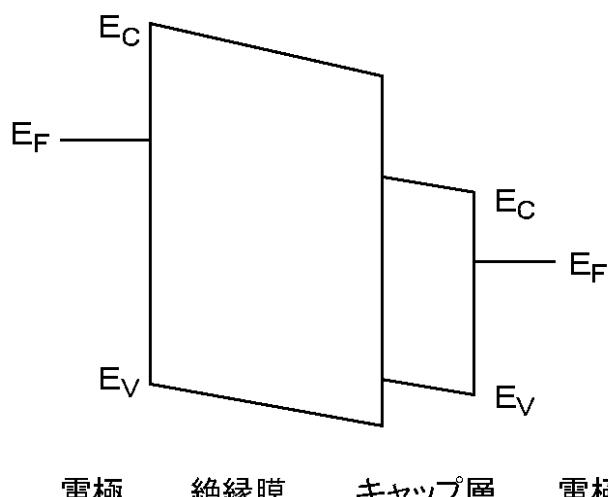


【図 21A】



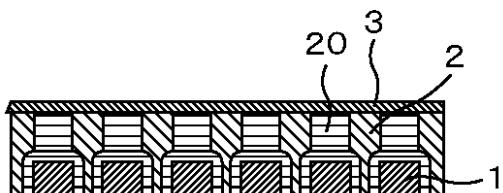
【図 21B】

図 21B



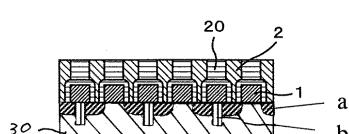
【図 23】

図 23



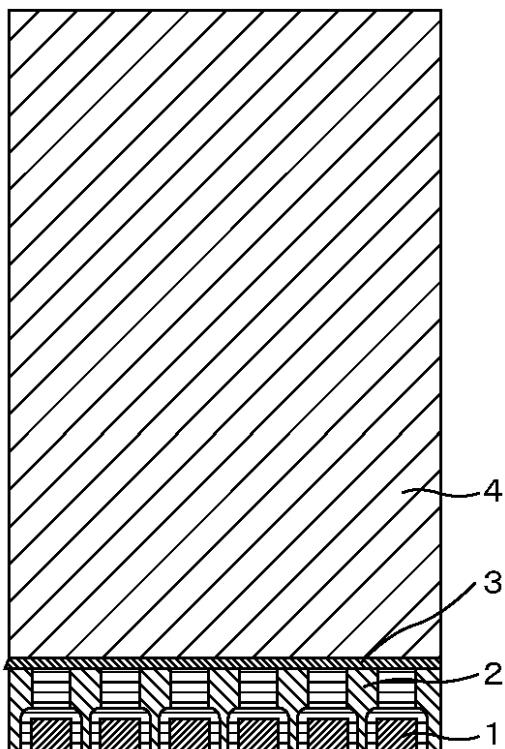
【図 22】

図 22



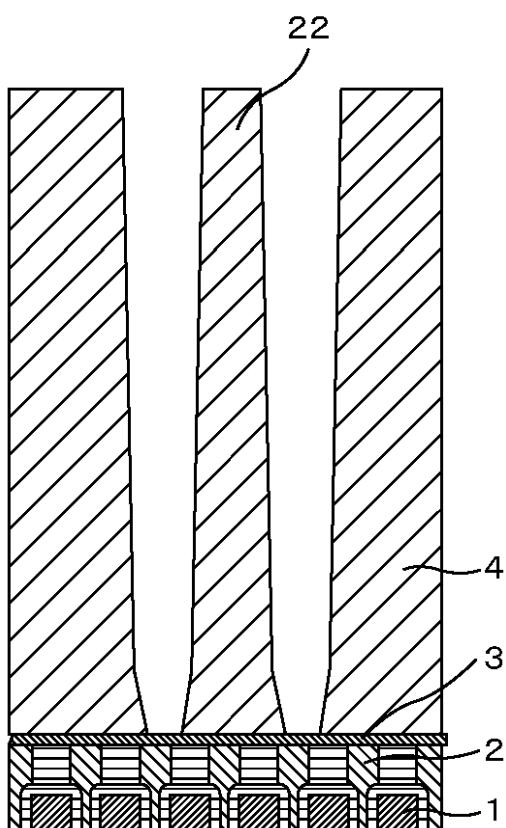
【図 24】

図 24



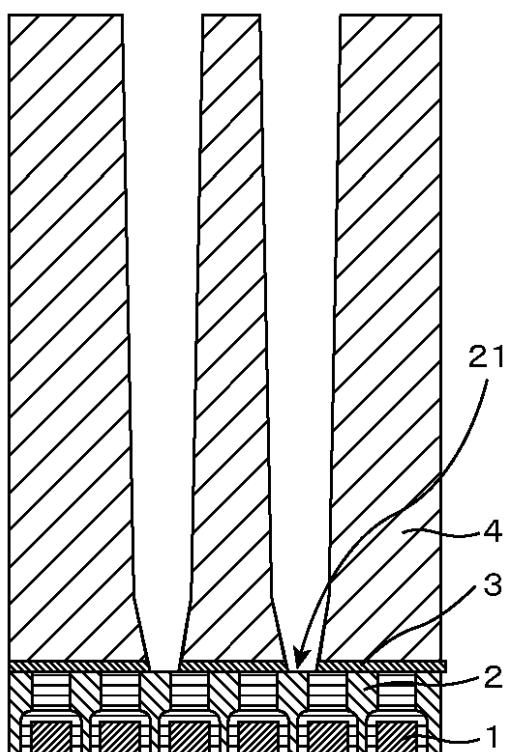
【図 25】

図 25



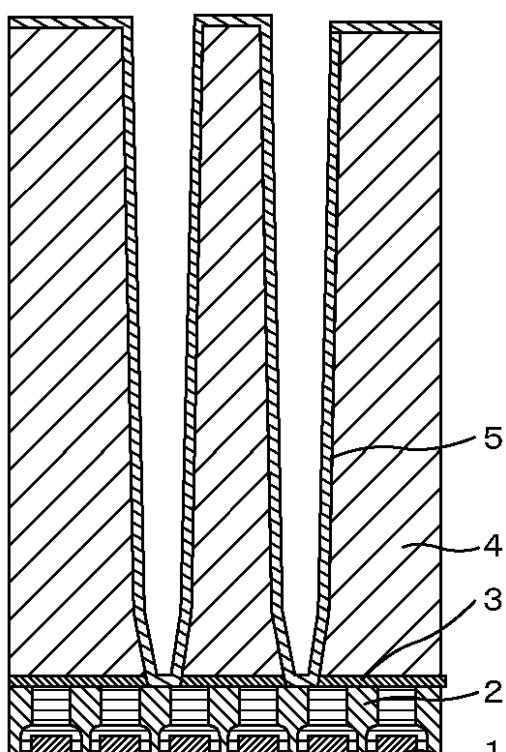
【図 26】

図 26



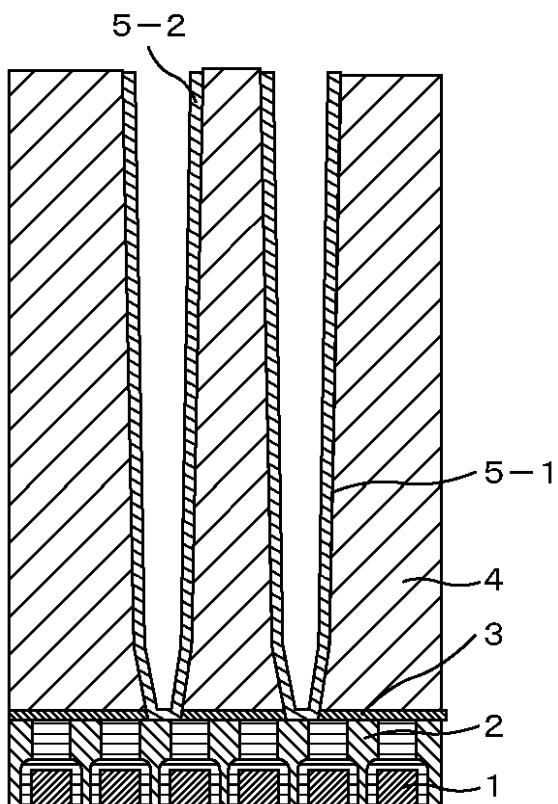
【図 27】

図 27



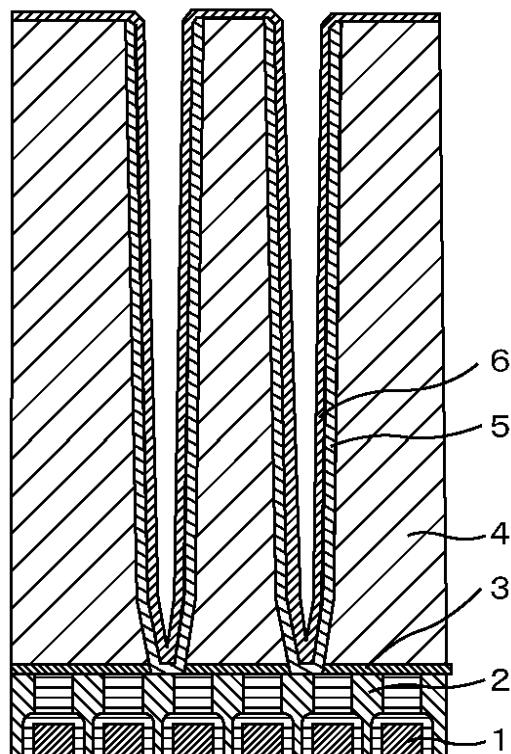
【図 28】

図 28



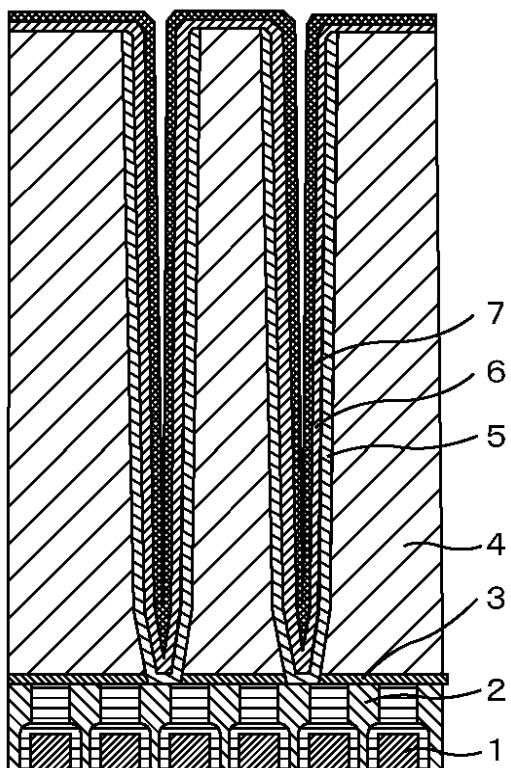
【図 29】

図 29



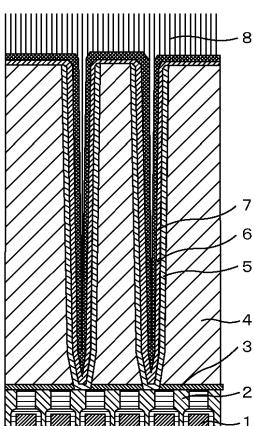
【図 30】

図 30



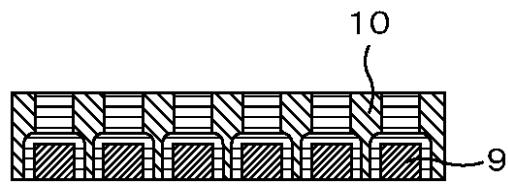
【図 31】

図 31



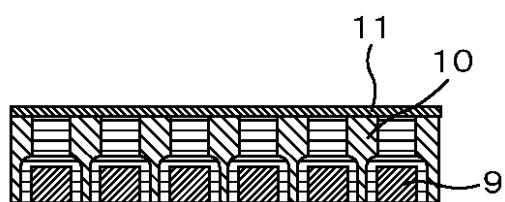
【図 32】

図 32



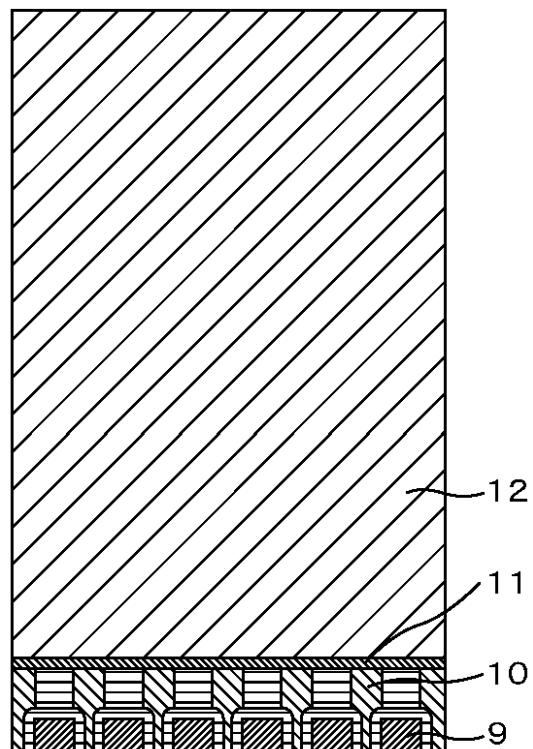
【図 33】

図 33



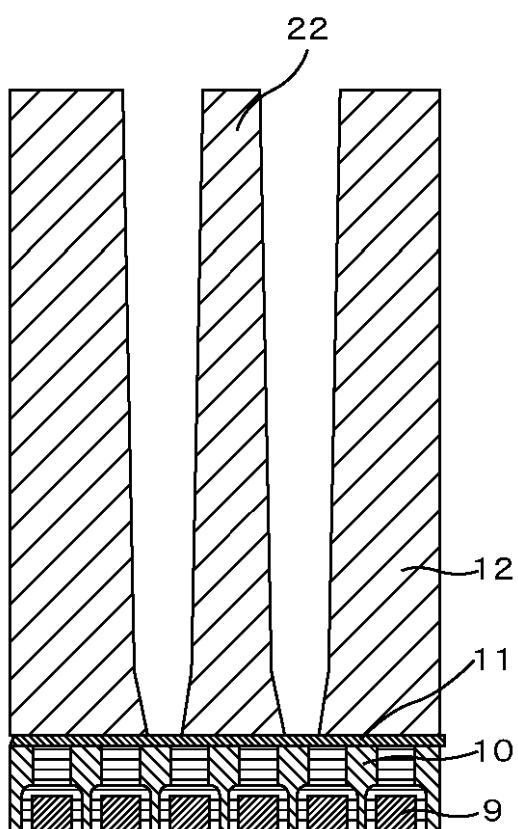
【図 34】

図 34



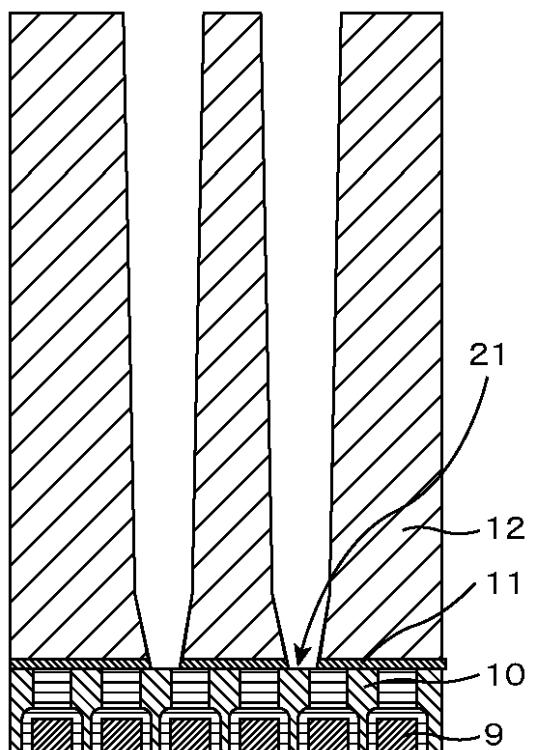
【図 35】

図 35



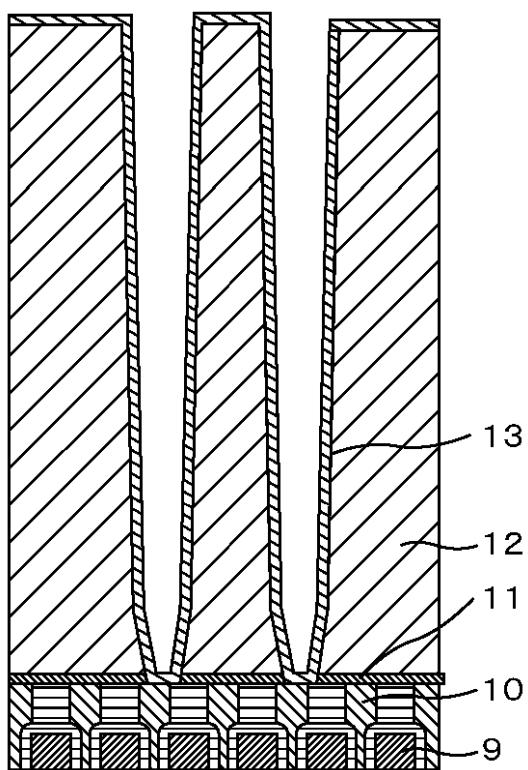
【図 36】

図 36



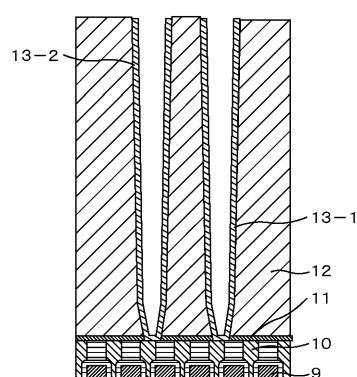
【図 37】

図 37



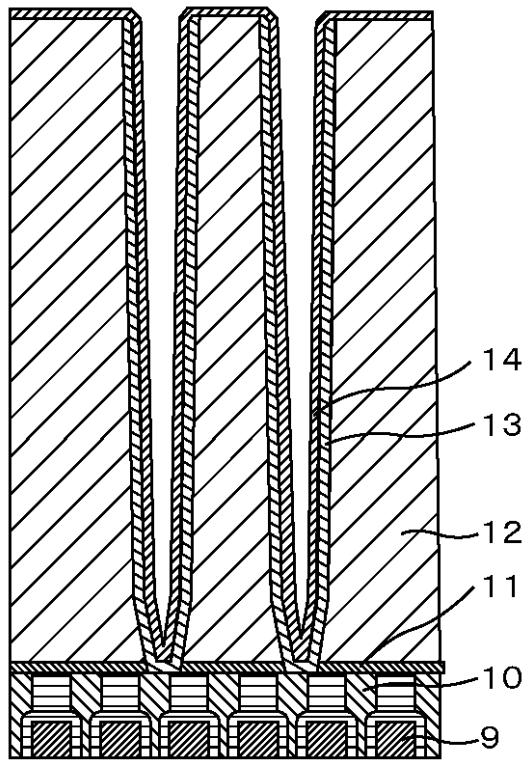
【図 38】

図 38



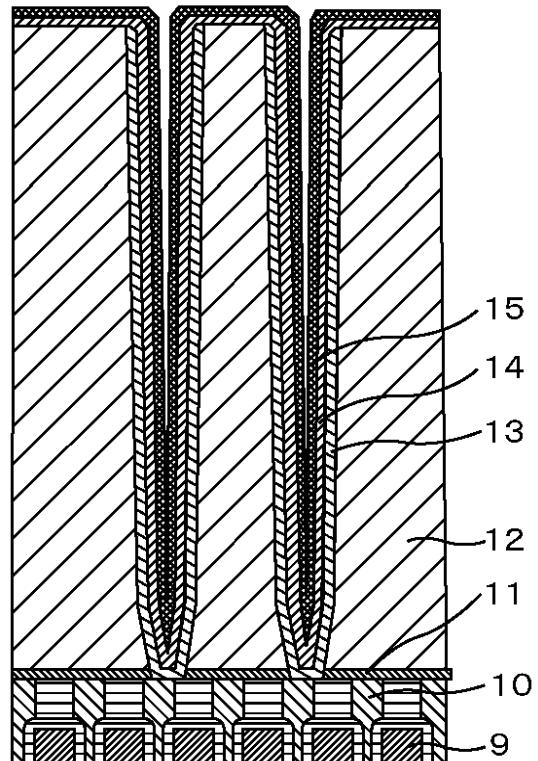
【図 39】

図 39



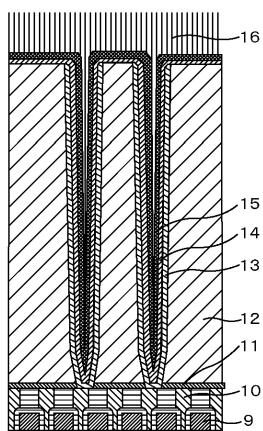
【図 40】

図 40



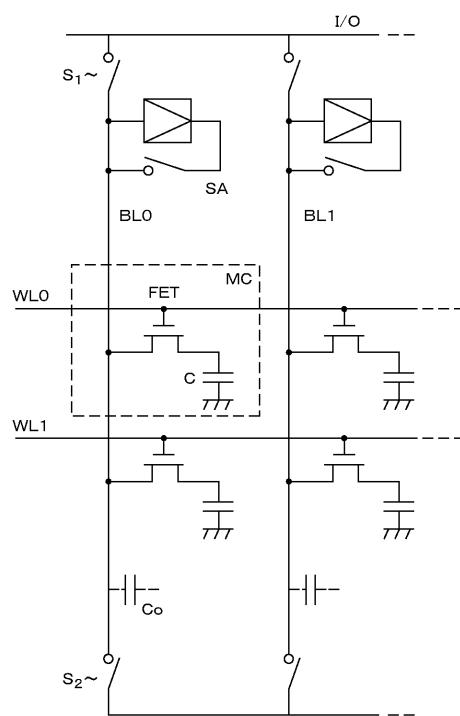
【図41】

図41



【図42】

図42



フロントページの続き

(72)発明者 武田 健一

東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

F ターム(参考) 5F083 AD24 AD31 AD48 AD60 GA01 GA05 GA09 JA02 JA03 JA06
JA38 JA39 JA40 MA06 MA17 ZA12