

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 27 年 2 月 12 日 (2015.2.12)

【公表番号】特表 2014-511039 (P2014-511039A)

【公表日】平成 26 年 5 月 1 日 (2014.5.1)

【年通号数】公開・登録公報 2014-022

【出願番号】特願 2014-502583 (P2014-502583)

【国際特許分類】

H 0 1 L 21/60 (2006.01)

H 0 1 L 21/3205 (2006.01)

H 0 1 L 21/768 (2006.01)

H 0 1 L 23/522 (2006.01)

【F I】

H 0 1 L 21/92 6 0 4 A

H 0 1 L 21/92 6 0 4 R

H 0 1 L 21/92 6 0 2 J

H 0 1 L 21/88 T

【手続補正書】

【提出日】平成 26 年 12 月 18 日 (2014.12.18)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

パッシベーション構造の下方に形成された第 1 の導体パッドを有する半導体チップを設けるステップと、

第 2 の導体パッドを、前記パッシベーション構造上であって前記第 1 の導体パッドの周囲に、間隙を残すように前記第 1 の導体パッドと物理的に接触することなく形成するステップと、

前記第 1 の導体パッドと電氣的に接触するアンダーバンプメタライゼーション構造を形成するステップと、を含み、

前記アンダーバンプメタライゼーション構造は、前記第 2 の導体パッドと上下に重なる部分を有しており、

前記第 2 の導体パッドは、前記重なる部分によって与えられる応力から、前記パッシベーション構造の一部を保護するように動作する、

製造方法。

【請求項 2】

前記第 2 の導体パッドは、前記第 1 の導体パッドの周囲に完全に伸びている、請求項 1 に記載の製造方法。

【請求項 3】

前記アンダーバンプメタライゼーション構造は、八角形の接地面を有する、請求項 1 に記載の製造方法。

【請求項 4】

はんだ構造を前記アンダーバンプメタライゼーション構造に結合するステップを備える、請求項 1 に記載の製造方法。

【請求項 5】

前記はんだ構造は、はんだバンブ及びはんだ接合のうち一方を備える、請求項 4 に記載の製造方法。

【請求項 6】

回路基板を前記はんだ構造に電氣的に結合するステップを備える、請求項 4 に記載の製造方法。

【請求項 7】

前記回路基板は、半導体チップパッケージ基板を備えている、請求項 6 に記載の製造方法。

【請求項 8】

コンピュータ可読媒体内に格納された命令を用いて、前記第 1 の導体パッドと前記第 2 の導体パッドとを形成するステップを備える、請求項 1 に記載の製造方法。

【請求項 9】

高分子膜を前記半導体チップ上に形成するステップと、

前記間隙の近くの前記パッシベーション構造の一部を保護するために、第 3 の導体パッドを、前記間隙の近くの前記高分子膜上に形成するステップとを備える、請求項 1 に記載の製造方法。

【請求項 10】

前記第 3 の導体パッドは、前記第 2 の導体パッドと物理的に接触していない、請求項 9 に記載の製造方法。

【請求項 11】

パッシベーション構造と、第 1 の導体パッドと、前記第 1 の導体パッドの近くの第 2 の導体パッドとを有する半導体チップであって、前記第 1 の導体パッドは、前記パッシベーション構造の下方に形成されており、前記第 1 の導体パッド及び第 2 の導体パッドは、間隙を残すように高分子膜によって隔てられており、前記第 1 の導体パッドは、前記第 2 の導体パッドに亘って延びるとともに前記第 2 の導体パッドと上下に重なるが、前記高分子膜により前記第 2 の導体パッドと隔てられるアンダーバンブメタライゼーション構造と電氣的に接触する、半導体チップを回路基板に結合する方法において、

はんだ構造を前記アンダーバンブメタライゼーション構造に結合するステップと、

前記はんだ構造を前記回路基板に結合するステップと、

を含む方法。

【請求項 12】

前記はんだ構造は、はんだバンブ及びはんだ接合のうち一方を備える、請求項 11 に記載の方法。

【請求項 13】

前記はんだ構造を前記回路基板に結合するステップは、前記はんだ構造を、前記回路基板に結合された予備はんだに結合するステップを備える、請求項 11 に記載の方法。

【請求項 14】

前記回路基板は、半導体チップパッケージ基板を備える、請求項 11 に記載の方法。

【請求項 15】

前記間隙の近くの前記パッシベーション構造の一部を保護するために、第 3 の導体パッドを、前記間隙の近くの前記高分子膜上に形成するステップを備える、請求項 11 に記載の方法。

【請求項 16】

前記第 3 の導体パッドは、前記第 2 の導体パッドと物理的に接触していない、請求項 15 に記載の方法。

【請求項 17】

パッシベーション構造の下方に形成された第 1 の導体パッドを有する半導体チップと、前記パッシベーション構造上であって前記第 1 の導体パッドの周囲に、間隙を残すように前記第 1 の導体パッドと物理的に接触することなく存在する第 2 の導体パッドと、前記第 1 の導体パッドと電氣的に接触するアンダーバンブメタライゼーション構造と、

を備え、

前記アンダーバンプメタライゼーション構造は、前記第２の導体パッドと上下に重なる部分を有しており、

前記第２の導体パッドは、前記重なる部分によって与えられる応力から、前記パッシベーション構造の一部を保護するように動作する、  
装置。

【請求項１８】

前記第２の導体パッドは、前記第１の導体パッドの周囲に完全に伸びている、請求項１７に記載の装置。

【請求項１９】

前記アンダーバンプメタライゼーション構造は、八角形の接地面を有する、請求項１７に記載の装置。

【請求項２０】

前記アンダーバンプメタライゼーション構造に結合されたはんだ構造を備える、請求項１９に記載の装置。

【請求項２１】

前記はんだ構造は、はんだバンプ及びはんだ接合のうち一方を備える、請求項２０に記載の装置。

【請求項２２】

前記半導体チップに結合された回路基板を備える、請求項１７に記載の装置。

【請求項２３】

前記半導体チップ上の高分子膜と、

前記間隙の近くの前記パッシベーション構造の一部を保護するために、前記間隙の近くの前記高分子膜上に存在する第３の導体パッドとを備える、請求項１７に記載の装置。

【請求項２４】

前記第３の導体パッドは、前記第２の導体パッドと物理的に接触していない、請求項２３に記載の装置。