

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7521733号
(P7521733)

(45)発行日 令和6年7月24日(2024.7.24)

(24)登録日 令和6年7月16日(2024.7.16)

(51)国際特許分類

F I

H 0 2 J 1/00 (2006.01)

H 0 2 J 1/00 3 0 6 A

H 0 2 J 1/00 3 0 8 J

請求項の数 11 (全23頁)

(21)出願番号	特願2022-549703(P2022-549703)	(73)特許権者	521065355
(86)(22)出願日	令和3年11月11日(2021.11.11)		エルジー エナジー ソリューション リ
(65)公表番号	特表2023-514614(P2023-514614		ミテッド
	A)		大韓民国 ソウル ヨンドゥンボ - グ ヨ
(43)公表日	令和5年4月6日(2023.4.6)		イ - デロ 1 0 8 タワー 1
(86)国際出願番号	PCT/KR2021/016470	(74)代理人	110000877
(87)国際公開番号	WO2022/103182		弁理士法人 R Y U K A 国際特許事務所
(87)国際公開日	令和4年5月19日(2022.5.19)	(72)発明者	チョイ、ジャン - ヒョク
審査請求日	令和4年8月18日(2022.8.18)		大韓民国 3 4 1 2 2 デジェオン、ユセ
(31)優先権主張番号	10-2020-0152316		オン - グ、ムンジ - ロ、1 8 8、エルジ
(32)優先日	令和2年11月13日(2020.11.13)		ー ケム リサーチ パーク
(33)優先権主張国・地域又は機関	韓国(KR)	審査官	清水 祐樹
前置審査			
		最終頁に続く	

(54)【発明の名称】 リレー制御装置及び方法

(57)【特許請求の範囲】

【請求項 1】

第 1 リレーの動作状態を制御するための第 1 制御信号、及び第 2 リレーの動作状態を制御するための第 2 制御信号を出力するプロセッサと、
前記プロセッサと接続されて前記プロセッサの動作状態をモニタリングし、
前記プロセッサの動作状態に応じて前記第 1 リレー及び前記第 2 リレーの動作状態を維持するためのリティン信号を出力するモニタリング部と、
前記プロセッサから前記第 1 制御信号及び前記第 2 制御信号を受信し、
前記モニタリング部から前記リティン信号を受信し、
受信した前記第 1 制御信号、前記第 2 制御信号及び前記リティン信号に基づいて、前記第 1 リレーの動作状態を制御する第 1 リレー制御信号及び前記第 2 リレーの動作状態を制御する第 2 リレー制御信号を出力するリレー状態決定部と、を含み、
前記プロセッサは、
前記プロセッサの動作状態に応じて前記リレー状態決定部から出力されるリレー制御信号を決定する第 3 制御信号または回復信号を前記リレー状態決定部にさらに出力し、
前記リレー状態決定部は、
前記プロセッサから受信した前記第 3 制御信号または前記回復信号の信号レベルに基づいて、前記第 1 制御信号、前記第 2 制御信号及び前記リティン信号のうちの一部を前記第 1 リレー制御信号及び前記第 2 リレー制御信号として出力し、
前記プロセッサは、

10

前記プロセッサの動作状態がリセット状態である場合、前記第 3 制御信号を前記リレー状態決定部に出力し、

前記プロセッサの動作状態が回復状態である場合、前記回復信号を前記リレー状態決定部に出力する、リレー制御装置。

【請求項 2】

前記回復信号は、

前記信号レベルが第 1 信号レベルとして出力され、所定の時間が経過した後、前記信号レベルを第 2 信号レベルに移行し、

前記第 3 制御信号は、

前記第 1 信号レベルの前記回復信号が出力される場合、前記信号レベルを前記第 1 信号レベルから前記第 2 信号レベルに移行する、請求項 1 に記載のリレー制御装置。

10

【請求項 3】

前記第 3 制御信号は、

前記第 1 信号レベルの前記回復信号が出力されるまで、前記信号レベルが前記第 1 信号レベルを維持するように予め設定された、請求項 2 に記載のリレー制御装置。

【請求項 4】

前記リレー状態決定部は、

前記プロセッサの動作状態が前記回復状態である場合、前記プロセッサから前記回復信号を受信し、

前記第 1 リレー制御信号として前記第 1 制御信号を出力し、

前記第 2 リレー制御信号として前記第 2 制御信号を出力する、請求項 2 または 3 に記載のリレー制御装置。

20

【請求項 5】

前記リレー状態決定部は、

前記プロセッサの前記動作状態が前記リセット状態である場合、前記プロセッサから前記第 1 信号レベルの前記第 3 制御信号を受信し、

前記第 1 リレー制御信号及び前記第 2 リレー制御信号として前記リティン信号を出力する、請求項 2 から 4 のいずれか一項に記載のリレー制御装置。

【請求項 6】

前記モニタリング部は、

前記プロセッサの動作状態が前記リセット状態である場合、所定の時間前記リティン信号の信号レベルを第 2 信号レベルとして出力し、

前記所定の時間が経過した後は前記リティン信号の信号レベルを第 1 信号レベルとして出力する、請求項 2 から 5 のいずれか一項に記載のリレー制御装置。

30

【請求項 7】

前記リレー状態決定部は、

前記リティン信号の信号レベルが前記第 2 信号レベルである場合、前記第 1 リレー及び前記第 2 リレーの動作状態を維持する、請求項 2 から 6 のいずれか一項に記載のリレー制御装置。

【請求項 8】

前記リレー状態決定部は、

前記リティン信号の信号レベルが前記第 1 信号レベルである場合、前記第 1 リレー及び前記第 2 リレーの動作状態を変更する、請求項 2 から 7 のいずれか一項に記載のリレー制御装置。

40

【請求項 9】

請求項 1 から 8 のいずれか一項に記載のリレー制御装置を含む、バッテリーバック。

【請求項 10】

請求項 1 から 8 のいずれか一項に記載のリレー制御装置を含む、自動車。

【請求項 11】

プロセッサにおいて、第 1 リレーの動作状態を制御するための第 1 制御信号及び第 2 リ

50

レーの動作状態を制御するための第2制御信号を出力する第1信号出力段階と、

モニタリング部において、前記プロセッサと接続されて前記プロセッサの動作状態をモニタリングし、前記プロセッサの動作状態に応じて前記第1リレー及び前記第2リレーの動作状態を維持するリティン信号を出力する第2信号出力段階と、

リレー状態決定部において、前記第1制御信号、前記第2制御信号及び前記リティン信号に基づいて、前記第1リレーの動作状態を制御する第1リレー制御信号及び前記第2リレーの動作状態を制御する第2リレー制御信号を出力するリレー制御信号出力段階と、を含み、

前記第2信号出力段階の後、前記プロセッサにおいて、前記プロセッサの動作状態に応じて前記リレー状態決定部から出力されるリレー制御信号を決定する第3制御信号または回復信号をさらに出力する第3信号または回復信号出力段階をさらに含み、

前記リレー制御信号出力段階は、前記第3制御信号または前記回復信号の信号レベルに基づいて、前記第1制御信号、前記第2制御信号及び前記リティン信号のうちの一部を前記第1リレー制御信号及び前記第2リレー制御信号として出力する段階であり、

前記第3信号または回復信号出力段階は、前記プロセッサにおいて、

前記プロセッサの動作状態がリセット状態である場合、前記第3制御信号を前記リレー状態決定部に出力し、

前記プロセッサの動作状態が回復状態である場合、前記回復信号を前記リレー状態決定部に出力する段階である、リレー制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、リレー制御装置及び方法に関し、より詳しくは、システム誤謬によってプロセッサがリセットされても複数のリレーの動作状態を維持できるリレー制御装置及び方法に関する。

【0002】

本出願は、2020年11月13日付け出願の韓国特許出願第10-2020-0152316に基づく優先権を主張し、当該出願の明細書及び図面に開示された内容は、すべて本出願に組み込まれる。

【背景技術】

【0003】

最近、ノートブックPC、ビデオカメラ、携帯電話などのような携帯用電子製品の需要が急増し、エネルギー貯蔵用蓄電池、ロボット、衛星などの開発が本格化するにつれ、繰り返し充電可能な高性能二次電池に対する研究が活発に行われている。

【0004】

これにより、モバイル機器、電気自動車、ハイブリッド自動車、電力貯蔵装置、無停電電源装置などに関する技術開発及び需要が増加するにつれ、エネルギー源としての二次電池の需要が急増している。特に、電気車両やハイブリッド自動車に使用される二次電池は、高出力、大容量の二次電池であって、これについての研究が盛んに行われている。

【0005】

また、二次電池に対する多くの需要とともに、二次電池に関わる周辺部品や装置についての研究も共に行われている。すなわち、複数の二次電池を接続して一つのモジュールにしたセルアセンブリ、セルアセンブリの充電を制御してそれぞれの二次電池の状態をモニタリングするBMS(Battery Management System、バッテリー管理システム)、セルアセンブリとBMSとを一つのパックにしたバッテリーパック、セルアセンブリをモータのような負荷と連結するリレーなど、多様な部品と装置に対する研究が行われている。

【0006】

このようなセルアセンブリと負荷とを連結するリレーは、電源システムに備えられ得る。また、電源システムは、少なくとも一つのリレーを選択的に開閉することでバッテリー

10

20

30

40

50

と負荷との間の安定的な電源供給を担当し得る。このような電源システムが車両に備えられる場合、電源システムの安全に係わり、車両走行中には、システムの誤謬によってリレーが開放されることなく、閉まった状態を維持することが重要である。

【 0 0 0 7 】

そこで、当業界では、システムの誤謬にもかかわらず、効果的にリレーを閉状態に維持できる技術が求められている。このような要求条件は、回路の複雑性を増加させる。

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 8 】

本発明は、上記問題点に鑑みてなされたものであり、システム誤謬が発生してもリレーを閉状態に維持できるリレー制御装置及び方法を提供することを目的とする。

10

【 0 0 0 9 】

本発明の他の目的及び長所は、下記の説明によって理解でき、本発明の実施形態によってより明らかに分かるであろう。また、本発明の目的及び長所は、特許請求の範囲に示される手段及びその組合せによって実現することができる。

【課題を解決するための手段】

【 0 0 1 0 】

本発明の一態様によるリレー制御装置は、第 1 リレーの動作状態を制御するための第 1 制御信号及び第 2 リレーの動作状態を制御するための第 2 制御信号を出力するように構成されたプロセッサと、プロセッサと接続されてプロセッサの動作状態をモニタリングし、プロセッサの動作状態に応じて第 1 リレー及び第 2 リレーの動作状態を維持するためのリティン (r e t a i n) 信号を出力するように構成されたモニタリング部と、プロセッサから第 1 制御信号及び第 2 制御信号を受信し、モニタリング部からリティン信号を受信し、受信した第 1 制御信号、第 2 制御信号及びリティン信号に基づいて第 1 リレーの動作状態を制御する第 1 リレー制御信号及び第 2 リレーの動作状態を制御する第 2 リレー制御信号を出力するように構成されたりレー状態決定部と、を含む。

20

【 0 0 1 1 】

プロセッサは、プロセッサの動作状態に応じてリレー状態決定部から出力されるリレー制御信号を決定する第 3 制御信号または回復信号をリレー状態決定部にさらに出力するように構成され得る。

30

【 0 0 1 2 】

リレー状態決定部は、プロセッサから受信した第 3 制御信号または回復信号の信号レベルに基づいて、第 1 制御信号、第 2 制御信号及びリティン信号のうちの一部を第 1 リレー制御信号及び第 2 リレー制御信号として出力するように構成され得る。

【 0 0 1 3 】

プロセッサは、プロセッサの動作状態がリセット状態である場合、第 3 制御信号をリレー状態決定部に出力するように構成され得る。

【 0 0 1 4 】

プロセッサは、プロセッサの動作状態が回復状態である場合、回復信号をリレー状態決定部に出力するように構成され得る。

40

【 0 0 1 5 】

回復信号は、信号レベルが第 1 信号レベルとして出力され、所定の時間が経過した後、信号レベルが第 2 信号レベルに移行するように構成され得る。

【 0 0 1 6 】

第 3 制御信号は、第 1 信号レベルの回復信号が出力される場合、信号レベルが第 1 信号レベルから第 2 信号レベルに移行するように構成され得る。

【 0 0 1 7 】

第 3 制御信号は、第 1 信号レベルの回復信号が出力されるまで、信号レベルが第 1 信号レベルを維持するように予め設定され得る。

【 0 0 1 8 】

50

リレー状態決定部は、プロセッサの動作状態が回復状態である場合、プロセッサから回復信号を受信し、第1リレー制御信号として第1制御信号を出力し、第2リレー制御信号として第2制御信号を出力するように構成され得る。

【0019】

リレー状態決定部は、プロセッサの動作状態がリセット状態である場合、プロセッサから第1信号レベルの第3制御信号を受信し、第1リレー制御信号及び第2リレー制御信号としてリティン信号を出力するように構成され得る。

【0020】

モニタリング部は、プロセッサの動作状態がリセット状態である場合、所定の時間リティン信号の信号レベルを第2信号レベルとして出力し、所定の時間が経過した後はリティン信号の信号レベルを第1信号レベルとして出力するように構成され得る。

10

【0021】

リレー状態決定部は、リティン信号の信号レベルが第2信号レベルである場合、第1リレー及び第2リレーの動作状態を維持するように構成され得る。

【0022】

リレー状態決定部は、リティン信号の信号レベルが第1信号レベルである場合、第1リレー及び第2リレーの動作状態を変更するように構成され得る。

【0023】

本発明の他の一態様によるバッテリーパックは、本発明の一態様によるリレー制御装置を含む。

20

【0024】

本発明のさらに他の一態様による自動車は、本発明の一態様によるリレー制御装置を含む。

【0025】

本発明のさらに他の一態様によるリレー制御方法は、プロセッサにおいて、第1リレーの動作状態を制御するための第1制御信号及び第2リレーの動作状態を制御するための第2制御信号を出力する第1信号出力段階と、モニタリング部において、プロセッサと接続されてプロセッサの動作状態をモニタリングし、プロセッサの動作状態に応じて第1リレー及び第2リレーの動作状態を維持するように構成されたリティン信号を出力する第2信号出力段階と、リレー状態決定部において、第1制御信号、第2制御信号及びリティン信号に基づいて、第1リレーの動作状態を制御する第1リレー制御信号及び第2リレーの動作状態を制御する第2リレー制御信号を出力するリレー制御信号出力段階と、を含む。

30

【0026】

本発明のさらに他の一態様によるリレー制御方法は、第2信号出力段階の後、プロセッサにおいて、リレー状態決定部から出力されるリレー制御信号を決定する第3制御信号または回復信号をさらに出力する第3信号出力または回復信号出力段階をさらに含み得る。

【0027】

リレー制御信号出力段階は、第3制御信号または回復信号の信号レベルに基づいて、第1制御信号、第2制御信号及びリティン信号のうちの一部を第1リレー制御信号及び第2リレー制御信号として出力する段階であり得る。

40

【発明の効果】

【0028】

本発明の一態様によれば、プロセッサがリセットされる場合に複数のリレーの動作状態を維持させ、プロセッサのリセットによる事故を防止することができる。

【0029】

また、本発明の一態様によれば、所定の時間が経過するまでプロセッサの動作状態がリセット状態であれば、複数のリレーの動作状態をターンオフ状態に変更してシステム資源及びエネルギーの無駄遣いを防止することができる。

【0030】

また、本発明の一態様によれば、プロセッサの動作状態が回復されれば、プロセッサに

50

よって複数のリレーの動作状態を制御することができる。

【 0 0 3 1 】

本発明の効果は上述した効果に制限されず、言及されていない本発明の他の効果は請求範囲の記載から当業者により明らかに理解されるだろう。

【 0 0 3 2 】

本明細書に添付される次の図面は、後述する発明の詳細な説明とともに本発明の技術的な思想をさらに理解させる役割をするため、本発明は図面に記載された事項だけに限定されて解釈されてはならない。

【図面の簡単な説明】

【 0 0 3 3 】

10

【図 1】本発明の一実施形態によるリレー制御装置を概略的に示した図である。

【図 2】本発明の一実施形態によるリレー制御装置の例示的構成を概略的に示した図である。

【図 3】本発明の一実施形態による第 3 制御信号の信号レベルが第 1 信号レベルに維持されるときの実施例を概略的に示した図である。

【図 4】本発明の一実施形態による第 3 制御信号の信号レベルが第 1 信号レベルに維持されないときの比較例を概略的に示した図である。

【図 5】本発明の一実施形態によるプロセッサが回復状態であるときの実施例を概略的に示した図である。

【図 6】本発明の一実施形態によるリレー状態決定部をより具体的に示した図である。

20

【図 7】本発明の一実施形態によるリレー状態決定部の例示的構成を概略的に示した図である。

【図 8】本発明の一実施形態によるリレー状態決定部の他の例示的構成を概略的に示した図である。

【図 9】本発明の一実施形態によるリレー制御方法を概略的に示した図である。

【発明を実施するための形態】

【 0 0 3 4 】

本明細書及び特許請求の範囲に使われた用語や単語は通常的や辞書的な意味に限定して解釈されてはならず、発明者自らは発明を最善の方法で説明するために用語の概念を適切に定義できるという原則に則して本発明の技術的な思想に応ずる意味及び概念で解釈されねばならない。

30

【 0 0 3 5 】

したがって、本明細書に記載された実施形態及び図面に示された構成は、本発明のもっとも望ましい一実施形態に過ぎず、本発明の技術的な思想のすべてを代弁するものではないため、本出願の時点においてこれらに代替できる多様な均等物及び変形例があり得ることを理解せねばならない。

【 0 0 3 6 】

また、本発明の説明において、関連する公知の機能または機能についての具体的な説明が本発明の要旨を不明瞭にし得ると判断される場合、その詳細な説明を省略する。

【 0 0 3 7 】

40

第 1、第 2 などのように序数を含む用語は、多様な構成要素のうちある一つをその他の要素と区別するために使われたものであり、これら用語によって構成要素が限定されることはない。

【 0 0 3 8 】

明細書の全体において、ある部分がある構成要素を「含む」とするとき、これは特に言及されない限り、他の構成要素を除外するものではなく、他の構成要素をさらに含み得ることを意味する。

【 0 0 3 9 】

また、明細書に記載されたプロセッサのような用語は少なくとも一つの機能や動作を処理する単位を意味し、ハードウェア、ソフトウェア、またはハードウェアとソフトウェア

50

との組合せで具現され得る。

【 0 0 4 0 】

さらに、明細書の全体において、ある部分が他の部分と「連結（接続）」されるとき、これは「直接的な連結（接続）」だけでなく、他の素子を介在した「間接的な連結（接続）」も含む。

【 0 0 4 1 】

以下、添付された図面を参照して本発明の望ましい実施形態を詳しく説明する。

【 0 0 4 2 】

図 1 は、本発明の一実施形態によるリレー制御装置 1 0 0 を概略的に示した図である。
図 2 は、本発明の一実施形態によるリレー制御装置 1 0 0 の例示的構成を概略的に示した図である。

10

【 0 0 4 3 】

図 1 を参照すると、本発明の一実施形態によるリレー制御装置 1 0 0 は、プロセッサ 1 1 0、モニタリング部 1 2 0、及びリレー状態決定部 1 3 0 を含み得る。

【 0 0 4 4 】

プロセッサ 1 1 0 は、第 1 リレー 2 0 0 の動作状態を制御するための第 1 制御信号 C S 1、及び第 2 リレー 3 0 0 の動作状態を制御するための第 2 制御信号 C S 2 を出力するように構成され得る。

【 0 0 4 5 】

例えば、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 は、バッテリーと負荷とを連結するリレーであり得る。より具体的には、第 1 リレー 2 0 0 は、ハイサイドリレーとして高電圧側リレーであり得る。そして、第 2 リレー 3 0 0 は、ローサイドリレーとして低電圧側リレーであり得る。

20

【 0 0 4 6 】

プロセッサ 1 1 0 は、正常状態であるとき、第 1 制御信号 C S 1 を出力して第 1 リレー 2 0 0 の動作状態をターンオン状態またはターンオフ状態に制御し得る。そして、プロセッサ 1 1 0 は、正常状態であるとき、第 2 制御信号 C S 2 を出力して第 2 リレー 3 0 0 の動作状態をターンオン状態またはターンオフ状態に制御し得る。ここで、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の各々の動作状態は、第 1 制御信号 C S 1 及び第 2 制御信号 C S 2 の各々の信号レベルによって制御され得る。

30

【 0 0 4 7 】

モニタリング部 1 2 0 は、プロセッサ 1 1 0 と接続されてプロセッサ 1 1 0 の動作状態をモニタリングするように構成され得る。

【 0 0 4 8 】

具体的には、モニタリング部 1 2 0 は、プロセッサ 1 1 0 と通信可能に接続され得る。そして、モニタリング部 1 2 0 は、プロセッサ 1 1 0 の動作状態が正常状態であるか、それとも、リセット状態であるかをモニタリングし得る。ここで、リセット状態とは、プロセッサ 1 1 0 の駆動が再起動する状態を意味する。

【 0 0 4 9 】

例えば、図 2 の実施形態において、モニタリング部 1 2 0 は、プロセッサ 1 1 0 と接続され、プロセッサ 1 1 0 の動作状態をモニタリングし得る。

40

【 0 0 5 0 】

また、モニタリング部 1 2 0 は、プロセッサ 1 1 0 の動作状態に応じて第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態を維持するためのリティン信号 R S を出力するように構成され得る。

【 0 0 5 1 】

具体的には、リティン信号 R S は、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態を現在状態に維持するための信号であり得る。例えば、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態がターンオン状態であって、モニタリング部 1 2 0 がリティン信号 R S を出力すれば、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態はターンオン状態に維

50

持され得る。一方、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態がターンオフ状態であって、モニタリング部 1 2 0 がリティン信号 R S を出力すれば、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態はターンオフ状態に維持され得る。

【 0 0 5 2 】

リレー状態決定部 1 3 0 は、プロセッサ 1 1 0 から第 1 制御信号 C S 1 及び第 2 制御信号 C S 2 を受信するように構成され得る。

【 0 0 5 3 】

例えば、図 2 の実施形態において、リレー状態決定部 1 3 0 は、プロセッサ 1 1 0 と電氣的に接続され、プロセッサ 1 1 0 から第 1 制御信号 C S 1 及び第 2 制御信号 C S 2 を受信し得る。

10

【 0 0 5 4 】

また、リレー状態決定部 1 3 0 は、モニタリング部 1 2 0 からリティン信号 R S を受信するように構成され得る。

【 0 0 5 5 】

例えば、図 2 の実施形態において、リレー状態決定部 1 3 0 は、モニタリング部 1 2 0 と電氣的に接続され、モニタリング部 1 2 0 からリティン信号 R S を受信し得る。

【 0 0 5 6 】

リレー状態決定部 1 3 0 は、受信した第 1 制御信号 C S 1、第 2 制御信号 C S 2 及びリティン信号 R S に基づいて、第 1 リレー 2 0 0 の動作状態を制御する第 1 リレー制御信号 R C S 1 及び第 2 リレー 3 0 0 の動作状態を制御する第 2 リレー制御信号 R C S 2 を出力するように構成され得る。

20

【 0 0 5 7 】

ここで、第 1 リレー制御信号 R C S 1 は、第 1 リレー 2 0 0 に出力されて第 1 リレー 2 0 0 の動作状態を決定する信号である。同様に、第 2 リレー制御信号 R C S 2 は、第 2 リレー 3 0 0 に出力されて第 2 リレー 3 0 0 の動作状態を決定する信号である。

【 0 0 5 8 】

リレー状態決定部 1 3 0 は、第 1 リレー制御信号 R C S 1 として第 1 制御信号 C S 1 を選択し、第 2 リレー制御信号 R C S 2 として第 2 制御信号 C S 2 を選択し得る。また、リレー状態決定部 1 3 0 は、第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 としてリティン信号 R S を選択し得る。リレー状態決定部 1 3 0 によって選択される第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 は、プロセッサ 1 1 0 から受信する第 3 制御信号 C S 3 によって決定され得る。

30

【 0 0 5 9 】

具体的には、プロセッサ 1 1 0 は、プロセッサ 1 1 0 の動作状態に応じてリレー状態決定部 1 3 0 から出力されるリレー制御信号を決定する第 3 制御信号 C S 3 または回復信号 R をさらに出力するように構成され得る。

【 0 0 6 0 】

望ましくは、プロセッサ 1 1 0 は、プロセッサ 1 1 0 の動作状態がリセット状態である場合、第 3 制御信号 C S 3 をリレー状態決定部 1 3 0 に出力するように構成され得る。一方、プロセッサ 1 1 0 は、プロセッサ 1 1 0 の動作状態が回復状態である場合、回復信号 R をリレー状態決定部 1 3 0 に出力するように構成され得る。ここで、リセット状態とは、プロセッサ 1 1 0 が再起動する状態を意味し、回復状態とは、プロセッサ 1 1 0 が正常に起動して正常状態を回復した状態を意味する。

40

【 0 0 6 1 】

例えば、図 2 の実施形態において、プロセッサ 1 1 0 の動作状態がリセット状態になれば、プロセッサ 1 1 0 は、リレー状態決定部 1 3 0 に第 3 制御信号 C S 3 を即時出力し得る。

【 0 0 6 2 】

そして、リレー状態決定部 1 3 0 は、プロセッサ 1 1 0 から受信した第 3 制御信号 C S 3 の信号レベルに基づいて、第 1 制御信号 C S 1、第 2 制御信号 C S 2 及びリティン信号

50

R S のうちの一部を第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 として出力するように構成され得る。

【 0 0 6 3 】

ここで、信号レベルは、ローレベルとハイレベルとに区分され得る。ハイレベルは、予め決められた基準レベル以上の信号レベルを意味し、ローレベルは、0 以上基準レベル未満の信号レベルを意味し得る。

【 0 0 6 4 】

望ましくは、プロセッサ 1 1 0 がリセット状態である場合、第 3 制御信号 C S 3 の信号レベルはローレベルを維持するように設定され得る。

【 0 0 6 5 】

リレー状態決定部 1 3 0 は、プロセッサ 1 1 0 の動作状態がリセット状態である場合、第 3 制御信号 C S 3 の信号レベルがハイレベルであるかそれともローレベルであるかによって、第 1 制御信号 C S 1、第 2 制御信号 C S 2 及びリティン信号 R S のうちから第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 を選択し得る。

【 0 0 6 6 】

他の例として、図 2 の実施形態において、プロセッサ 1 1 0 の動作状態がリセット状態から回復状態になれば、プロセッサ 1 1 0 は、リレー状態決定部 1 3 0 に回復信号 R を即時出力し得る。

【 0 0 6 7 】

プロセッサ 1 1 0 から回復信号 R が出力される場合、第 3 制御信号 C S 3 の信号レベルはローレベルからハイレベルに移行し得る。そして、リレー状態決定部 1 3 0 は、プロセッサ 1 1 0 の動作状態が回復状態である場合、第 1 制御信号 C S 1 を第 1 リレー制御信号 R C S 1 として選択し、第 2 制御信号 C S 2 を第 2 リレー制御信号 R C S 2 として選択し得る。すなわち、プロセッサ 1 1 0 は、動作状態が回復状態になった場合、回復信号 R を出力することで、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態制御権を回復し得る。

【 0 0 6 8 】

本発明の一実施形態によるリレー制御装置 1 0 0 は、プロセッサ 1 1 0 が突然リセットされる場合にも、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態が維持されるように制御し得る。例えば、リレー制御装置 1 0 0 が車両に備えられ、車両の運行中にシステム誤謬によってプロセッサ 1 1 0 が不意にリセットされ得る。このような場合、プロセッサ 1 1 0 の動作状態がリセット状態であるため、ターンオン状態である第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態をターンオフ状態に変更すると、予期せぬ事故が発生し得る問題がある。したがって、リレー制御装置 1 0 0 は、プロセッサ 1 1 0 がシステム誤謬によってリセットされても、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態をそのまま維持し、予期せぬ事故を予め防止することができる。

【 0 0 6 9 】

また、リレー制御装置 1 0 0 は、プロセッサ 1 1 0 の動作状態が回復状態に切り換えられた場合、プロセッサ 1 1 0 によって第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態を正常に制御することができる。

【 0 0 7 0 】

一方、リレー制御装置 1 0 0 に備えられたプロセッサ 1 1 0 は、本発明で行われる多様な制御ロジックを実行するため、当業界に知られた A S I C (A p p l i c a t i o n - S p e c i f i c I n t e g r a t e d C i r c u i t、特定用途向け集積回路)、他のチップセット、論理回路、レジスタ、通信モデム、データ処理装置などを選択的に含み得る。また、制御ロジックがソフトウェアとして具現されるとき、プロセッサ 1 1 0 は、プログラムモジュールの集合として具現され得る。このとき、プログラムモジュールはメモリに保存され、プロセッサ 1 1 0 によって実行され得る。メモリは、プロセッサ 1 1 0 の内部または外部に備えられ得、周知の多様な手段でプロセッサ 1 1 0 と接続され得る。

【 0 0 7 1 】

望ましくは、回復信号 R は、信号レベルが第 1 信号レベルとして出力され、所定の時間

10

20

30

40

50

が経過した後、信号レベルが第 2 信号レベルに移行するように構成され得る。そして、第 3 制御信号 C S 3 は、第 1 信号レベルの回復信号 R が出力される場合、信号レベルが第 1 信号レベルから第 2 信号レベルに移行するように構成され得る。すなわち、第 3 制御信号 C S 3 は、第 1 信号レベルの回復信号 R が出力されるまで、信号レベルが第 1 信号レベルを維持するように予め設定され得る。ここで、第 1 信号レベルとは、ローレベルを意味し得る。すなわち、信号レベルは、第 1 信号レベルであるローレベルと第 2 信号レベルであるハイレベルとに区分され得る。

【 0 0 7 2 】

例えば、図 2 の実施形態において、プロセッサ 1 1 0 の動作状態がリセット状態であるとき、プロセッサ 1 1 0 から出力される第 3 制御信号 C S 3 の信号レベルは第 1 信号レベル (ローレベル) を維持するように設定され得る。

10

【 0 0 7 3 】

図 3 は、第 3 制御信号 C S 3 の信号レベルが第 1 信号レベルに維持されるときの実施例を概略的に示した図である。図 4 は、第 3 制御信号 C S 3 の信号レベルが第 1 信号レベルに維持されないときの比較例を概略的に示した図である。具体的には、図 3 の実施例及び図 4 の比較例は、プロセッサ 1 1 0 の動作状態がリセット状態であり、回復状態に切り換えられていない場合の例である。

【 0 0 7 4 】

図 3 及び図 4 は、経時的に出力される第 1 制御信号 C S 1、第 2 制御信号 C S 2、第 3 制御信号 C S 3、第 1 出力値 Q 1、第 2 出力値 Q 2、リティン信号 R S、第 1 リレー制御信号 R C S 1、及び第 2 リレー制御信号 R C S 2 を示した図である。

20

【 0 0 7 5 】

図 3 及び図 4 において、第 1 制御信号 C S 1、第 2 制御信号 C S 2、第 3 制御信号 C S 3、第 1 出力値 Q 1、第 2 出力値 Q 2、リティン信号 R S、第 1 リレー制御信号 R C S 1、及び第 2 リレー制御信号 R C S 2 のそれぞれの信号レベルまたは出力値は、ローレベルを意味する第 1 信号レベル及びハイレベルを意味する第 2 信号レベルとして説明され得る。

【 0 0 7 6 】

また、図 3 及び図 4 において、プロセッサ 1 1 0 が t 1 時点で 1 次リセットされ、t 2 時点で 2 次リセットされ、t 3 時点で 3 次リセットされたと仮定する。

【 0 0 7 7 】

30

図 3 の実施例において、第 3 制御信号 C S 3 の信号レベルは第 1 信号レベルに維持されるように設定されたため、プロセッサ 1 1 0 が 1 次リセット、2 次リセット及び 3 次リセットされても、第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 は一定に維持され得る。すなわち、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態が維持され得る。

【 0 0 7 8 】

一方、図 4 の比較例において、第 3 制御信号 C S 3 の信号レベルは、初期は第 1 信号レベルに維持されるが、以後第 2 信号レベルに移行し得る。例えば、t 1 時点で出力された第 3 制御信号 C S 3 の信号レベルは第 1 信号レベルであるが、t 1 1 時点では第 3 制御信号 C S 3 の信号レベルが第 2 信号レベルに移行し得る。これは、図 4 の比較例では、第 3 制御信号 C S 3 の信号レベルが第 1 信号レベルに維持されるように設定されていないためである。

40

【 0 0 7 9 】

より具体的には、図 4 の比較例において、プロセッサ 1 1 0 が 1 次リセットされた場合、すなわち、t 1 時点 ~ t 2 時点では第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 が一定に維持され得る。すなわち、t 1 時点 ~ t 2 時点では、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態が維持され得る。

【 0 0 8 0 】

一方、プロセッサ 1 1 0 が 2 次以上リセットされた場合、すなわち、t 2 時点では第 1 信号レベルを有する第 3 制御信号 C S 3 が出力され、リティン信号 R S が出力されても、

50

第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 の信号レベルが変更され得る。これは、t 2 時点で第 3 制御信号 C S 3 の信号レベルが第 2 信号レベルから第 1 信号レベルに移行することで、フリップフロップ 1 3 1 の第 1 出力値 Q 1 及び第 2 出力値 Q 2 が変更されたためである。そして、t 2 1 時点において、第 3 制御信号 C S 3 の信号レベルは第 1 信号レベルから第 2 信号レベルに移行し得る。

【 0 0 8 1 】

その後、プロセッサ 1 1 0 が t 3 時点で 3 次リセットされた場合、t 3 時点で第 3 制御信号 C S 3 の信号レベルは第 2 信号レベルから第 1 信号レベルに移行し得る。この場合、フリップフロップ 1 3 1 の第 1 出力値 Q 1 及び第 2 出力値 Q 2 が再度変更され得る。すなわち、t 3 時点でプロセッサ 1 1 0 が 3 次リセットされたものの、フリップフロップ 1 3 1 の第 1 出力値 Q 1 及び第 2 出力値 Q 2 が変更されたため、第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 の信号レベルも変更され得る。そして、t 3 1 時点において、第 3 制御信号 C S 3 の信号レベルは第 1 信号レベルから第 2 信号レベルに移行し得る。

10

【 0 0 8 2 】

したがって、図 4 の比較例では、プロセッサ 1 1 0 が 1 次リセットされた場合は第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態を維持して予期せぬ事故を防止できるが、プロセッサ 1 1 0 が 2 次以上リセットされる場合は、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態を維持できないという問題がある。

【 0 0 8 3 】

20

一方、図 3 の実施例のように、本発明の一実施形態によるリレー制御装置 1 0 0 は、プロセッサ 1 1 0 が 2 次以上リセットされる場合にも、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態を維持することができる。

【 0 0 8 4 】

リレー状態決定部 1 3 0 は、プロセッサ 1 1 0 の動作状態が回復状態である場合、プロセッサ 1 1 0 から回復信号 R を受信し、第 1 リレー制御信号 R C S 1 として第 1 制御信号 C S 1 を出力し、第 2 リレー制御信号 R C S 2 として第 2 制御信号 C S 2 を出力するように構成され得る。

【 0 0 8 5 】

すなわち、リレー状態決定部 1 3 0 は、プロセッサ 1 1 0 から第 1 信号レベルの第 3 制御信号 C S 3 を受信しない場合、第 1 リレー制御信号 R C S 1 として第 1 制御信号 C S 1 を出力し、第 2 リレー制御信号 R C S 2 として第 2 制御信号 C S 2 を出力するように構成され得る。

30

【 0 0 8 6 】

図 5 は、本発明の一実施形態によるプロセッサが回復状態であるときの実施例を概略的に示した図である。

【 0 0 8 7 】

具体的には、図 5 の実施例は、図 3 の実施例において t 4 時点でプロセッサ 1 1 0 の動作状態が回復状態に切り換えられた場合の実施例である。

【 0 0 8 8 】

40

図 5 の実施例において、t 4 時点でプロセッサ 1 1 0 の動作状態がリセット状態から回復状態に切り換えられれば、プロセッサ 1 1 0 は、回復信号 R を即時出力し得る。この場合、出力される回復信号 R の信号レベルは、第 1 信号レベルであり得る。そして、プロセッサ 1 1 0 は、第 1 信号レベルの回復信号 R を出力すると同時に、第 3 制御信号 C S 3 の信号レベルを第 1 信号レベルから第 2 信号レベルに移行させ得る。

【 0 0 8 9 】

t 4 時点から所定の時間が経過した t 5 時点で、プロセッサ 1 1 0 から出力される回復信号 R の信号レベルは第 1 信号レベルから第 2 信号レベルに移行し得る。この場合、第 1 制御信号 C S 1 及び第 2 制御信号 C S 2 の信号レベルは、第 1 信号レベルから第 2 信号レベルに移行し得る。また、フリップフロップ 1 3 1 の第 1 出力値 Q 1 及び第 2 出力値 Q 2

50

が変更され得る。

【 0 0 9 0 】

望ましくは、プロセッサ 1 1 0 からリレー状態決定部 1 3 0 に出力される回復信号 R の信号レベルが第 1 信号レベルから第 2 信号レベルに移行する瞬間、フリップフロップ 1 3 1 の第 1 出力値 Q 1 及び第 2 出力値 Q 2 の信号レベルが変更され得る。

【 0 0 9 1 】

すなわち、回復信号 R、第 1 制御信号 C S 1、第 2 制御信号 C S 2、第 3 制御信号 C S 3、第 1 出力値 Q 1 及び第 2 出力値 Q 2 の信号レベルが、t 5 時点からは t 1 時点以前と同一になり得る。

【 0 0 9 2 】

したがって、t 5 時点からは動作状態が回復状態に切り換えられたプロセッサ 1 1 0 によって、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態が制御できる。

【 0 0 9 3 】

すなわち、本発明の一実施形態によるリレー制御装置 1 0 0 は、プロセッサ 1 1 0 が 1 回以上リセットされる場合は、プロセッサ 1 1 0 から出力される第 3 制御信号 C S 3 に基づいて第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態を維持することができる。その後、プロセッサ 1 1 0 の動作状態が回復状態に切り換えられれば、プロセッサ 1 1 0 から出力される回復信号 R に基づいて、第 1 制御信号 C S 1、第 2 制御信号 C S 2、第 3 制御信号 C S 3、第 1 出力値 Q 1 及び第 2 出力値 Q 2 の信号レベルを元の信号レベルに戻すことで、プロセッサ 1 1 0 によって第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態を制御することができる。

【 0 0 9 4 】

一方、リレー状態決定部 1 3 0 は、プロセッサ 1 1 0 の動作状態がリセット状態である場合、プロセッサ 1 1 0 から第 1 信号レベルの第 3 制御信号 C S 3 を受信し、第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 としてリティン信号 R S を出力するように構成され得る。

【 0 0 9 5 】

すなわち、リレー状態決定部 1 3 0 は、プロセッサ 1 1 0 から第 1 信号レベルの第 3 制御信号 C S 3 を受信した場合、第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 としてリティン信号 R S を出力するように構成され得る。

【 0 0 9 6 】

望ましくは、プロセッサ 1 1 0 の動作状態がリセット状態であるとき、モニタリング部 1 2 0 はリレー状態決定部 1 3 0 にリティン信号 R S を出力し、プロセッサ 1 1 0 はリレー状態決定部 1 3 0 に第 3 制御信号 C S 3 を出力し得る。

【 0 0 9 7 】

例えば、図 3 及び図 5 を参照すると、出力されるリティン信号 R S の信号レベルは第 2 信号レベルであり、第 3 制御信号 C S 3 の信号レベルは第 1 信号レベルであり得る。

【 0 0 9 8 】

すなわち、リレー状態決定部 1 3 0 がプロセッサ 1 1 0 から第 3 制御信号 C S 3 を受信した場合は、プロセッサ 1 1 0 の動作状態がリセット状態であり得る。一方、リレー状態決定部 1 3 0 がプロセッサ 1 1 0 から第 3 制御信号 C S 3 を受信しない場合は、プロセッサ 1 1 0 の動作状態が正常状態または回復状態であり得る。

【 0 0 9 9 】

したがって、リレー状態決定部 1 3 0 は、第 3 制御信号 C S 3 を受信した場合、第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 としてリティン信号 R S を出力し、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態を維持させることができる。一方、リレー状態決定部 1 3 0 は、第 3 制御信号 C S 3 を受信しない場合、第 1 リレー制御信号 R C S 1 として第 1 制御信号 C S 1 を出力し、第 2 リレー制御信号 R C S 2 として第 2 制御信号 C S 2 を出力し得る。すなわち、リレー状態決定部 1 3 0 は、プロセッサ 1 1 0 から受信した第 1 制御信号 C S 1 及び第 2 制御信号 C S 2 によって、第 1 リレー 2 0 0 及び

10

20

30

40

50

第 2 リレー 3 0 0 の動作状態をそれぞれ制御することができる。

【 0 1 0 0 】

モニタリング部 1 2 0 は、プロセッサ 1 1 0 の動作状態がリセット状態である場合、所定の時間リティン信号 R S の信号レベルを第 2 信号レベルとして出力するように構成され得る。そして、モニタリング部 1 2 0 は、所定の時間が経過した後はリティン信号 R S の信号レベルを第 1 信号レベルとして出力するように構成され得る。すなわち、プロセッサ 1 1 0 の動作状態が所定の時間回復状態に切り換えられない場合、モニタリング部 1 2 0 は、リティン信号 R S の信号レベルを第 2 信号レベルから第 1 信号レベルに移行し得る。

【 0 1 0 1 】

例えば、モニタリング部 1 2 0 は、プロセッサ 1 1 0 の動作状態がリセット状態と判断される場合、所定の時間第 2 信号レベル（ハイレベル）を有するリティン信号 R S を出力し、所定の時間が経過した後は第 1 信号レベル（ローレベル）を有するリティン信号 R S を出力し得る。

10

【 0 1 0 2 】

上述したように、第 1 信号レベルは 0 を含み得る。すなわち、モニタリング部 1 2 0 は、所定の時間第 2 信号レベルを有するリティン信号 R S を出力し、所定の時間が経過した後はリティン信号 R S を出力しなくてもよい。

【 0 1 0 3 】

リレー状態決定部 1 3 0 は、リティン信号 R S の信号レベルが第 2 信号レベルである場合、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態を維持するように構成され得る。そして、リレー状態決定部 1 3 0 は、リティン信号 R S の信号レベルが第 1 信号レベルである場合、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態を変更するように構成され得る。

20

【 0 1 0 4 】

例えば、図 3 の実施形態において、 t_0 時点にリティン信号 R S の信号レベルが第 2 信号レベルから第 1 信号レベルに変更されると仮定する。そして、プロセッサ 1 1 0 の動作状態は継続してリセット状態であると仮定する。この場合、プロセッサ 1 1 0 の動作状態がリセット状態であるため、モニタリング部 1 2 0 はリレー状態決定部 1 3 0 にリティン信号 R S を出力し、プロセッサ 1 1 0 はリレー状態決定部 1 3 0 に第 3 制御信号 C S 3 を出力し得る。ここで、リティン信号 R S は、 t_1 時点から t_0 時点まで第 2 信号レベルを有し、 t_0 時点以後は第 1 信号レベルを有し得る。そして、第 3 制御信号 C S 3 は、 t_1 時点から第 1 信号レベルを有し得る。したがって、リレー状態決定部 1 3 0 は、 t_1 時点から t_0 時点まで第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 として第 2 信号レベルを有するリティン信号 R S を出力し、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態をターンオン状態に維持させることができる。そして、リレー状態決定部 1 3 0 は、 t_0 時点からは第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 として第 1 信号レベルを有するリティン信号 R S を出力し、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態をターンオフ状態に変更できる。

30

【 0 1 0 5 】

すなわち、モニタリング部 1 2 0 は、プロセッサ 1 1 0 の動作状態がリセット状態である場合、所定の時間のみ第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態がターンオン状態を維持するように、所定の時間第 2 信号レベルを有するリティン信号 R S を出力し得る。

40

【 0 1 0 6 】

例えば、プロセッサ 1 1 0 のリセットが引き続いて繰り返される場合にも、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態をターンオン状態に維持できない問題がある。この場合、プロセッサ 1 1 0 はリセットされている状態であるため、第 1 制御信号 C S 1、第 2 制御信号 C S 2 及び第 3 制御信号 C S 3 の信号レベルを変更できない。したがって、モニタリング部 1 2 0 は、出力されるリティン信号 R S の信号レベルを変更することで、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態をターンオフ状態に変更し得る。そし

50

て、プロセッサ 110 がリセット状態である場合、第 1 信号レベルを有する第 3 制御信号 CS3 が続いて出力されるため、第 1 リレー 200 及び第 2 リレー 300 の動作状態はターンオフ状態に維持され得る。したがって、プロセッサ 110 が続いてリセットされる状況におけるシステム資源及びエネルギーの無駄遣いが防止される。

【0107】

図 6 は、本発明の一実施形態によるリレー状態決定部 130 をより具体的に示した図である。図 7 は、本発明の一実施形態によるリレー状態決定部 130 の例示的構成を概略的に示した図である。

【0108】

図 6 及び図 7 を参照すると、リレー状態決定部 130 は、フリップフロップ 131 及びバッファ部 132 を含む得る。

10

【0109】

フリップフロップ 131 は、1 ビット (Bit) の情報を保管及び維持可能な論理回路である。例えば、図 7 の実施形態において、フリップフロップ 131 は D フリップフロップ (D flip-flop) であり得る。その他にも、フリップフロップ 131 には、RS フリップフロップ、JK フリップフロップまたは T フリップフロップが適用され得る。以下、説明の便宜上、フリップフロップ 131 が D フリップフロップであるとして説明する。

【0110】

図 7 の実施形態において、フリップフロップ 131 は、データ端子 D、クロック端子 C、第 1 出力端子 Q 及び第 2 出力端子 Q' を含む得る。データ端子 D に第 2 制御信号 CS2 が入力され、クロック端子 C に第 3 制御信号 CS3 が入力され、第 2 制御信号 CS2 及び第 3 制御信号 CS3 の信号レベルによって第 1 出力端子 Q から第 1 出力値 Q1 が出力され、第 2 出力端子 Q' から第 2 出力値 Q2 が出力され得る。第 1 出力値 Q1 及び第 2 出力値 Q2 はバッファ部 132 に入力され得る。ここで、第 1 出力値 Q1 と第 2 出力値 Q2 とは、信号レベルが互いに反対であり得る。すなわち、第 1 出力値 Q1 の信号レベルが第 1 信号レベルであれば、第 2 出力値 Q2 の信号レベルは第 2 信号レベルである。

20

【0111】

バッファ部 132 は、プロセッサ 110 から第 1 制御信号 CS1 及び第 2 制御信号 CS2 を受信し得る。また、バッファ部 132 は、フリップフロップ 131 から第 1 出力値 Q1 及び第 2 出力値 Q2 を受信し、モニタリング部 120 からリティン信号 RS を受信し得る。そして、バッファ部 132 は、第 1 リレー 200 の動作状態を制御する第 1 リレー制御信号 RCS1 を第 1 リレー 200 に出力し得る。また、バッファ部 132 は、第 2 リレー 300 の動作状態を制御する第 2 リレー制御信号 RCS2 を第 2 リレー 300 に出力し得る。

30

【0112】

リレー状態決定部 130 は、フリップフロップ 131 及びバッファ部 132 を含むことで、プロセッサ 110 の動作状態がリセット状態であっても、第 3 制御信号 CS3 の信号レベル及びリティン信号 RS の信号レベルによって第 1 リレー 200 及び第 2 リレー 300 の動作状態を維持させることができる。

40

【0113】

より具体的には、バッファ部 132 は、複数のバッファを含む得る。例えば、バッファ部 132 は、第 1 バッファ、第 2 バッファ、第 3 バッファ及び第 4 バッファを含む得る。

【0114】

第 1 バッファは、リティン信号 RS 及び第 1 出力値 Q1 を受信し、第 1 出力値 Q1 の信号レベルによってリティン信号 RS の出力可否が決定されるように構成され得る。例えば、第 1 出力値 Q1 の信号レベルが第 2 信号レベル (ハイレベル) であれば、第 1 バッファからリティン信号 RS が出力され得る。一方、第 1 出力値 Q1 の信号レベルが第 1 信号レベル (ローレベル) であれば、第 1 バッファからリティン信号 RS が出力されない。

【0115】

50

第2バッファは、第1制御信号CS1及び第2出力値Q2を受信し、第2出力値Q2の信号レベルによって第1制御信号CS1の出力可否が決定されるように構成され得る。例えば、第2出力値Q2の信号レベルが第2信号レベルであれば、第2バッファから第1制御信号CS1が出力され得る。一方、第2出力値Q2の信号レベルが第1信号レベルであれば、第2バッファから第1制御信号CS1が出力されない。

【0116】

そして、第1バッファの出力ラインと第2バッファの出力ラインとは互いに統合され得る。すなわち、第1バッファ及び第2バッファは、信号レベルが互いに反対である第1出力値Q1及び第2出力値Q2をそれぞれ受信する。したがって、第1バッファからリティン信号RSが出力される場合、第2バッファから第1制御信号CS1が出力されない。例えば、第1バッファに入力される第1出力値Q1の信号レベルが第2信号レベル（ハイレベル）である場合、第2バッファに入力される第2出力値Q2の信号レベルは、第1信号レベル（ローレベル）であるためである。

10

【0117】

したがって、第1出力値Q1及び第2出力値Q2の信号レベルによって、第1リレー制御信号RCS1は、第1制御信号CS1またはリティン信号RSとして出力され得る。

【0118】

そして、プロセッサ110がリセット状態である場合、フリップフロップ131のクロック端子Cに入力される第3制御信号CS3の信号レベルは、常に第1信号レベルに設定され得る。この場合、フリップフロップ131から出力される第1出力値Q1の信号レベルは常に第2信号レベルであり、第2出力値Q2の信号レベルは常に第1信号レベルであり得る。したがって、プロセッサ110がリセット状態である場合は、第1リレー制御信号RCS1として第1バッファからリティン信号RSが出力されるため、第1リレー200の動作状態が維持できる。

20

【0119】

一方、プロセッサ110が回復状態である場合、フリップフロップ131のクロック端子Cに入力される第3制御信号CS3の信号レベルは、第2信号レベルに設定され得る。この場合、フリップフロップ131から出力される第1出力値Q1の信号レベルは第1信号レベルであり、第2出力値Q2の信号レベルは第2信号レベルであり得る。したがって、プロセッサ110が回復状態である場合は、第1リレー制御信号RCS1として第1バッファから第1制御信号CS1が出力される。すなわち、プロセッサ110によって第1リレー200の動作状態が制御できる。

30

【0120】

第3バッファは、第2制御信号CS2及び第2出力値Q2を受信し、第2出力値Q2の信号レベルによって第2制御信号CS2の出力可否が決定されるように構成され得る。例えば、第2出力値Q2の信号レベルが第2信号レベルであれば、第3バッファから第2制御信号CS2が出力され得る。一方、第2出力値Q2の信号レベルが第1信号レベルであれば、第3バッファから第2制御信号CS2が出力されない。

【0121】

第4バッファは、リティン信号RS及び第1出力値Q1を受信し、第1出力値Q1の信号レベルによってリティン信号RSの出力可否が決定されるように構成され得る。例えば、第1出力値Q1の信号レベルが第2信号レベル（ハイレベル）であれば、第4バッファからリティン信号RSが出力され得る。一方、第1出力値Q1の信号レベルが第1信号レベル（ローレベル）であれば、第4バッファからリティン信号RSが出力されない。

40

【0122】

第1バッファ及び第2バッファと同様に、第3バッファの出力ライン及び第4バッファの出力ラインも統合され得る。第3バッファ及び第4バッファは、信号レベルが互いに反対である第2出力値Q2及び第1出力値Q1をそれぞれ受信する。したがって、第3バッファから第2制御信号CS2が出力される場合、第4バッファからはリティン信号RSが出力されない。一方、第3バッファから第2制御信号CS2が出力されない場合、第4バ

50

ッファからはリティン信号 R S が出力される。すなわち、第 2 リレー制御信号 R C S 2 は、第 3 バッファから出力される第 2 制御信号 C S 2、または、第 4 バッファから出力されるリティン信号 R S である。

【 0 1 2 3 】

上述したように、プロセッサ 1 1 0 がリセット状態である場合、第 3 制御信号 C S 3 の信号レベルに基づいてフリップフロップ 1 3 1 から出力される第 1 出力値 Q 1 の信号レベルは、常に第 2 信号レベルであり得る。したがって、プロセッサ 1 1 0 がリセット状態である場合は、第 2 リレー制御信号 R C S 2 として第 4 バッファからリティン信号 R S が出力されるため、第 2 リレー 3 0 0 の動作状態が維持できる。

【 0 1 2 4 】

一方、プロセッサ 1 1 0 が回復状態である場合、フリップフロップ 1 3 1 から出力される第 1 出力値 Q 1 の信号レベルは第 1 信号レベルであり、第 2 出力値 Q 2 の信号レベルは第 2 信号レベルであり得る。したがって、プロセッサ 1 1 0 が回復状態である場合は、第 2 リレー制御信号 R C S 2 として第 4 バッファから第 2 制御信号 C S 2 が出力される。すなわち、プロセッサ 1 1 0 によって第 2 リレー 3 0 0 の動作状態が制御できる。

【 0 1 2 5 】

図 8 は、本発明の一実施形態によるリレー状態決定部 1 3 0 の他の例示的構成を概略的に示した図である。

【 0 1 2 6 】

図 6 及び図 8 を参照すると、リレー状態決定部 1 3 0 は、ゲート部 1 3 3 をさらに含む得る。

【 0 1 2 7 】

ゲート部 1 3 3 は、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の少なくとも一つとバッファ部 1 3 2 との間に接続されるように構成され得る。

【 0 1 2 8 】

図 8 の実施形態において、ゲート部 1 3 3 は、バッファ部 1 3 2 と第 2 リレー 3 0 0 との間に接続され得る。ゲート部 1 3 3 は、バッファ部 1 3 2 から第 3 リレー制御信号 R C S 3 を受信し、モニタリング部 1 2 0 からリティン信号 R S を受信し得る。そして、ゲート部 1 3 3 は、第 3 リレー制御信号 R C S 3 及びリティン信号 R S の信号レベルに基づいて、第 2 リレー制御信号 R C S 2 を第 2 リレー 3 0 0 に出力し得る。

【 0 1 2 9 】

上述した実施形態のように、プロセッサ 1 1 0 の動作状態がリセット状態である場合、バッファ部 1 3 2 の第 4 バッファからリティン信号 R S が出力され得る。すなわち、第 3 リレー制御信号 R C S 3 は、第 4 バッファから出力されたリティン信号 R S であり得る。この場合、ゲート部 1 3 3 にはバッファ部 1 3 2 及びモニタリング部 1 2 0 によるリティン信号 R S が入力されるため、ゲート部 1 3 3 から出力される第 2 リレー制御信号 R C S 2 は、リティン信号 R S であり得る。したがって、第 2 リレー 3 0 0 にリティン信号 R S が入力され、第 2 リレー 3 0 0 の動作状態が維持できる。

【 0 1 3 0 】

本発明によるリレー制御装置 1 0 0 は、B M S (B a t t e r y M a n a g e m e n t S y s t e m、バッテリー管理システム) に適用可能である。すなわち、本発明による B M S は、上述したリレー制御装置 1 0 0 を含む得る。このような構成において、リレー制御装置 1 0 0 の各構成要素の少なくとも一部は、従来の B M S に含まれた構成の機能を補完または追加することで具現され得る。例えば、リレー制御装置 1 0 0 のプロセッサ 1 1 0、モニタリング部 1 2 0 及びリレー状態決定部 1 3 0 は、B M S の構成要素として具現され得る。

【 0 1 3 1 】

また、本発明によるリレー制御装置 1 0 0 は、バッテリーパックに備えられ得る。すなわち、本発明によるバッテリーパックは、上述したリレー制御装置 1 0 0 及び一つ以上のバッテリーセルを含む得る。また、バッテリーパックは、電装品(リレー、ヒューズなど

10

20

30

40

50

）及びケースなどをさらに含み得る。

【 0 1 3 2 】

ここで、バッテリーセルは、負極端子及び正極端子を備え、物理的に分離可能な一つの独立したセルを意味する。一例として、一つのパウチ型リチウムポリマーセルがバッテリーセルとして見なされ得る。また、バッテリーパックは、一つ以上のバッテリーセルが直列及び／または並列に接続されて備えられた一つ以上のバッテリーモジュールを含み得る。

【 0 1 3 3 】

また、本発明によるリレー制御装置 1 0 0 は、自動車に備えられ得る。したがって、リレー制御装置 1 0 0 は、自動車の走行中にシステム的な誤謬によってプロセッサ 1 1 0 がリセットされる場合にも、バッテリーと自動車とを連結するリレーが開放されることなく閉状態に維持されるようにリレーを制御できる。

10

【 0 1 3 4 】

また、リレー制御装置 1 0 0 は、プロセッサ 1 1 0 が回復した場合、プロセッサ 1 1 0 に第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態制御権を直ちに与えることができる。

【 0 1 3 5 】

図 9 は、本発明の一実施形態によるリレー制御方法を概略的に示した図である。本発明の一実施形態によるリレー制御方法の各段階は、リレー制御装置 1 0 0 によって実行できる。

【 0 1 3 6 】

図 9 を参照すると、リレー制御方法は、第 1 信号出力段階 S 1 0 0、第 2 信号出力段階 S 2 0 0、第 3 信号または回復信号出力段階 S 3 0 0、及びリレー制御信号出力段階 S 4 0 0 を含み得る。

20

【 0 1 3 7 】

第 1 信号出力段階 S 1 0 0 は、第 1 リレー 2 0 0 の動作状態を制御するための第 1 制御信号 C S 1、及び第 2 リレー 3 0 0 の動作状態を制御するための第 2 制御信号 C S 2 を出力する段階であって、プロセッサ 1 1 0 によって実行できる。

【 0 1 3 8 】

第 2 信号出力段階 S 2 0 0 は、プロセッサ 1 1 0 と接続されてプロセッサ 1 1 0 の動作状態をモニタリングし、プロセッサ 1 1 0 の動作状態に応じて第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態を維持するように構成されたリティン信号 R S を出力する段階であって、モニタリング部 1 2 0 によって実行できる。

30

【 0 1 3 9 】

モニタリング部 1 2 0 は、プロセッサ 1 1 0 の動作状態をモニタリングし、プロセッサ 1 1 0 の動作状態がリセット状態になれば、リレー状態決定部 1 3 0 でリティン信号 R S を出力し得る。

【 0 1 4 0 】

第 3 信号または回復信号出力段階 S 3 0 0 は、第 2 信号出力段階 S 2 0 0 の後に行われ得る。具体的には、第 3 信号または回復信号出力段階 S 3 0 0 は、プロセッサ 1 1 0 の動作状態に応じてリレー状態決定部 1 3 0 から出力されるリレー制御信号を決定する第 3 制御信号 C S 3 または回復信号 R をさらに出力する段階であって、プロセッサ 1 1 0 によって実行できる。

40

【 0 1 4 1 】

プロセッサ 1 1 0 は、動作状態がリセット状態になると直ちに、リレー状態決定部 1 3 0 に第 3 制御信号 C S 3 を出力し得る。望ましくは、第 3 制御信号 C S 3 の信号レベルは、常に第 1 信号レベル（ローレベル）を維持するように設定され得る。

【 0 1 4 2 】

また、プロセッサ 1 1 0 は、動作状態が回復状態になると直ちに、リレー状態決定部 1 3 0 に回復信号 R を出力し得る。ここで、出力される回復信号 R の信号レベルは第 1 信号レベルであり得る。そして、プロセッサ 1 1 0 は、第 3 制御信号 C S 3 の信号レベルを第 1 信号レベルから第 2 信号レベルに移行させ得る。その後、回復信号 R の信号レベルが第

50

1 信号レベルから第 2 信号レベルに移行すれば、第 1 制御信号 C S 1、第 2 制御信号 C S 2、第 1 出力値 Q 1 及び第 2 出力値 Q 2 の信号レベルがプロセッサ 1 1 0 のリセット以前の状態に回復され得る。

【 0 1 4 3 】

リレー制御信号出力段階 S 4 0 0 は、第 1 制御信号 C S 1、第 2 制御信号 C S 2 及びリティン信号 R S に基づいて、第 1 リレー 2 0 0 の動作状態を制御する第 1 リレー制御信号 R C S 1 及び第 2 リレー 3 0 0 の動作状態を制御する第 2 リレー制御信号 R C S 2 を出力する段階であって、リレー状態決定部 1 3 0 によって実行できる。

【 0 1 4 4 】

より具体的には、リレー制御信号出力段階 S 4 0 0 は、プロセッサ 1 1 0 から受信した第 3 制御信号 C S 3 または回復信号 R の信号レベルに基づいて、第 1 制御信号 C S 1、第 2 制御信号 C S 2 及びリティン信号 R S のうちの一部を第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 として出力する段階である。

10

【 0 1 4 5 】

例えば、プロセッサ 1 1 0 の動作状態がリセット状態である場合、第 3 制御信号 C S 3 の信号レベルは第 1 信号レベルであり得る。この場合、第 1 リレー制御信号 R C S 1 及び第 2 リレー制御信号 R C S 2 としてリティン信号 R S が出力され得る。したがって、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 は、リティン信号 R S の信号レベルによって動作状態が維持されるか又は変更され得る。

【 0 1 4 6 】

具体的には、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態がターンオン状態であるとき、プロセッサ 1 1 0 がリセットされたと仮定する。この場合、リティン信号 R S の信号レベルは第 2 信号レベルであり得る。そして、リティン信号 R S が第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 に入力されるため、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態はターンオン状態に維持され得る。

20

【 0 1 4 7 】

その後、所定の時間が経過した後もプロセッサ 1 1 0 の動作状態がリセット状態であれば、リティン信号 R S の信号レベルは、第 1 信号レベルに移行され得る。この場合、リティン信号 R S が第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 に入力されるため、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態は、ターンオフ状態に変更され得る。

30

【 0 1 4 8 】

したがって、本発明の一実施形態によるリレー制御方法は、プロセッサ 1 1 0 がリセットされる場合に複数のリレーの動作状態を維持させることで、プロセッサ 1 1 0 のリセットによる事故を防止することができる。また、所定の時間が経過するまでプロセッサ 1 1 0 の動作状態がリセット状態であれば、複数のリレーの動作状態をターンオフ状態に変更することで、システム資源及びエネルギーの無駄遣いを防止することができる。

【 0 1 4 9 】

他の例として、プロセッサ 1 1 0 の動作状態がリセット状態から回復状態に切り換えられた場合、第 1 信号レベルの回復信号 R が出力され、第 3 制御信号 C S 3 の信号レベルは第 1 信号レベルから第 2 信号レベルに移行し得る。その後、回復信号 R の信号レベルが第 1 信号レベルから第 2 信号レベルに移行すれば、第 1 リレー制御信号 R C S 1 として第 1 制御信号 C S 1 が出力され、第 2 リレー制御信号 R C S 2 として第 2 制御信号 C S 2 が出力され得る。したがって、第 1 リレー 2 0 0 及び第 2 リレー 3 0 0 の動作状態は、プロセッサ 1 1 0 によって制御される。

40

【 0 1 5 0 】

したがって、本発明の一実施形態によるリレー制御方法は、プロセッサ 1 1 0 の動作状態が回復した場合、複数のリレーの制御権をプロセッサ 1 1 0 が再び回復することで、複数のリレーの動作状態を安定的に制御することができる。

【 0 1 5 1 】

上述した本発明の実施形態は、装置及び方法のみによって具現されるものではなく、本

50

発明の実施形態の構成に対応する機能を実現するプログラムまたはそのプログラムが記録された記録媒体を通じて具現され得、このような具現は上述した実施形態の記載から当業者であれば容易に具現できるであろう。

【 0 1 5 2 】

以上のように、本発明を限定された実施形態と図面によって説明したが、本発明はこれに限定されるものではなく、本発明の属する技術分野で通常の知識を持つ者によって本発明の技術思想と特許請求の範囲の均等範囲内で多様な修正及び変形が可能であることは言うまでもない。

【 0 1 5 3 】

また、上述した本発明は、本発明が属する技術分野で通常の知識を持つ者により、本発明の技術的思想を逸脱しない範囲内で様々な置換、変形及び変更が可能であって、上述した実施形態及び添付の図面によって限定されるものではなく、多様な変形のため各実施形態の全部または一部が選択的に組み合わせられて構成され得る。

10

【符号の説明】

【 0 1 5 4 】

1 0 0 : リレー制御装置

1 1 0 : プロセッサ

1 2 0 : モニタリング部

1 3 0 : リレー状態決定部

1 3 1 : フリップフロップ

20

1 3 2 : バッファ部

1 3 3 : ゲート部

2 0 0 : 第 1 リレー

3 0 0 : 第 2 リレー

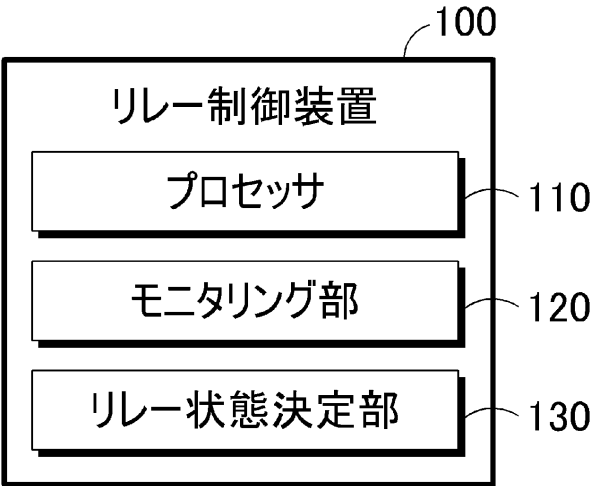
30

40

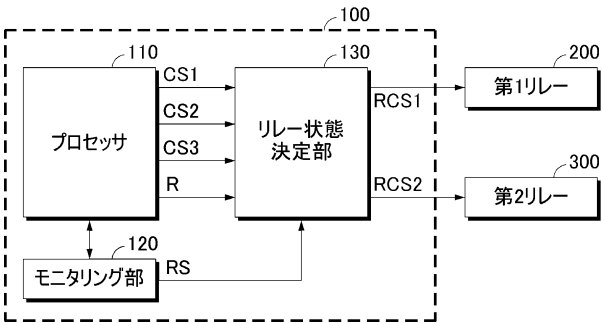
50

【図面】

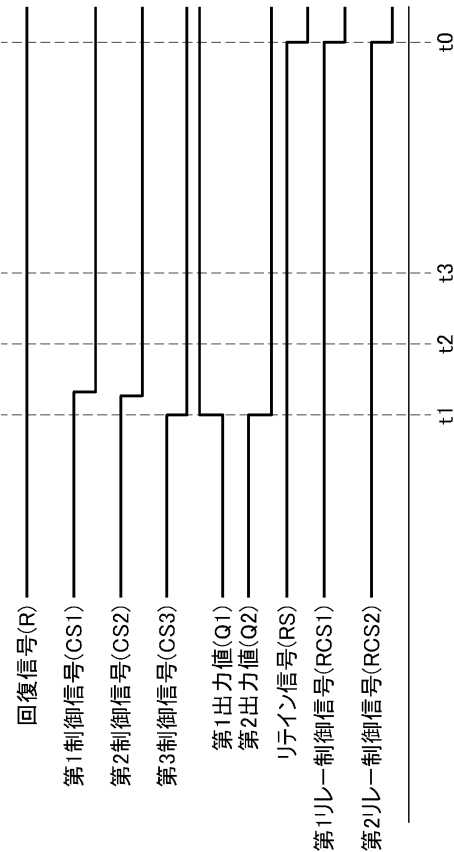
【図 1】



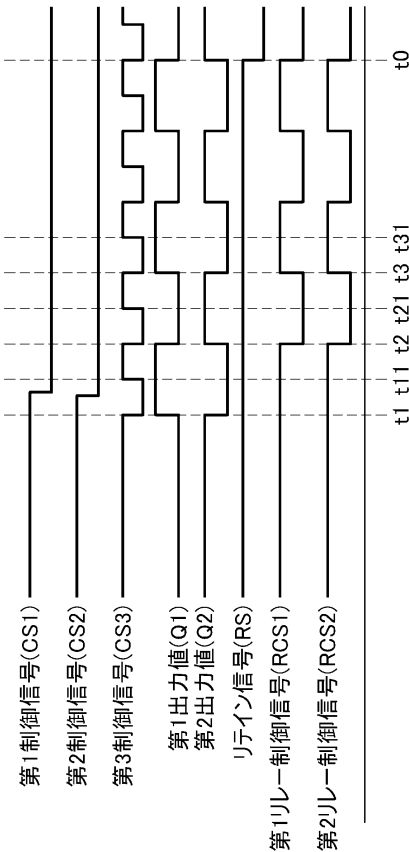
【図 2】



【図 3】



【図 4】



10

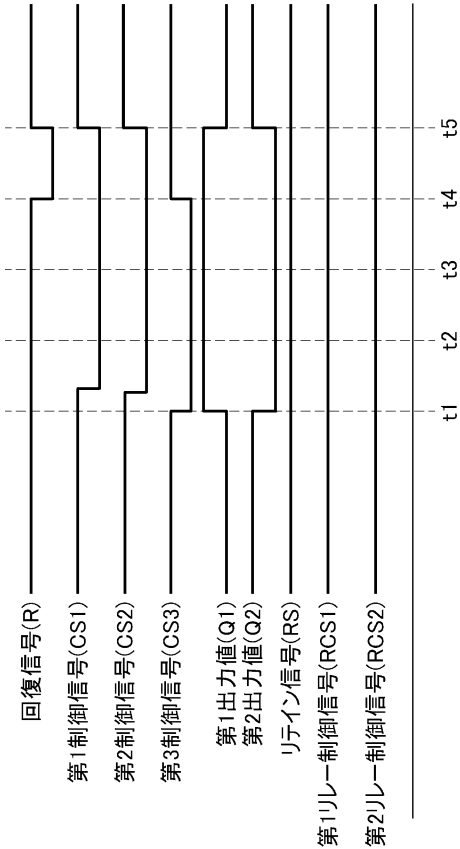
20

30

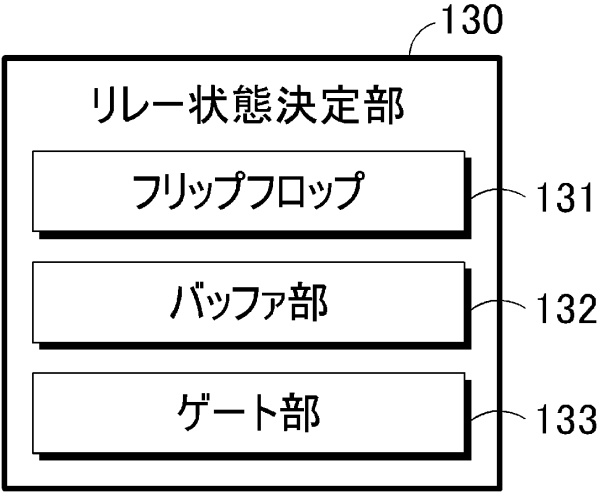
40

50

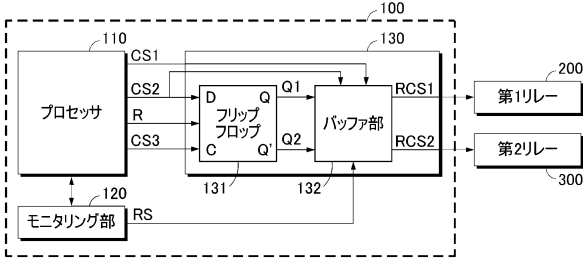
【図 5】



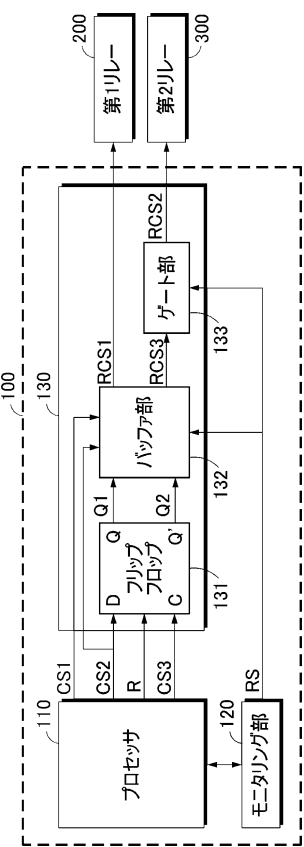
【図 6】



【図 7】



【図 8】



10

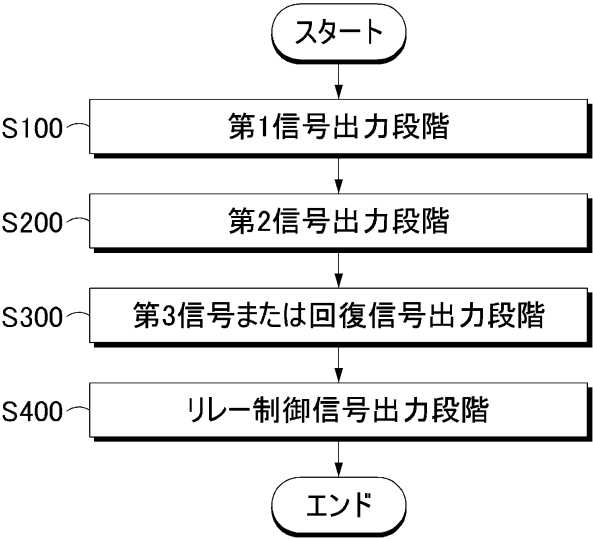
20

30

40

50

【図 9】



10

20

30

40

50

フロントページの続き

- (56)参考文献

国際公開第 2 0 2 0 / 1 1 1 8 9 9 (W O , A 1)
米国特許出願公開第 2 0 2 0 / 0 0 8 8 7 9 2 (U S , A 1)
特開平 0 9 - 2 3 0 9 0 2 (J P , A)
特開 2 0 2 0 - 0 8 9 0 6 6 (J P , A)
- (58)調査した分野 (Int.Cl. , D B 名)

H 0 2 J 1 / 0 0 - 1 / 1 6
H 0 2 H 7 / 0 0
G 0 1 R 3 1 / 0 0
B 6 0 L 3 / 0 0