

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
15. Februar 2007 (15.02.2007)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2007/017388 A1

(51) Internationale Patentklassifikation:
G06F 11/36 (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2006/064694

(22) Internationales Anmeldedatum:
26. Juli 2006 (26.07.2006)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102005037232.5 8. August 2005 (08.08.2005) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **ROBERT BOSCH GMBH** [DE/DE]; Postfach 30 02 20, 70442 Stuttgart (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **WEIBERLE, Reinhard** [DE/DE]; Kalkaeckerstr. 10, 71665 Vaihingen/Enz

(DE). **MUELLER, Bernd** [DE/DE]; Stahler Str. 38, 70839 Gerlingen (DE). **ANGERBAUER, Ralf** [DE/DE]; Clara-Schumann-Str. 4, 71701 Schwieberdingen (DE). **BOEHL, Eberhard** [DE/DE]; Heimbuehlstr. 36, 72768 Reutlingen (DE). **COLLANI, Yorek** [DE/DE]; Lisztweg 9, 71717 Beilstein (DE). **GMEHLICH, Rainer** [DE/DE]; Hoehenweg 2, 71254 Ditzingen (DE).

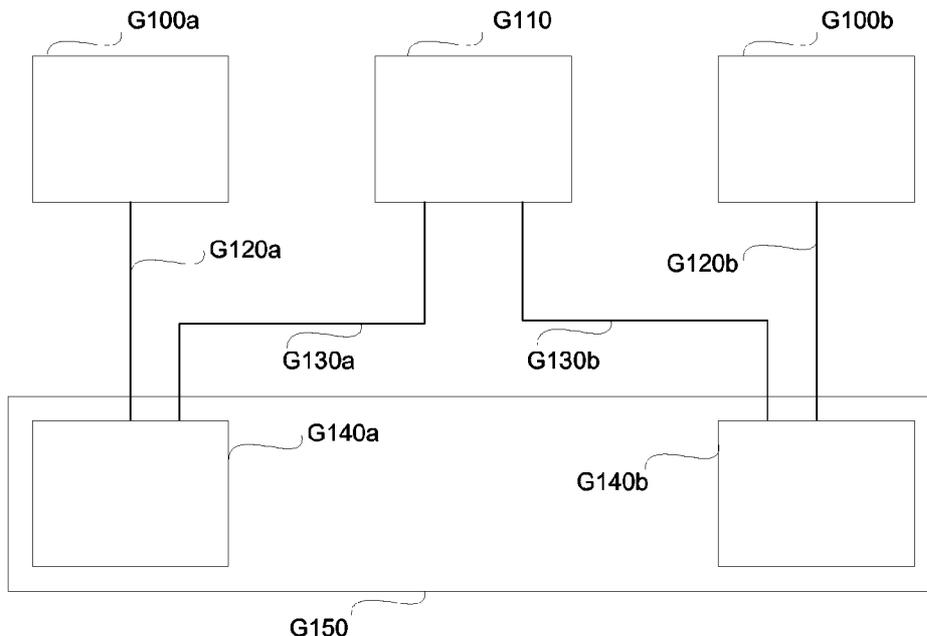
(74) **Gemeinsamer Vertreter: ROBERT BOSCH GMBH**, Postfach 30 02 20, 70442 Stuttgart (DE).

(81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC,

[Fortsetzung auf der nächsten Seite]

(54) **Title:** METHOD AND DEVICE FOR ANALYZING PROCESSES IN A COMPUTER SYSTEM HAVING A PLURALITY OF EXECUTION UNITS

(54) **Bezeichnung:** VERFAHREN UND VORRICHTUNG ZUR ANALYSE VON ABLÄUFEN IN EINEM RECHNERSYSTEM MIT MEHREREN AUSFÜHRUNGSEINHEITEN



(57) **Abstract:** The invention relates to a method and a device for analyzing processes in a computer system having a plurality of execution units that can be configured in at least two different modes in the computer system. At least two execution units operate in a performance mode as a first mode and at least one second mode is provided as the comparative mode. For analyzing and/or influencing states and operations in all execution units, analytical units, especially debug support units, are used. The invention is characterized in that the device comprises at least one analytical unit more than the maximum number of execution units that independently operate in the performance mode.

[Fortsetzung auf der nächsten Seite]

WO 2007/017388 A1



SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ,
UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG,
CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC,

Veröffentlicht:

— mit internationalem Recherchenbericht

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Verfahren und Vorrichtung zur Analyse von Abläufen in einem Rechnersystem mit mehreren Ausführungseinheiten, die in mindestens zwei verschiedenen Modi in dem Rechnersystem konfigurierbar sind, wobei wenigstens zwei Ausführungseinheiten in einem Performanzmodus als einem ersten Modus arbeiten und mindestens ein zweiter Modus als Vergleichsmodus vorgesehen ist und dass zur Analyse und/oder Beeinflussung von Zuständen und Abläufen in allen Ausführungseinheiten Analyseeinheiten, insbesondere Debug-Unterstützungseinheiten, verwendet werden, dadurch gekennzeichnet, dass die Vorrichtung wenigstens eine Analyseeinheit mehr enthält als die maximale Anzahl der Ausführungseinheiten, die im Performanzmodus unabhängig voneinander arbeiten.

R. 312750

Verfahren und Vorrichtung zur Analyse von Abläufen in einem Rechnersystem mit mehreren Ausführungseinheiten

Stand der Technik

Transiente Fehler, ausgelöst durch Alpha-Teilchen oder kosmische Strahlung, werden zunehmend ein Problem für integrierte Halbleiterschaltungen. Durch abnehmende Strukturbreiten, sinkende Spannungen und höhere Taktfrequenzen nimmt die Wahrscheinlichkeit zu, dass eine Ladungsänderung, hervorgerufen durch ein Alpha-Teilchen oder kosmische Strahlung, einen logischen Wert in einer integrierten Schaltung verfälscht. Ein falsches Berechnungsergebnis kann die Folge sein. In sicherheitsrelevanten Systemen, insbesondere im Kraftfahrzeug, müssen solche Fehler daher zuverlässig detektiert werden.

Bei sicherheitsrelevanten Systemen, wie z. B. einem ABS-Regelsystem in einem Kraftfahrzeug, in denen Fehlfunktionen der Elektronik sicher detektiert werden müssen, werden bei den entsprechenden Steuereinrichtungen solcher Systeme üblicherweise Redundanzen zur Fehlererkennung eingesetzt. So ist beispielsweise in bekannten ABS-Systemen jeweils der komplette Mikrocontroller dupliziert, wobei die gesamten ABS-Funktionen redundant berechnet und auf Übereinstimmung geprüft werden. Tritt eine Diskrepanz der Ergebnisse auf, so wird das ABS-System abgeschaltet.

Ein Mikrocontroller besteht einerseits aus Speichermodulen (z. B. RAM, ROM, Cache), aus einem Prozessor (CPU, Core) und aus Ein- /Ausgangs-Schnittstellen, so genannten Peripherals (z. B. A/D-Wandler, CAN-Schnittstelle). Da Speicherelemente mit Prüfcodes (Parity oder ECC) effektiv überwacht werden können, und Peripherals oft anwendungsspezifisch als Teil eines Sen-

- 2 -

sor- oder Aktor-Signalpfades überwacht werden, besteht ein weiterer Redundanzansatz in der alleinigen Verdopplung der Cores eines Mikrocontrollers.

Solche Mikrocontroller mit wenigstens zwei integrierten Cores sind auch als Dual-Core Architekturen bekannt. Beide Cores führen redundant und takt synchron (Lockstep-Modus) das gleiche Programmsegment aus, die Ergebnisse der beiden Cores werden verglichen, und ein Fehler wird dann bei dem Vergleich auf Übereinstimmung erkannt werden. Diese Konfiguration eines Dual-Core Systems kann als Vergleichsmodus bezeichnet werden.

Dual-Core Architekturen werden in anderen Anwendungen auch zur Leistungssteigerung, also zu einer Performanz-Steigerung eingesetzt. Beide Cores führen unterschiedliche Programme, Programmsegmente und Befehle aus, wodurch sich eine Leistungssteigerung erzielen lässt, weshalb diese Konfiguration eines Dual-Core Systems als Performanzmodus bezeichnet werden kann. Dieses System wird auch als ein symmetrisches Multiprozessorsystem (SMP) bezeichnet. Eine Erweiterung dieser Systeme ist eine Umschaltung durch Software zwischen diesen beiden Modi mittel eines Zugriffs auf eine spezielle Adresse und spezialisierter Hardware-Vorrichtungen. Im Vergleichsmodus werden die Ausgangssignale der Cores miteinander verglichen. Im Performanzmodus arbeiten die beiden Cores als ein symmetrisches Mehrprozessorsystem (SMP) und führen unterschiedliche Programme, Programmsegmente oder Befehle aus. Bei der Entwicklung von Software für einen μC ist es notwendig, die Auswirkungen von bestimmten Programmschritten genau verfolgen zu können und Testmodi zu verwenden, um während der Entwicklung Fehler in der SW zu erkennen. Dazu werden Debug-Konzepte verwendet. Im Stand der Technik gibt es für die bisher eingeführten Dual Core Architekturen, die entweder rein im Lockstep oder rein im SMP-Betrieb laufen, Debug-Konzepte für die Software-Entwicklung.

Für ein umschaltbares System ist aus dem Stand der Technik kein Debug-Konzept bekannt. Da die Umschaltung aber insbesondere bei Test oder Fehlersuche besonders zu berücksichtigen ist, ist es notwendig, ein dediziertes Debug-Konzept für ein umschaltbares System zu entwickeln.

Vorteile der Erfindung

Ein Vorteil gemäß Anspruch 1 liegt darin, dass in einem Rechnersystem mit mehreren Ausführungseinheiten oder Komponenten, die in mindestens zwei verschiedenen Modi in dem System

- 3 -

konfigurierbar sind, die sich dadurch unterscheiden, dass in dem einem Modus mindestens zwei Komponenten in einem Performanzmodus arbeiten, indem diese Komponenten unterschiedliche Eingangs-Signale zu unterschiedlichen Ausgangssignalen verarbeiten und in einem mindestens zweiten Modus diese Komponenten in einem Vergleichsmodus gleiche Eingangssignale zu gleichen Ausgangssignalen verarbeiten, und in dem zur Analyse und/oder Beeinflussung der Zustände und Abläufe in allen Ausführungseinheiten oder Komponenten Analyseeinheiten, insbesondere Debug-Unterstützungseinheiten verwendet werden, mehr Analyseeinheiten vorhanden sind als Ausführungseinheiten oder Komponenten in einem Performanz-Modus unabhängig voneinander arbeiten können und damit verschiedene Modi des Systems besser beobachtbar und beeinflussbar sind.

Ein weiterer Vorteil des Systems ist, dass dabei allen Ausführungseinheiten oder Komponenten, die in mindestens einem ersten Modus des besagten Rechnersystems nicht mit anderen Ausführungseinheiten oder Komponenten in einem Vergleichsmodus zusammenarbeiten, jeweils eine Analyseeinheit zugeordnet ist, die Zustände und Abläufe in dieser Ausführungseinheit oder Komponente beobachten und/oder beeinflussen kann.

Ein zusätzlicher Vorteil ist, dass in dem Fall, dass in mindestens einem zweiten Modus des Rechnersystems mindestens zwei Ausführungseinheiten oder Komponenten als ein temporäres Teilsystem in einem Vergleichsmodus zusammenarbeiten und diesem Teilsystem eine weitere Analyseeinheit zugeordnet ist, die Zustände und Abläufe in diesem Teilsystem beobachten und/oder beeinflussen kann.

Ein weiterer Vorteil ist, dass eine Beobachtung und/oder Beeinflussung der Zustände und Abläufe aller Ausführungseinheiten des Teilsystems, das in einem Vergleichsmodus zusammenarbeitet, durch die Analyseeinheit synchron erfolgen kann.

Ein weiterer Vorteil ergibt sich daraus, dass zusätzliche Mittel enthalten sind, die eine Aktivierung und/oder Deaktivierung von Analyseeinheiten abhängig von den Betriebsmodi des Rechnersystems und/oder weiterer vorgegebener Bedingungen ermöglichen.

- 4 -

Vorteilhaft ist weiterhin, dass in dem System mindestens ein Modus Signal, vorzugsweise ein Core Modus Signal, eine Umschaltung der Aktivität wenigstens einer der Analyseeinheiten veranlassen kann.

Weiterhin vorteilhaft ist, dass durch Steuersignale mindestens einer Analyseeinheit eine Umschaltung der Aktivität wenigstens einer weiteren Analyseeinheit erfolgen kann.

Es ist weiterhin vorteilhaft, dass bei einem System mit einem aktiven Vergleichsmodus eines Teilsystems die dem Teilsystem zugeordneten Analyseeinheit aktiv ist und die Analyseeinheiten der dem Teilsystem zugeordneten Ausführungseinheiten oder Komponenten nicht aktiv sind. Weiterhin ist auch vorteilhaft, dass in dem System zusätzlich die Zustände oder einzelnen Eingangssignale der Ausführungseinheiten oder Komponenten und/oder der Vergleichsmittel von mindestens einer Analyseeinheit beeinflusst werden können und die Zustände oder Ausgangssignale dieser beeinflussten Einheiten von dieser oder einer anderen Analyseeinheit beobachtbar sind.

Weitere Vorteile und vorteilhafte Ausgestaltungen ergeben sich aus den Merkmalen der Ansprüche sowie der Beschreibung.

Figuren

In Figur 1 ist ein Multiprozessorsystem mit zwei Ausführungseinheiten G140a und G140b sowie den zugehörigen Analyseeinheiten, insbesondere Debug-Unterstützungseinheiten G100a und G100b und der Debug-Unterstützungseinheit G110.

In Figur 2 ist ein Multiprozessorsystem mit zwei Ausführungseinheiten G140a und G140b sowie den zugehörigen Analyseeinheiten, insbesondere Debug-Unterstützungseinheiten G100a und G100b und der Debug-Unterstützungseinheit G110. Weiter enthalten ist eine Debug-Unterstützungsmanagementeinheit G170 und eine Umschalt- und Vergleichseinheit G200.

In Figur 3 ist ein Multiprozessorsystem mit zwei Ausführungseinheiten G140a und G140b sowie den zugehörigen Debug-Unterstützungseinheiten G100a und G100b und der Debug-Unterstützungseinheit G110. Weiter enthalten ist eine Debug-Unterstützungsmanagementeinheit G170 und eine Umschalt- und Vergleichseinheit G200. Das System arbeitet hier in einem Performanzmodus.

In Figur 4 ist ein Multiprozessorsystem mit zwei Ausführungseinheiten G140a und G140b sowie den zugehörigen Debug-Unterstützungseinheiten G100a und G100b und der Debug-Unterstützungseinheit G110. Weiter enthalten ist eine Debug-Unterstützungsmanagementeinheit G170 und eine Umschalt- und Vergleichseinheit G200. Das System arbeitet hier in einem Vergleichsmodus.

In Figur 5 ist ein allgemeiner Fall der Umschalt- und Vergleichskomponente, auch für die Verwendung für mehr als zwei Ausführungseinheiten gezeigt.

In Figur 6 ist die allgemeine Form des Modussignals dargestellt.

Beschreibung der Ausführungsbeispiele

Eine Ausführungseinheit kann im Folgenden sowohl einen Prozessor/Core/CPU, als auch eine FPU (Floating Point Unit), DSP (Digitaler Signalprozessor), Coprozessor oder ALU (Arithmetic logical Unit) bezeichnen. Weiterhin wird unter einer Komponente eine Einheit aus mindestens einer Ausführungseinheit verstanden, die in einer festen Art und Weise miteinander verschaltet sind und demzufolge in einem festen Modus zusammenarbeiten.

Unter Debug-Unterstützungseinheit wird eine Einheit verstanden, die eine Ausführungseinheit, eine Komponente oder ein Teilsystem aus mehreren Ausführungseinheiten oder Komponenten und Vergleichern durch geeignete Signale beeinflussen kann und durch andere geeignete Signale eine Information über Zustände und/oder Abläufe von den Ausführungseinheiten, Komponenten, Vergleichern oder Teilsystemen mittelbar oder unmittelbar zurückerhält und damit diese durch die Debug-Unterstützungseinheit beobachtbar sind.

- 6 -

Ein allgemeiner Fall der Umschalt- und Vergleichskomponente, auch für die Verwendung in Prozessorsystemen mit mehr als zwei Ausführungseinheiten, ist in Figur 5 gezeigt. Von den n zu berücksichtigenden Ausführungseinheiten gehen n Signale $N140, \dots, N14n$ an die Umschalt- und Vergleichskomponente $N100$. Diese kann bis zu n Ausgangssignale $N160, \dots, N16n$ aus diesen Eingangssignalen erzeugen. Im einfachsten Fall, dem „reinen Performanzmodus“, werden alle Signale $N14i$ auf die entsprechenden Ausgangssignale $N16i$ geleitet. Im entgegen gesetzten Grenzfall, dem „reinen Vergleichsmodus“ werden alle Signale $N140, \dots, N14n$ nur auf genau eines der Ausgangssignale $N16i$ geleitet.

An dieser Figur lässt sich darlegen, wie die verschiedenen denkbaren Modi entstehen können. Dazu ist in dieser Figur die logische Komponente einer Schaltlogik $N110$ enthalten. Diese legt zunächst fest, wie viele Ausgangssignale es überhaupt gibt. Weiter legt die Schaltlogik $N110$ fest, welche der Eingangssignale zu welchem der Ausgangssignale beitragen. Dabei kann ein Eingangssignal zu genau einem Ausgangssignal beitragen. In mathematischer Form anders formuliert ist also durch die Schaltlogik eine Funktion definiert, die jedem Element der Menge $\{N140, \dots, N14n\}$ ein Element der Menge $\{N160, \dots, N16n\}$ zuordnet.

Die Verarbeitungslogik $N120$ legt dann zu jedem der Ausgänge $N16i$ fest, in welcher Form die Eingänge zu diesem Ausgangssignal beitragen. Um beispielhaft die verschiedenen Variationsmöglichkeiten zu beschreiben, sei ohne Beschränkung der Allgemeinheit angenommen, dass der Ausgang $N160$ durch die Signale $N141, \dots, N14m$ erzeugt wird. Falls $m = 1$ entspricht dies einfach einer Durchschaltung des Signals, falls $m = 2$ dann werden die Signale $N141, N142$ verglichen. Dieser Vergleich kann synchron oder asynchron durchgeführt werden, er kann bitweise oder nur auf signifikante Bits oder auch mit einem Toleranzband durchgeführt werden.

Falls $m \geq 3$ gibt es mehrere Möglichkeiten.

Eine erste Möglichkeit besteht darin alle Signale zu vergleichen und bei Vorhandensein mindestens zweier verschiedener Werte einen Fehler zu detektieren, den man optional signalisieren kann.

Eine zweite Möglichkeit besteht darin, dass man eine k aus m -Auswahl vornimmt ($k > m/2$). Diese kann durch Verwendung von Vergleichen realisiert werden. Optional kann ein Fehler-signal generiert werden, wenn eines der Signale als abweichend erkannt wird. Ein möglicher-

- 7 -

weise verschiedenes Fehlersignal kann generiert werden, wenn alle drei Signale verschieden sind.

Eine dritte Möglichkeit besteht darin, diese Werte einem Algorithmus zuzuführen. Dies kann beispielsweise die Bildung eines Mittelwerts, eines Medianwert, oder die Verwendung eines fehlertoleranten Algorithmus (FTA) darstellen. Ein solcher FTA beruht darauf, Extremwerte der Eingangswerte wegzustreichen und eine Art der Mittelung über die restlichen Werte vorzunehmen. Diese Mittelung kann über die gesamte Menge der restlichen Werte, oder vorzugsweise über eine in HW leicht zu bildenden Teilmenge vorgenommen werden. In diesem Fall ist es nicht immer notwendig, die Werte tatsächlich zu vergleichen. Bei der Mittelwertbildung muss beispielsweise nur addiert und dividiert werden, FTM, FTA oder Median erfordern eine teilweise Sortierung. Gegebenenfalls kann auch hier bei hinreichend großen Extremwerten optional ein Fehlersignal ausgegeben werden.

Diese verschiedenen genannten Möglichkeiten der Verarbeitung mehrerer Signale zu einem Signal werden der Kürze wegen als Vergleichsoperationen bezeichnet.

Die Aufgabe der Verarbeitungslogik ist es also, die genaue Gestalt der Vergleichsoperation für jedes Ausgangssignal – und damit auch für die zugehörigen Eingangssignale – festzulegen. Die Kombination der Information der Schaltlogik N110 (d.h. die o. g. Funktion) und der Verarbeitungslogik (d.h. die Festlegung der Vergleichsoperation pro Ausgangssignal, d.h. pro Funktionswert) ist die Modusinformation und diese legt den Modus fest. Diese Information ist im allgemeinen Fall natürlich mehrwertig, d.h. nicht nur über ein logisches Bit darstellbar. Nicht alle theoretisch denkbaren Modi sind in einer gegebenen Implementierung sinnvoll, man wird vorzugsweise die Zahl der erlaubten Modi einschränken. Zu betonen ist, dass im Fall von nur zwei Ausführungseinheiten, wo es nur einen Vergleichsmodus gibt, die gesamte Information auf nur ein logisches Bit kondensiert werden kann.

Eine Umschaltung von einem Performanz- in einen Vergleichsmodus ist im allgemeinen Fall dadurch charakterisiert, dass Ausführungseinheiten, die im Performanzmodus auf verschiedene Ausgänge hin abgebildet werden, im Vergleichsmodus auf den gleichen Ausgang hin abgebildet werden. Vorzugsweise ist dies dadurch realisiert, dass es ein Teilsystem von Ausführungseinheiten gibt, bei dem im Performanzmodus alle Eingangssignale N14i, die im Teilsystem zu be-

rücksichtigen sind, direkt auf korrespondierende Ausgangssignale N16i geschaltet werden, während sie im Vergleichsmodus alle auf ein Ausgang hin abgebildet sind. Alternativ kann eine solche Umschaltung auch dadurch realisiert werden, dass Paarungen geändert werden. Es ist dadurch dargestellt, dass man im allgemeinen Fall nicht von dem Performanzmodus und dem Vergleichsmodus sprechen kann, obwohl man in einer gegebenen Ausprägung der Erfindung die Menge der erlaubten Modi so einschränken kann, dass dies der Fall ist. Man kann aber immer von einer Umschaltung vom Performanz- in den Vergleichsmodus (und umgekehrt) sprechen.

Die Fehlerschaltungslogik N130 sammelt die Fehlersignale und kann optional die Ausgänge N16i passiv schalten, indem sie beispielsweise über einen Schalter unterbrochen werden.

Das Modus Signal ist in einer allgemeinen Form in der Figur 6 dargestellt. Die Signale und Komponenten N110, N120, N130, N140, N141, N142, N143, N14n, N160, N161, N162, N163, N16n der Umschalt- und Vergleichskomponente N200 haben die gleiche Bedeutung wie in der Umschalt- und Vergleichskomponente N100 in Figur 5. Darüber hinaus ist das Modussignal N150 und das Fehlersignal N170 in dieser Figur eingezeichnet. Das optionale Fehlersignal wird von der Fehlerschaltungslogik N130, die die Fehlersignale sammelt, generiert und ist entweder eine direkte Weiterleitung der Einzelfehlersignale oder eine Bündelung der darin enthaltenen Fehlerinformation. Das Modussignal N150 ist optional, seine Verwendung außerhalb dieser Komponente kann aber an vielen Stellen vorteilhaft verwendet werden. Die Kombination der Information der Schaltlogik N110 (d. h. die o. g. Funktion) und der Verarbeitungslogik (d. h. die Festlegung der Vergleichsoperation pro Ausgangssignal, d.h. pro Funktionswert) ist die Modusinformation und diese legt den Modus fest. Diese Information ist im allgemeinen Fall natürlich mehrwertig, d.h. nicht nur über ein logisches Bit darstellbar. Nicht alle theoretisch denkbaren Modi sind in einer gegebenen Implementierung sinnvoll, man wird vorzugsweise die Zahl der erlaubten Modi einschränken. Das Modussignal bringt dann die relevante Modusinformation nach außen. Eine HW-Implementierung ist vorzugsweise so dargestellt, dass das extern sichtbare Modussignal konfiguriert werden kann. Vorzugsweise sind ebenfalls die Verarbeitungslogik und die Schaltlogik konfigurierbar gestaltet. Vorzugsweise sind diese Konfigurationen aufeinander abgestimmt. Alternativ kann man auch nur oder ergänzend Änderungen des Modussignals nach außen geben. Dies hat insbesondere in einer Zweierkonfiguration Vorteile.

Im Folgenden wird hauptsächlich ein System mit zwei Ausführungseinheiten beschrieben. In Figur 1 ist ein Zweiprozessorsystem dargestellt. Falls sich das Zweiprozessorsystem in einem Performanzmodus befindet, werden auf den verschiedenen Ausführungseinheiten G140a und G140b diesem Modus entsprechend unterschiedliche Befehle, Programmsegmente oder Programme berechnet. Die Kopplung zwischen den Prozessoren ist dabei nur lose gegeben. In diesem Fall werden die Ausführungseinheiten G140a und G140b vorzugsweise über die Debug-Unterstützungseinheiten G100a und G100b und über die Debug Schnittstellen G120a und G120b „debuggt“. Dabei wird die Ausführungseinheit G140a über die Debug Schnittstelle G120a und die Debug-Unterstützungseinheit G100a „debuggt“. Die Ausführungseinheit G140b wird über die Debug Schnittstellen G120b und die Debug-Unterstützungseinheiten G100b „debuggt“. Dies bedeutet, dass über diese Einheiten und über weitere, nicht eingezeichnete Kommunikationseinrichtungen, die internen Zustände, insbesondere interne Register der Ausführungseinheiten, einem externen Programm (einem so genannten „Debugger“), das auf einem so genannten Host Rechner abgearbeitet wird, übermittelt werden. Dies geschieht, der Natur des „debuggen“ gemäß, während der Abarbeitung von Programmen auf den zu „debuggenden“ Ausführungseinheiten G140a, G140b. Der Debugger ist gemäß der allgemeinen Funktionsweise eines „Debuggers“, neben dem Beobachten von Zuständen, auch dazu in der Lage, die internen Zustände der zu „debuggenden“ Ausführungseinheiten G140a und G140b über die Schnittstellen G120a und G120b sowie den Debug-Unterstützungseinheiten G100a und G100b zu verändern, diese anzuhalten, oder nach einem Anhalten, diese auch wieder zu starten.

Im Vergleichsmodus bearbeiten die Ausführungseinheiten G140a und G140b in einer bevorzugten Variante die gleichen Befehle takt synchron oder mit einem definierten Taktversatz. Die Ausgangssignale der Ausführungseinheiten G140a und G140b werden dem Vergleichsmodus entsprechend verglichen. Bei einem Unterschied dieser Signale wird auf einen Fehler erkannt. Falls in diesem Modus eine Veränderung der internen Zustände oder ein Anhalten der Ausführungseinheiten G140a und G140b über eine der Debug-Unterstützungseinheiten G100a und G100b erfolgt, wird vom Vergleichsmodus (nicht in der Figur dargestellt) auf einen Fehler erkannt. In diesem Fall wird bevorzugt das „Debugging“ der Ausführungseinheiten G140a und G140b über die Debug-Unterstützungseinheiten G110 und die Debug Schnittstellen G130a und G130b erfolgen. Dabei wird die Ausführungseinheit G140a über die Debug Schnittstelle G130a, und die Ausführungseinheit G140b über die Debug Schnittstellen G130b von der Debug-Unterstützungseinheiten G110 „debuggt“. Die Debug-Unterstützungseinheit G110 ist dazu in

- 10 -

der Lage, die Zustände der beiden Ausführungseinheiten G140a und G140b gleichzeitig anzuzeigen. Sie kann auch gleichzeitig Zustände ändern, die Ausführungseinheiten anhalten oder wieder anstarten. In diesem Fall verhalten sich die Ausführungseinheiten G140a und G140b auch bei einem Eingriff aus Debugging Gründen synchron, so dass kein Unterschied entsteht, den der Vergleichler erkennt.

Diesem Vorschlag liegt damit die konzeptionelle Idee zu Grunde, dass es sich bei einem Zweiprozessorsystem, die im Betrieb zwischen einem Performanz- und einem Vergleichsmodus umschalten können, um drei getrennt zu „debuggende“ Einheiten handelt. Im Performanzmodus sind dabei die Ausführungseinheiten G140a und G140b als separate Ausführungseinheiten zu betrachten, im Vergleichsmodus ist der synchrone Betrieb dieser beiden Ausführungseinheiten als eine logische Ausführungseinheit G150 zu behandeln. Entsprechend diesem Konzept wird für die logische Ausführungseinheit G150 eine separate Debug-Unterstützungseinheiten G110 eingesetzt. Diese Debug-Unterstützungseinheiten G110 ist dabei dazu in der Lage, gleichzeitig die beiden physikalischen Ausführungseinheiten G140a und G140b über die Debug Schnittstellen G130a und G130b zu beeinflussen und die Zustände dieser einem externen Programm („Debugger“) zur Verfügung zu stellen.

In einer Verallgemeinerung des Beispiels von Figur 1 kann jede der Ausführungseinheiten G140a und G140b auch als eine Komponente ausgeführt sein, die mehrere Ausführungseinheiten enthält, die fest miteinander verschaltet sind und in einem bestimmten Modus (zum Beispiel einem Vergleichsmodus) miteinander zusammenarbeiten. Diese Komponente unterscheidet sich bezüglich der Ein- und Ausgangssignale nicht grundsätzlich von einer Ausführungseinheit, sondern gibt ggf. nur zusätzliche Signale, wie ein Fehler- oder mehrere Statussignale aus und hat möglicherweise zusätzliche Eingangssignale zu Testzwecken. Eine solche Komponente kann auch in allen folgenden Varianten eine Ausführungseinheit ersetzen.

In einer Erweiterung, wie in den Zeichnungen Figur 2, Figur 3, Figur 4 dargestellt, wird zusätzlich zu der Debug-Unterstützungseinheit G110 eine Debug-Unterstützungsmanagementeinheit G170 vorgeschlagen. Figur 2 stellt dabei den allgemeinen Fall dar, in Figur 3 wird die Ausprägung im Performanzmodus detailliert dargestellt, in Figur 4 wird die Ausprägung im Vergleichsmodus detailliert dargestellt.

Die Debug-Unterstützungsmanagementeinheit G170 stellt per Hardware, abhängig vom Modus, in dem das System arbeitet, sicher, dass nur die Debug-Unterstützungseinheiten benutzt werden, die in diesem Modus auch sinnvoll zu benutzen sind. Die Debug-Unterstützungsmanagementeinheit G170 benutzt dazu ein Core Modus Signal G180 (entspricht N150 aus Figur 6), das von einer Umschalt- und Vergleichseinheit G200 (entspricht N200 aus Figur 6) geliefert wird.

In einer bevorzugten Implementierung wird die Debug-Unterstützungsmanagementeinheit G170 im Performanzmodus nur ein „Debugging“ der Ausführungseinheiten G140a und G140b erlauben. Sie benutzt dazu die Debug-Unterstützungseinheiten G100a und G100b sowie die Debug Schnittstellen G120a, G190a und G120b, G190b.

Im Vergleichsmodus erlaubt die Debug-Unterstützungsmanagementeinheit G170 dagegen ein „debugging“ der logischen Ausführungseinheit G150 nur über die Debug-Unterstützungseinheit G110. Die logische Ausführungseinheit G150 besteht dabei aus den Ausführungseinheiten G140a und G140b. Die Debug-Unterstützungseinheit G110 verwendet dabei nur die Debug Schnittstellen G160 und G190a zum Debuggen von Ausführungseinheit G140a, und sie verwendet nur die Debug Schnittstellen G160 und G190b zum Debuggen von Ausführungseinheit G140b.

Für das vorgeschlagene Mehrprozessorsystem wird ein Debug Mechanismus und eine Debug Hardware vorgeschlagen, die es ermöglicht, die Ausführungseinheiten entsprechend den Anforderungen die sich aus dem Modus (Performanz oder Vergleichsmodus) ergeben, zu debuggen. Bekannt sind Debuglösungen für ein SMP System in dem die Ausführungseinheiten immer getrennt voneinander verschiedene Aufgaben erfüllen, ebenso bekannt sind Lösungen für Systeme im reinen Vergleichsmodus.

Die hier beschriebene Erfindung unterscheidet sich dabei vom Stand der Technik indem die Debugmechanismen und die Debughardware and die Umschaltung der Ausführungseinheiten im Betrieb zwischen einem Performanzmodus und einem Vergleichsmodus angepasst werden.

Patentansprüche

1. Vorrichtung zur Analyse von Abläufen in einem Rechnersystem mit mehreren Ausführungseinheiten, die in mindestens zwei verschiedenen Modi in dem Rechnersystem konfigurierbar sind, wobei wenigstens zwei Ausführungseinheiten in einem Performanzmodus als einem ersten Modus arbeiten und mindestens ein zweiter Modus als Vergleichsmodus vorgesehen ist und dass zur Analyse von Zuständen und Abläufen in allen Ausführungseinheiten Analyseeinheiten, insbesondere Debug-Unterstützungseinheiten, verwendet werden, dadurch gekennzeichnet, dass die Vorrichtung wenigstens eine Analyseeinheit mehr enthält als die maximale Anzahl der Ausführungseinheiten, die im Performanzmodus unabhängig voneinander arbeiten.
2. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass allen Ausführungseinheiten, die in mindestens einem ersten Modus nicht mit anderen Ausführungseinheiten in einem Vergleichsmodus zusammenarbeiten, jeweils eine Analyseeinheit zugeordnet ist, die die Zustände und Abläufe in dieser Ausführungseinheit beobachten und/oder beeinflussen kann.
3. Vorrichtung nach Anspruch 1, dadurch gekennzeichnet, dass die Vorrichtung derart gestaltet ist, dass in mindestens einem zweiten Modus des Rechnersystems mindestens zwei Ausführungseinheiten als ein temporäres Teilsystem in einem Vergleichsmodus zusammenarbeiten und diesem Teilsystem eine weitere Analyseeinheit zugeordnet ist, die die Zustände und Abläufe in diesem Teilsystem beobachten und/oder beeinflussen kann.
4. Vorrichtung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Vorrichtung derart ausgestaltet ist, dass durch mindestens ein Modus Signal, insbesondere Core Modus Signal, eine Umschaltung der Aktivität wenigstens einer Analyseeinheit erfolgt.

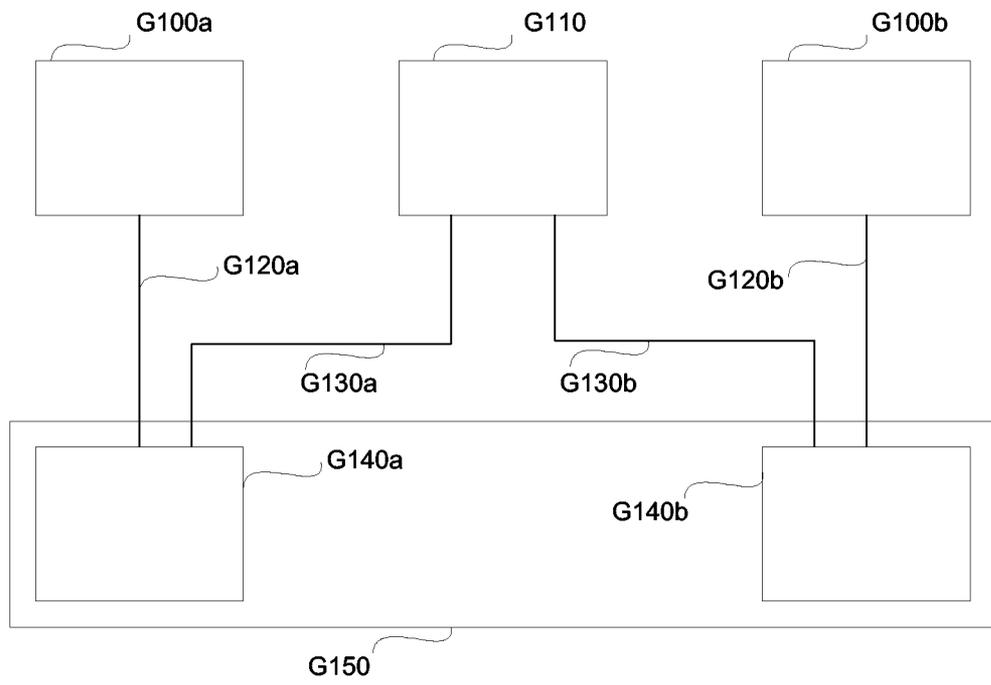
- 13 -

5. Vorrichtung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die Vorrichtung derart ausgestaltet ist, dass durch Steuersignale mindestens einer Analyseeinheit eine Umschaltung der Aktivität wenigstens einer anderen Analyseeinheit erfolgt.
6. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, dass die Vorrichtung derart ausgestaltet ist, dass eine synchrone Beobachtung und Beeinflussung der Zustände und Abläufe aller Ausführungseinheiten des Teilsystems, das in einem Vergleichsmodus zusammenarbeitet, durch die Analyseeinheit möglich ist.
7. Vorrichtung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass zusätzliche Mittel enthalten sind, die eine Aktivierung und/oder Deaktivierung von Analyseeinheiten abhängig von den Betriebsmodi des Rechnersystems und/oder weiteren vorgebbaren Bedingungen ermöglichen.
8. Vorrichtung nach Anspruch 3, dadurch gekennzeichnet, dass die Vorrichtung derart ausgestaltet ist, dass in einem Vergleichsmodus eines Teilsystems die dem Teilsystem zugeordnete Analyseeinheit aktiv ist und die Analyseeinheiten der dem Teilsystem zugeordneten Ausführungseinheiten nicht aktiv sind.
9. Vorrichtung nach Anspruch 4 oder 5, dadurch gekennzeichnet, dass zusätzlich Zustände oder einzelne Eingangssignale der Ausführungseinheiten und/oder der Vergleichsmittel von mindestens einer Analyseeinheit beeinflusst werden können und die Zustände oder Ausgangssignale dieser beeinflussten Einheiten von dieser oder einer anderen Analyseeinheit beobachtbar sind.
10. Rechnersystem mit einer Vorrichtung nach einem der Ansprüche 1 bis 9.
11. Verfahren zur Analyse von Abläufen in einem Rechnersystem mit mehreren Ausführungseinheiten, die in mindestens zwei verschiedenen Modi in dem Rechnersystem konfigurierbar sind, wobei wenigstens zwei Ausführungseinheiten in einem Performanzmodus als einem ersten Modus arbeiten und mindestens ein zweiter Modus als Vergleichsmodus vorgesehen ist und dass zur Beobachtung und/oder Beeinflussung von Zuständen und Abläufen in allen Ausführungseinheiten Analyseeinheiten, insbesondere Debug-

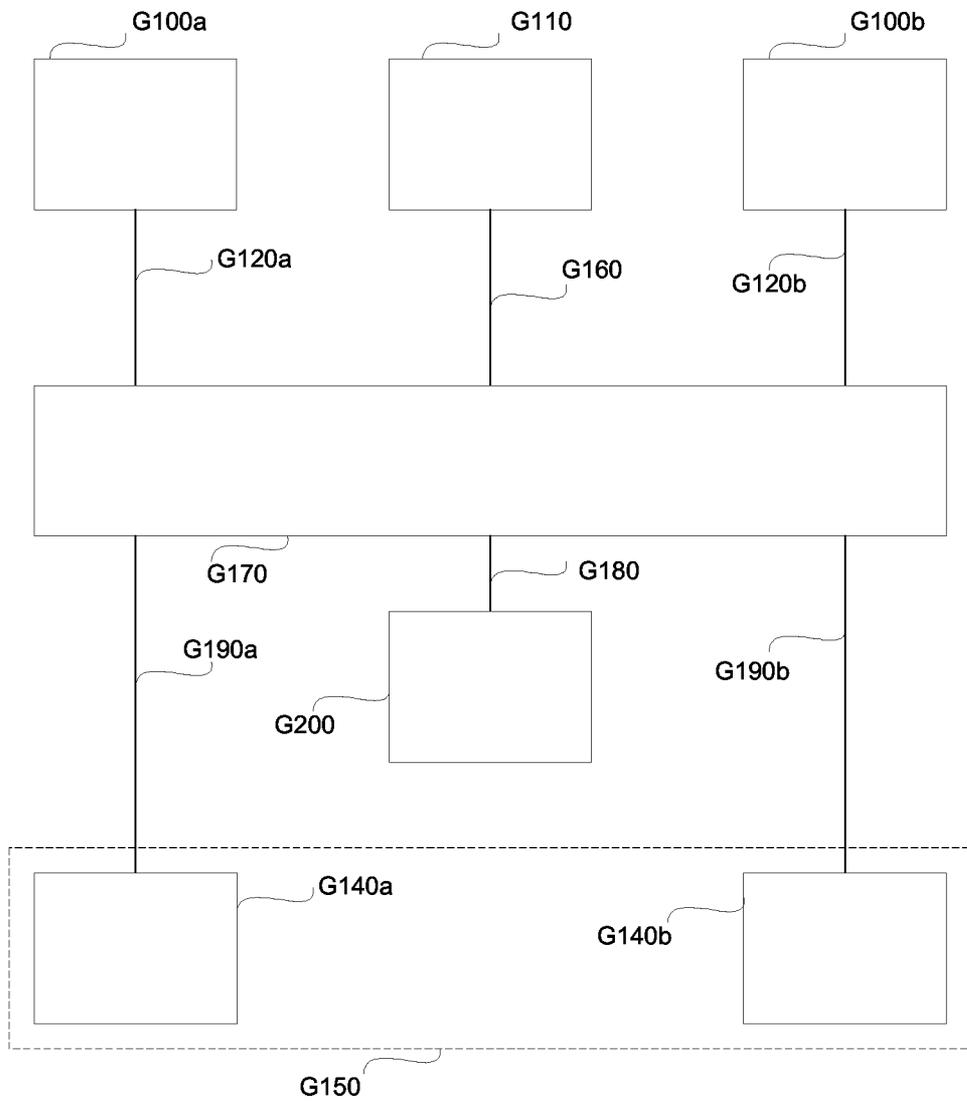
Unterstützungseinheiten, verwendet werden, dadurch gekennzeichnet, dass die Vorrichtung wenigstens eine Analyseeinheit mehr enthält als die maximale Anzahl der Ausführungseinheiten, die im Performanzmodus unabhängig voneinander arbeiten, wobei die Analyseeinheiten die Zustände und Abläufe in den Ausführungseinheiten beobachten und/oder beeinflussen können.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass allen Ausführungseinheiten, die in mindestens einem ersten Modus nicht mit anderen Ausführungseinheiten in einem Vergleichsmodus zusammenarbeiten, jeweils eine Analyseeinheit zugeordnet ist, die die Zustände und Abläufe in dieser Ausführungseinheit beobachten und/oder beeinflussen kann.
13. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass in mindestens einem zweiten Modus des Rechnersystems mindestens zwei Ausführungseinheiten als ein temporäres Teilsystem in einem Vergleichsmodus zusammenarbeiten und diesem Teilsystem eine weitere Analyseeinheit zugeordnet ist, die die Zustände und Abläufe in diesem Teilsystem beobachten und/oder beeinflussen kann.
14. Verfahren nach einem der Ansprüche 11 bis 13, dadurch gekennzeichnet, dass durch mindestens ein Modus Signal, insbesondere Core Modus Signal, eine Umschaltung der Aktivität wenigstens einer Analyseeinheit erfolgt.
15. Verfahren nach einem der Ansprüche 11 bis 13, dadurch gekennzeichnet, dass durch Steuersignale mindestens einer Analyseeinheit eine Umschaltung der Aktivität wenigstens einer anderen Analyseeinheit erfolgt.
16. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass eine Beobachtung und/oder Beeinflussung der Zustände und Abläufe aller Ausführungseinheiten des Teilsystems, das in einem Vergleichsmodus zusammenarbeitet, durch die Analyseeinheit synchron erfolgt.
17. Verfahren nach einem der Ansprüche 11 bis 13, dadurch gekennzeichnet, dass eine Aktivierung und/oder Deaktivierung von Analyseeinheiten abhängig von den Betriebsmodi des Rechnersystems und/oder weiteren vorgebbaren Bedingungen vorgenommen wird

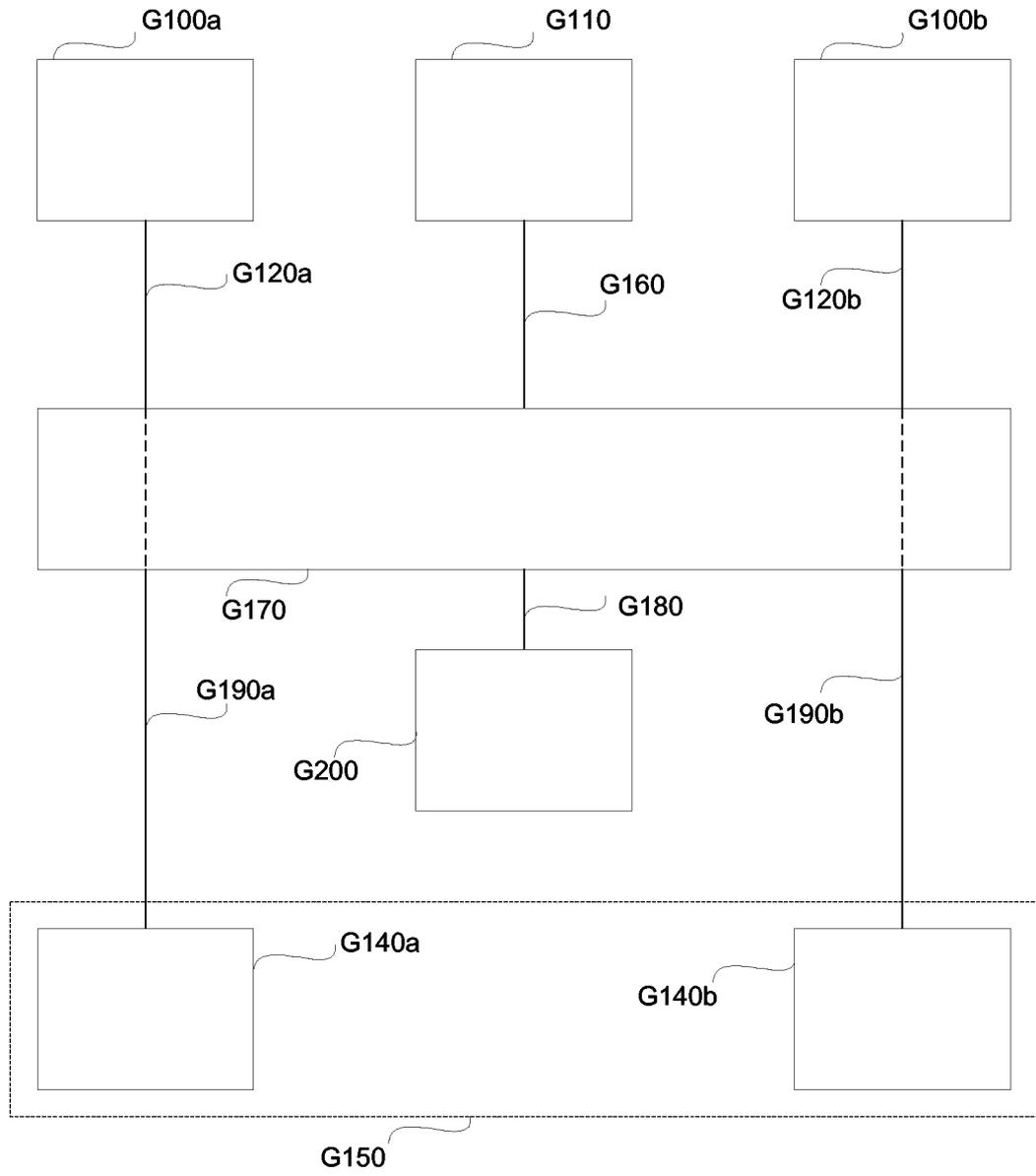
18. Verfahren nach Anspruch 17, dadurch gekennzeichnet, dass die Aktivierung und/oder Deaktivierung durch in Hardware implementierte Mittel erfolgt, die Teil des Rechnersystems sind.
19. Verfahren nach Anspruch 13, dadurch gekennzeichnet, dass in einem Vergleichsmodus eines Teilsystems die dem Teilsystem zugeordnete Analyseeinheit aktiv ist und die Analyseeinheiten der dem Teilsystem zugeordneten Ausführungseinheiten nicht aktiv sind.
20. Verfahren nach Anspruch 14 oder 15, dadurch gekennzeichnet, dass zusätzlich Zustände oder einzelne Eingangssignale der Ausführungseinheiten und/oder der Vergleichsmittel von mindestens einer Analyseeinheit beeinflusst werden und die Zustände oder Ausgangssignale dieser beeinflussten Einheiten von dieser oder einer anderen Analyseeinheit beobachtbar sind.



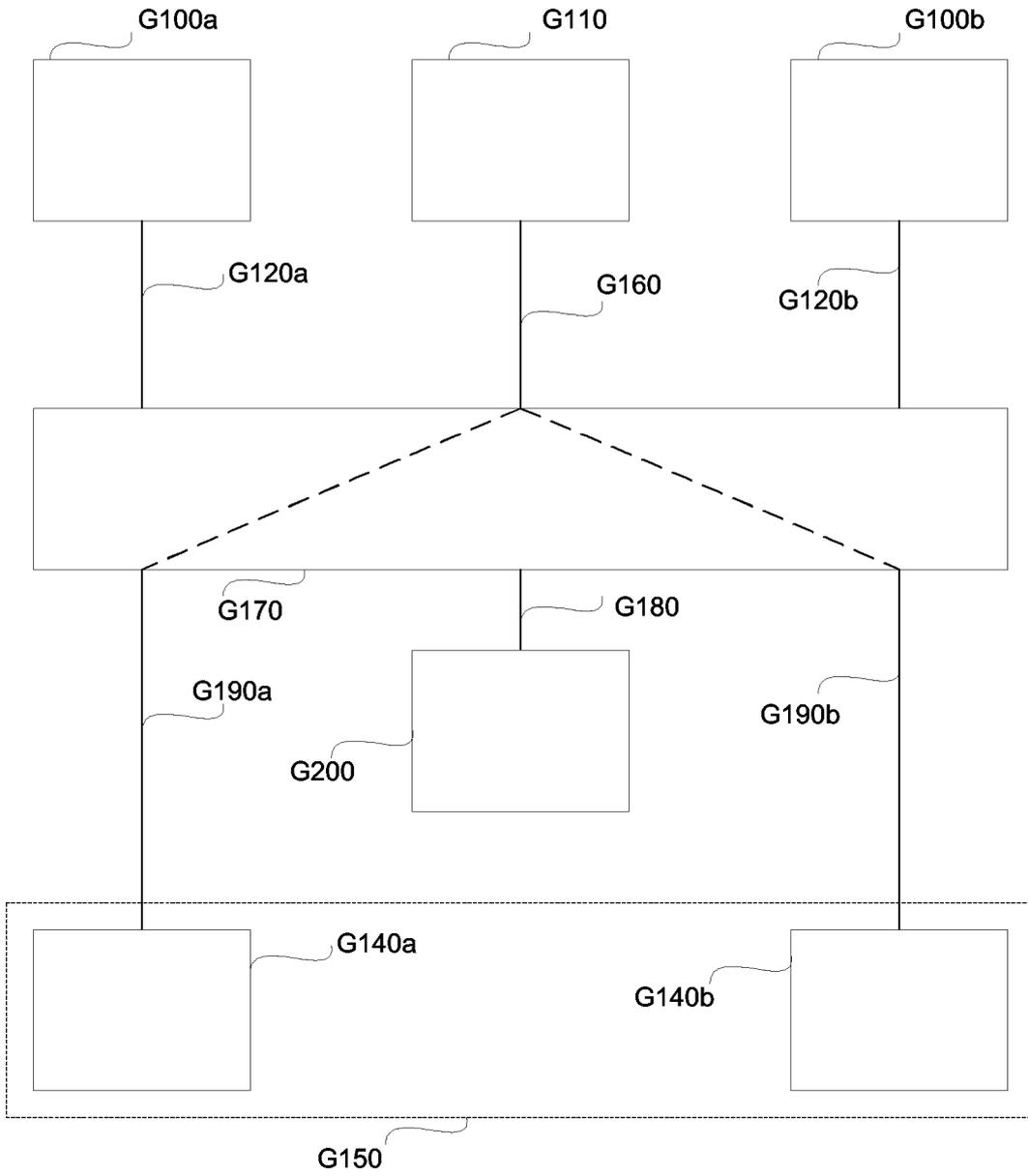
Figur 1



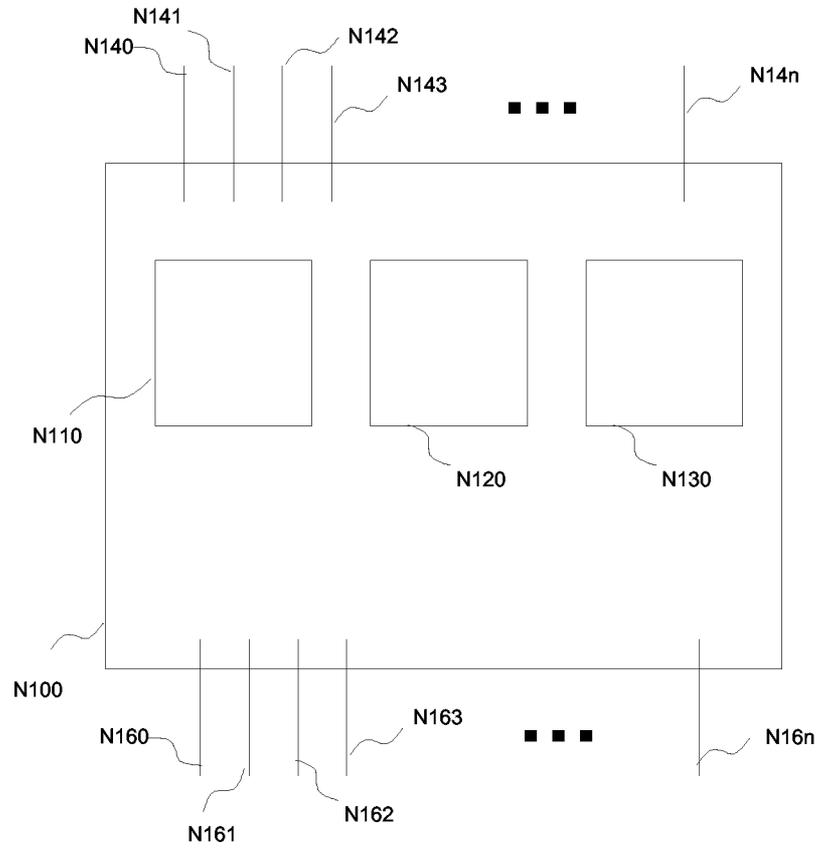
Figur 2



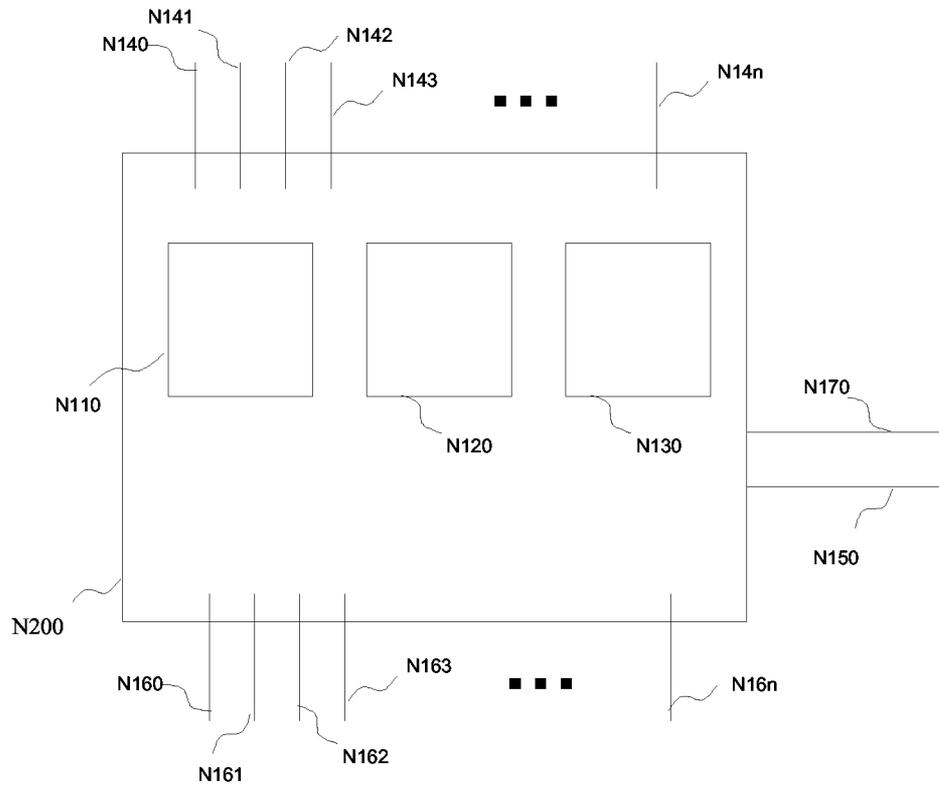
Figur 3



Figur 4



Figur 5



Figur 6

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/064694

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F11/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6 615 366 B1 (GROCHOWSKI EDWARD T [US] ET AL) 2 September 2003 (2003-09-02) abstract; figures 1,2b column 4 column 6, line 12 - line 44	1-20
Y	US 5 371 746 A (YAMASHITA ICHIRO [JP] ET AL) 6 December 1994 (1994-12-06) abstract; figure 1 column 5, line 7 - line 27 column 6, line 51 - column 7, line 62 column 14, line 36 - column 16, line 11 ----- -/--	1-20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents :		
A document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed	*T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family	
Date of the actual completion of the international search	Date of mailing of the international search report	
27 October 2006	06/11/2006	
Name and mailing address of the ISA/ European Patent Office, P.B. 5618 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Leuridan, Koen	

INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2006/064694

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	"MICROPROCESSOR Y CABLE" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, vol. 34, no. 7B, 1 December 1991 (1991-12-01), pages 157-159, XP000282536 ISSN: 0018-8689 the whole document -----	1-20
A	EP 0 528 585 A1 (ADVANCED MICRO DEVICES INC [US]) 24 February 1993 (1993-02-24) the whole document -----	1-20
A	US 5 968 160 A (SAITO MASAHIKO [JP] ET AL) 19 October 1999 (1999-10-19) the whole document -----	1-20
P,A	WO 2006/045776 A (BOSCH GMBH ROBERT [DE]; WEIBERLE REINHARD [DE]; MUELLER BERND [DE]; AN) 4 May 2006 (2006-05-04) abstract; figure 21 page 11, line 20 - page 16, line 11 page 30, line 18 - page 33, line 30 -----	1-20

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2006/064694

Patent document cited in search report	Publication date	Publication date	Patent family member(s)	Publication date
US 6615366	B1	02-09-2003	NONE	
US 5371746	A	06-12-1994	JP 5197698 A JP 7113912 B	06-08-1993 06-12-1995
EP 0528585	A1	24-02-1993	AT 166985 T DE 69225750 D1 DE 69225750 T2 JP 5257710 A US 5357626 A	15-06-1998 09-07-1998 14-01-1999 08-10-1993 18-10-1994
US 5968160	A	19-10-1999	NONE	
WO 2006045776	A	04-05-2006	NONE	

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen
PCT/EP2006/064694

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
INV. G06F11/36

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchiertes Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
G06F

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)
EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 6 615 366 B1 (GROCHOWSKI EDWARD T [US] ET AL) 2. September 2003 (2003-09-02) Zusammenfassung; Abbildungen 1,2b Spalte 4 Spalte 6, Zeile 12 - Zeile 44	1-20
Y	US 5 371 746 A (YAMASHITA ICHIRO [JP] ET AL) 6. Dezember 1994 (1994-12-06) Zusammenfassung; Abbildung 1 Spalte 5, Zeile 7 - Zeile 27 Spalte 6, Zeile 51 - Spalte 7, Zeile 62 Spalte 14, Zeile 36 - Spalte 16, Zeile 11 ----- -/--	1-20

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen Siehe Anhang Patentfamilie

- * Besondere Kategorien von angegebenen Veröffentlichungen :
- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist
- *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
- *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden
- *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
- *Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche 27. Oktober 2006	Absendedatum des internationalen Recherchenberichts 06/11/2006
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Bevollmächtigter Bediensteter Leuridan, Koen

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2006/064694

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	<p>"MICROPROCESSOR Y CABLE" IBM TECHNICAL DISCLOSURE BULLETIN, IBM CORP. NEW YORK, US, Bd. 34, Nr. 7B, 1. Dezember 1991 (1991-12-01), Seiten 157-159, XP000282536 ISSN: 0018-8689 das ganze Dokument</p>	1-20
A	<p>EP 0 528 585 A1 (ADVANCED MICRO DEVICES INC [US]) 24. Februar 1993 (1993-02-24) das ganze Dokument</p>	1-20
A	<p>US 5 968 160 A (SAITO MASAHIKO [JP] ET AL) 19. Oktober 1999 (1999-10-19) das ganze Dokument</p>	1-20
P,A	<p>WO 2006/045776 A (BOSCH GMBH ROBERT [DE]; WEIBERLE REINHARD [DE]; MUELLER BERND [DE]; AN) 4. Mai 2006 (2006-05-04) Zusammenfassung; Abbildung 21 Seite 11, Zeile 20 - Seite 16, Zeile 11 Seite 30, Zeile 18 - Seite 33, Zeile 30</p>	1-20

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2006/064694

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6615366	B1	02-09-2003	KEINE
US 5371746	A	06-12-1994	JP 5197698 A JP 7113912 B
EP 0528585	A1	24-02-1993	AT 166985 T DE 69225750 D1 DE 69225750 T2 JP 5257710 A US 5357626 A
US 5968160	A	19-10-1999	KEINE
WO 2006045776	A	04-05-2006	KEINE