(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2025 年 2 月 20 日 (20.02.2025)

WIPO | PCT

(10) 国际公布号
WO 2025/035277 A1

(51) 国际专利分类号:
G11C 19/28 (2006.01)

(21) 国际申请号: PCT/CN2023/112593

(22) 国际申请日: 2023 年 8 月 11 日 (11.08.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司(**BOE TECHNOLOGY GROUP CO., LTD.**) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。 成都京东方光电科技有限公司(**CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.**) [CN/CN]; 中国四川省成都市高新区（西区）合作路1188号, Sichuan 611731 (CN)。

(72) 发明人:徐倩(**XU, Qian**); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 刘聪(**LIU, Cong**); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 宋江(**SONG, Gukhwan**); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 李赫(**LEE, Youngjang**); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 胡明(**HU, Ming**); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。 王梦奇(**WANG, Mengqi**); 中国北京市大兴区北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京安信方达知识产权代理有限公司(**AFD CHINA INTELLECTUAL PROPERTY LAW OFFICE**); 中国北京市海淀区学清路38号（B座)21层2108, Beijing 100083 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD,

(54) **Title:** SHIFT REGISTER AND DRIVING METHOD THEREFOR, AND DISPLAY SUBSTRATE AND DISPLAY APPARATUS

(54) 发明名称: 移位寄存器及其驱动方法、显示基板和显示装置

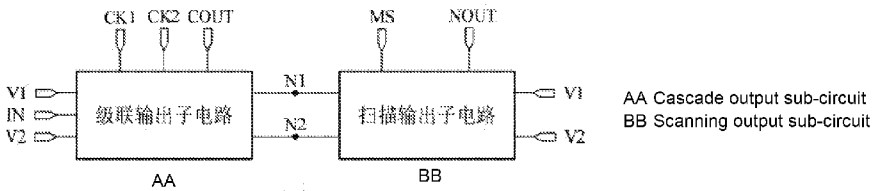


图1

(57) **Abstract:** A shift register and a driving method therefor, and a display substrate and a display apparatus. The shift register comprises: a cascade output sub-circuit and a scanning output sub-circuit, wherein the cascade output sub-circuit is configured to provide signals to a first node (N1) and a second node (N2) under the control of signals of a signal input end (IN), a first clock signal end (CK1) and a second clock signal end (CK2), and provide a signal of a first power supply end (V1) or a second power supply end (V2) to a cascade output end (COUT) under the control of the signals of the first node (N1) and the second node (N2); and the scanning output sub-circuit is configured to provide the signal of the first power supply end (V1) or the second power supply end (V2) to a scanning output end (NOUT) under the control of the signals of the first node (N1), the second node (N2) and a scanning control signal end (MS).

(57) 摘要: 一种移位寄存器及其驱动方法、显示基板和显示装置，移位寄存器包括：级联输出子电路和扫描输出子电路；级联输出子电路被配置为在信号输入端(IN)、第一时钟信号端(CK1)和第二时钟信号端(CK2)的信号的控制下，向第一节点(N1)和第二节点(N2)提供信号，在第一节点(N1)和第二节点(N2)的信号的控制下，向级联输出端(COUT)提供第一电源端(V1)或第二电源端(V2)的信号；扫描输出子电路被配置为在第一节点(N1)、第二节点(N2)和扫描控制信号端(MS)的信号的控制下，向扫描输出端(NOUT)提供第一电源端(V1)或者第二电源端(V2)的信号。

WO 2025/035277 A1

[见续页]

SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

说明书

发明名称: 移位寄存器及其驱动方法、显示基板和显示装置

技术领域

[0001] 本公开涉及但不限于显示技术领域，具体涉及一种移位寄存器及其驱动方法、显示基板和显示装置。

背景技术

[0002] 有机发光二极管(Organic Light Emitting Diode，简称OLED)和量子点发光二极管(Quantum−dot Light Emitting Diodes，简称QLED)为主动发光显示器件，具有自发光、广视角、高对比度、低耗电、极高反应速度、轻薄、可弯曲和成本低等优点。随着显示技术的不断发展，以OLED或QLED为发光器件、由薄膜晶体管(Thin Film TransiTor，简称TFT)进行信号控制的柔性显示装置(Flexible Display)已成为目前显示领域的主流产品。

[0003] 发明内容

[0004] 以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

[0005] 第一方面，本公开提供了一种移位寄存器，包括：级联输出子电路和扫描输出子电路；

[0006] 所述级联输出子电路，分别与信号输入端、第一时钟信号端、第二时钟信号端、第一电源端、第二电源端、级联输出端、第一节点和第二节点电连接，被配置为在信号输入端、第一时钟信号端和第二时钟信号端的信号的控制下，向第一节点和第二节点提供信号，在第一节点和第二节点的信号的控制下，向级联输出端提供第一电源端或第二电源端的信号；

[0007] 所述扫描输出子电路，分别与扫描控制信号端、第一电源端、第二电源端、扫描输出端、第一节点和第二节点电连接，被配置为在第一节点、第二节点和扫描控制信号端的信号的控制下，向扫描输出端提供第一电源端或者第二电源端的信号。

[0008] 在示例性实施方式中，所述扫描输出子电路包括：第一输出控制子电路和第二输出控制子电路；

[0009] 所述第一输出控制子电路，分别与第二电源端、扫描输出端和第二节点电连接，被配置为在第二节点的信号的控制下，向扫描输出端提供第二电源端的信号；

[0010] 所述第二输出控制子电路，分别与扫描控制信号端、第一电源端、扫描输出端和第一节点电连接，被配置为在扫描控制信号端和第一节点的信号的控制下，向扫描输出端提供第一电源端的信号。

[0011] 在示例性实施方式中，所述扫描输出子电路还包括：存储子电路；

[0012] 存储子电路，分别与扫描输出端和第一电源端电连接，被配置为存储扫描输出端和第一电源端的信号之间的电压差。

[0013] 在示例性实施方式中，所述第一输出控制子电路包括：第十七晶体管；

[0014] 第十七晶体管的控制极与第二节点电连接，第十七晶体管的第一极与第二电源端电连接，第十七晶体管的第二极与扫描输出端电连接。

[0015] 在示例性实施方式中，所述第二输出控制子电路包括：第十八晶体管和第十九晶体管；

[0016] 第十八晶体管的控制极与第一节点电连接，第十八晶体管的第一极与第一电源端电连接，第十八晶体管的第二极与第三节点电连接；

[0017] 第十九晶体管的控制极与扫描控制信号端电连接，第十九晶体管的第一极与扫描输出端电连接，第十九晶体管的第二极与第三节点电连接。

[0018] 在示例性实施方式中，所述第二输出控制子电路包括：第十八晶体管和第十九晶体管；

[0019] 第十八晶体管的控制极与第一节点电连接，第十八晶体管的第一极与扫描输出端电连接，第十八晶体管的第二极与第三节点电连接；

[0020] 第十九晶体管的控制极与扫描控制信号端电连接，第十九晶体管的第一极与第一电源端电连接，第十九晶体管的第二极与第三节点电连接。

[0021] 在示例性实施方式中，所述存储子电路包括：第五电容；

[0022] 第五电容的第一极板与扫描输出端电连接，第五电容的第二极板与第一电源端电连接。

[0023] 在示例性实施方式中，所述级联输出子电路包括：第一晶体管至第十六晶体管以及第一电容至第四电容，第一电容至第四电容中的任一电容包括：第一极板和第二极板；

[0024] 第一晶体管的控制极与第一时钟信号端电连接，第一晶体管的第一极与信号输入端电连接，第一晶体管的第二极与第四节点电连接；

[0025] 第二晶体管的控制极与第四节点电连接，第二晶体管的第一极与第一时钟信号端电连接，第二晶体管的第二极与第五节点电连接；

[0026] 第三晶体管的控制极与第一时钟信号端电连接，第三晶体管的第一极与第二电源端电连接，第三晶体管的第二极与第五节点电连接；

[0027] 第四晶体管的控制极与第六节点电连接，第四晶体管的第一极与第二时钟信号端电连接，第四晶体管的第二极与第七节点电连接；

[0028] 第五晶体管的控制极与第五节点电连接，第五晶体管的第一极与第一电源端电连接，第五晶体管的第二极与第七节点电连接；

[0029] 第六晶体管的控制极与第九节点电连接，第六晶体管的第一极与第二时钟信号端电连接，第六晶体管的第二极与第八节点电连接；

[0030] 第七晶体管的控制极与第二时钟信号端电连接，第七晶体管的第一极与第八节点电连接，第七晶体管的第二极与第一节点电连接；

[0031] 第八晶体管的控制极与第四节点电连接，第八晶体管的第一极与第一电源端电连接，第八晶体管的第二极与第一节点电连接；

[0032] 第九晶体管的控制极与第一节点电连接，第九晶体管的第一极与第一电源端电连接，第九晶体管的第二极与级联输出端电连接；

[0033] 第十晶体管的控制极与第二节点电连接，第十晶体管的第一极与第二电源端电连接，第十晶体管的第二极与级联输出端电连接；

[0034] 第十一晶体管的控制极与第二电源端电连接，第十一晶体管的第一极与第五节点电连接，第十一晶体管的第二极与第九节点电连接；

[0035] 第十二晶体管的控制极与第二电源端电连接，第十二晶体管的第一极与第四节点电连接，第十二晶体管的第二极与第二节点电连接；

[0036] 第十三晶体管的控制极与第三电源端电连接，第十三晶体管的第一极与第一电源端电连接，第十三晶体管的第二极与第四节点电连接；

[0037] 第十四晶体管的控制极与第一时钟信号端电连接，第十四晶体管的第一极与信号输入端电连接，第十四晶体管的第二极与第十节点电连接；

[0038] 第十五晶体管的控制极与第二电源端电连接，第十五晶体管的第一极与第十节点电连接，第十五晶体管的第二极与第六节点电连接；

[0039] 第十六晶体管的控制极与第六节点电连接，第十六晶体管的第一极与第六节点电连接，第十六晶体管的第二极与第二节点电连接；

[0040] 第一电容的第一极板与第九节点电连接，第一电容的第二极板与第八节点电连接；

[0041] 第二电容的第一极板与第一节点电连接，第二电容的第二极板与第一电源端电连接；

[0042] 第三电容的第一极板与第六节点电连接，第三电容的第二极板与第七节点电连接；

[0043] 第四电容的第一极板与第二电源端电连接，第四电容的第二极板与级联输出端电连接。

[0044] 在示例性实施方式中，所述扫描输出子电路包括：第十七晶体管至第十九晶体管，或者，包括：十七晶体管至第十九晶体管和第五电容；

[0045] 第十七晶体管的控制极与第二节点电连接，第十七晶体管的第一极与第二电源端电连接，第十七晶体管的第二极与扫描输出端电连接；

[0046] 第十八晶体管的控制极与第一节点电连接，第十八晶体管的第一极与第一电源端电连接，第十八晶体管的第二极与第三节点电连接；

[0047] 第十九晶体管的控制极与扫描控制信号端电连接，第十九晶体管的第一极与扫描输出端电连接，第十九晶体管的第二极与第三节点电连接；

[0048] 第五电容的第一极板与扫描输出端电连接，第五电容的第二极板与第一电源端电连接。

[0049] 在示例性实施方式中，所述扫描输出子电路包括：第十七晶体管至第十九晶体管，或者包括：十七晶体管至第十九晶体管和第五电容；

[0050] 第十七晶体管的控制极与第二节点电连接，第十七晶体管的第一极与第二电源端电连接，第十七晶体管的第二极与扫描输出端电连接；

[0051] 第十八晶体管的控制极与第一节点电连接，第十八晶体管的第一极与扫描输出端电连接，第十八晶体管的第二极与第三节点电连接；

[0052] 第十九晶体管的控制极与扫描控制信号端电连接，第十九晶体管的第一极与第一电源端电连接，第十九晶体管的第二极与第三节点电连接；

[0053] 第五电容的第一极板与扫描输出端电连接，第五电容的第二极板与第一电源端电连接。

[0054] 第二方面，本公开还提供了一种显示基板，包括：位于所述非显示区的栅极驱动电路和位于所述显示区的阵列排布的子像素和多条栅线，所述子像素包括像素驱动电路和发光器件，所述栅线至少部分沿第一方向延伸，所述栅极驱动电路包括：多个级联的上述移位寄存器，所述像素驱动电路包括：多个晶体管；

[0055] 至少一级移位寄存器的级联输出端与至少一级移位寄存器的信号输入端电连接。

[0056] 所述栅线与所述至少一个晶体管的栅电极电连接，任一移位寄存器与至少一条栅线电连接。

[0057] 在示例性实施方式中，所述显示区被划分为多个显示子区，至少一个显示子区包括：至少一条栅线；任一个显示子区的显示模式包括：第一显示模式和第二显示模式，第一显示模式的刷新频率大于第二显示模式的刷新频率；

[0058] 在显示子区的显示模式为第一显示模式的状态下，对于与显示子区内的栅线所连接的移位寄存器，级联输出端的信号为第一电平信号时，扫描控制信号端的信号的至少部分时间段为有效电平信号，扫描输出端的信号为第一电平信号；

[0059] 在显示子区的显示模式为第二显示模式的状态下，对于与显示子区内的栅线所连接的移位寄存器，级联输出端的信号为第一电平信号时，扫描控制信号端的信号为无效电平信号，扫描输出端的信号为第二电平信号；

[0060] 其中，所述第一电平信号的电压值大于所述第二电平信号的电压值。

[0061] 在示例性实施方式中，还包括：位于所述非显示区的至少一条扫描控制信号线，所述扫描控制信号线至少部分沿第二方向延伸，所述第一方向和所述第二方向相交；

[0062] 所有移位寄存器所连接的扫描控制信号端与所述至少一条扫描控制信号线电连接。

[0063] 在示例性实施方式中，所述扫描控制信号线的数量为一条，

[0064] 所有移位寄存器所连接的扫描控制信号端与同一扫描控制信号线电连接。

[0065] 在示例性实施方式中，所述扫描控制信号线的数量为至少两条；

[0066] 第$M*(k-1)+K*M(a-1)+1$级移位寄存器至$k*M+K*M(a-1)$级移位寄存器中的任一移位寄存器所连接的扫描控制信号端与第k条扫描控制信号线电连接，$1\leqslant k\leqslant K$，$1\leqslant a\leqslant N/M$，M为一条扫描控制信号线所连接的移位寄存器的级数，N为移位寄存器的总级数，K为扫描控制信号线的数量。

[0067] 在示例性实施方式中，显示基板所显示画面包括：多个显示帧，在任一显示帧，所述移位寄存器的扫描输出端的输出信号为脉冲信号，且脉冲信号的持续时间H满足如下关系式；$H=L*[M*K-(M-1)]*h$

[0068] 其中，L为任一级移位寄存器所连接的栅线的数量，h为单位时间，且等于相邻行子像素的刷新间隔时间。

[0069] 在示例性实施方式中，还包括：位于所述非显示区的第一时钟信号线、第二时钟信号线、第一电源线、第二电源线和第三电源线；所述第一时钟信号线、所述第二时钟信号线、所述第一电源线、所述第二电源线和所述第三电源线中的任一条至少部分沿所述第二方向延伸；

[0070] 任一级移位寄存器所连接的第一时钟信号端与第一时钟信号线和第二时钟信号线的其中一条电连接，任一级移位寄存器所连接的第二时钟信号端与第一时钟信号线和第二时钟信号线的另一条电连接，相邻移位寄存器所连接的第一时钟信号端所连接的时钟信号线不同，相邻移位寄存器所连接的第二时钟信号端所连接的时钟信号线不同，所有移位寄存器所连接的第一电源端与所述第一电源线电连接，所有移位寄存器所连接的第二电源端与所述第二电源线电连接，所有移位寄存器所连接的第三电源端与所述第三电源线电连接。

[0071] 在示例性实施方式中，所述扫描控制信号线位于所述第一时钟信号线、所述第二时钟信号线、所述第一电源线、所述第二电源线和所述第三电源线中的任一条靠近所述显示区的一侧。

[0072] 在示例性实施方式中，所述第二电源线的数量为两条，所述第一时钟信号线、所述第二时钟信号线、第一条第二电源线、所述第三电源线、第二条第二电源线和所述第一电源线沿靠近所述显示区的方向依次排布。

[0073] 在示例性实施方式中，所述移位寄存器包括：第十七晶体管至第十九晶体管；第十七晶体管至第十九晶体管沿所述第二方向排布；

[0074] 所述第十七晶体管至第十九晶体管中的任一个晶体管的至少部分位于所述第一电源线和所述扫描控制信号线之间。

[0075] 在示例性实施方式中，任一晶体管包括：有源图案，所述第十七晶体管的有源图案沿第一方向的平均长度小于所述第十八晶体管和所述第十九晶体管的任一晶体管的有源图案沿第一方向的平均长度。

[0076] 在示例性实施方式中，所述第一电源线和所述第二电源线中的任一电源线的线宽大于所述扫描控制信号线的线宽。

[0077] 第三方面，本公开还提供了一种显示装置，包括：上述显示基板。

[0078] 第四方面，本公开还提供了一种移位寄存器的驱动方法，被配置为驱动上述移位寄存器，所述方法包括：

[0079] 级联输出子电路在信号输入端、第一时钟信号端和第二时钟信号端的信号的控制下，向第一节点和第二节点提供信号，在第一节点和第二节点的信号的控制下，向级联输出端提供第一电源端或第二电源端的信号；

[0080] 扫描输出子电路在第一节点、第二节点和扫描控制信号端的信号的控制下，向扫描输出端提供第一电源端或者第二电源端的信号。

[0081] 在阅读并理解了附图和详细描述后，可以明白其他方面。

[0082] 附图概述

[0083] 附图用来提供对本公开技术方案的理解，并且构成说明书的一部分，与本公开的实施例一起用于解释本公开的技术方案，并不构成对本公开技术方案的限制。

[0084] 图1为本公开实施例提供的移位寄存器的结构示意图；

[0085] 图2为一种示例性实施方式提供的移位寄存器的结构示意图；

[0086] 图3为一种示例性实施方式提供的移位寄存器的结构示意图；

[0087] 图4为一种示例性实施方式提供的第一输出控制子电路的等效电路图；

[0088] 图5为一种示例性实施方式提供的第二输出控制子电路的等效电路图；

[0089] 图6为另一示例性实施方式提供的第二输出控制子电路的等效电路图；

[0090] 图7为一种示例性实施方式提供的存储子电路的等效电路图；

[0091] 图8为一种示例性实施方式提供的级联输出子电路的等效电路图；

[0092] 图9为一种移位寄存器的等效电路图一；

[0093] 图10为一种移位寄存器的等效电路图二；

[0094] 图11为一种移位寄存器的等效电路图三；

[0095] 图12为一种移位寄存器的等效电路图四；

[0096] 图13为图9至图12提供的移位寄存器中的级联输出子电路的时序图；

[0097] 图14为图9至图12提供的移位寄存器中的扫描输出子电路的时序图一；

[0098] 图15为图9至图12提供的移位寄存器中的扫描输出子电路的时序图二；

[0099] 图16为图9至图12提供的移位寄存器中的扫描输出子电路的时序图三；

[0100] 图17为图9至图12提供的移位寄存器中的扫描输出子电路的时序图四；

[0101] 图18为一种显示基板的结构示意图；

[0102] 图19为栅极驱动电路的级联示意图一；

[0103] 图20为栅极驱动电路的级联示意图二；

[0104] 图21为一种像素驱动电路的等效电路示意图；

[0105] 图22为另一像素驱动电路的等效电路示意图；

[0106] 图23为图21和图22提供的像素驱动电路的工作时序图；

[0107] 图24为图19提供的栅极驱动电路的多个扫描输出端的时序图；

[0108] 图25为图20提供的栅极驱动电路的多个扫描输出端的时序图；

[0109] 图26为显示基板的非显示区的局部示意图；

[0110] 图27为第十七晶体管至第十九晶体管的有源图案的示意图；

[0111] 图28为图26形成半导体层图案后的示意图；

[0112] 图29为图26中第一导电层图案的示意图；

[0113] 图30为图26形成第一导电层图案后的示意图；

[0114] 图31为图26中的第二导电层图案的示意图；

[0115] 图32为图26形成第二导电层图案后的示意图；

[0116] 图33为图26形成第三绝缘层图案后的示意图；

[0117] 图34为图26中的第三导电层图案的示意图；

[0118] 图35为图26形成第三导电层图案后的示意图；

[0119] 图36为图26形成第四绝缘层图案后的示意图；

[0120] 图37为图26中的第四导电层图案的示意图；

[0121] 图38为图26形成第四导电层图案后的示意图。

[0122] 详述

[0123] 为使本公开的目的、技术方案和优点更加清楚明白，下文中将结合附图对本公开的实施例进行详细说明。注意，实施方式可以以多个不同形式来实施。所属技术领域的普通技术人员可以很容易地理解一个事实，就是方式和内容可以在不脱离本公开的宗旨及其范围的条件下被变换为各种各样的形式。因此，本公开不应该被解释为仅限定在下面的实施方式所记载的内容中。在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。为了保持本公开实施例的以下说明清楚且简明，本公开省略了部分已知功能和已知部件的详细说明。本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计

[0124] 本公开中的附图比例可以作为实际工艺中的参考，但不限于此。例如：沟道的宽长比、各个膜层的厚度和间距、各个信号线的宽度和间距，可以根据实际需要进行调整。显示基板中像素的个数和每个像素中子像素的个数也不是限定为图中所示的数量，本公开中所描述的附图仅是结构示意图，本公开的一个方式不局限于附图所示的形状或数值等。

[0125] 本说明书中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，而不是为了在数量方面上进行限定的。

[0126] 在本说明书中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在说明书中说明的词句，根据情况可以适当地更换。

[0127] 在本说明书中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以具体情况理解上述术语在本公开中的具体含义。

[0128] 在本说明书中，晶体管是指至少包括栅电极、漏电极以及源电极这三个端子的元件。晶体管在漏电极(漏电极端子、漏区域或漏电极)与源电极(源电极端子、源区域或源电极)之间具有沟道区域，并且电流能够流过漏电极、沟道区域以及源电极。注意，在本说明书中，沟道区域是指电流主要流过的区域。

[0129] 在本说明书中，第一极可以为漏电极、第二极可以为源电极，或者第一极可以为源电极、第二极可以为漏电极。在使用极性相反的晶体管的情况或电路工作中的电流方向变化的情况等下，“源电极”及“漏电极”的功能有时互相调换。因此，在本说明书中，“源电极”和“漏电极”可以互相调换。

[0130] 在本说明书中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

[0131] 在本说明书中，“平行”是指两条直线形成的角度为−10° 以上且10° 以下的状态，因此，也包括该角度为−5° 以上且5° 以下的状态。另外，“垂直”是指

两条直线形成的角度为80° 以上且100° 以下的状态，因此，也包括85° 以上且95° 以下的角度的状态。

[0132] 在本说明书中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成为“导电膜”。与此同样，有时可以将“绝缘膜”换成为“绝缘层”。

[0133] 在本说明书中，所采用的“同层设置”是指两种(或两种以上)结构通过同一次图案化工艺得以图案化而形成的结构，它们的材料可以相同或不同。例如，形成同层设置的多种结构的前驱体的材料是相同的，最终形成的材料可以相同或不同。

[0134] 本说明书中三角形、矩形、梯形、五边形或六边形等并非严格意义上的，可以是近似三角形、矩形、梯形、五边形或六边形等，可以存在公差导致的一些小变形，可以存在导角、弧边以及变形等。

[0135] 本公开中的“约”，是指不严格限定界限，允许工艺和测量误差范围内的数值。

[0136] 显示基板包括：像素电路、发光器件和栅极驱动电路，其中，栅极驱动电路设置为向像素电路提供栅极信号，以使得像素电路可以驱动发光器件发光。栅极驱动电路的驱动能力较弱，无法满足显示需求。

[0137] 在显示市场中，大多数显示基板中所用的是低温多晶硅(Low Temperature Poly-Silicon，简称LTPS)技术，LTPS技术拥有高分辨率、高反应速度、高亮度、高开口率等优势。尽管受到了市场欢迎，但LTPS技术也存在一些缺陷，如生产成本较高，所需功耗较大等，此时，低温多晶氧化物(Low Temperature Polycrystalline Oxide，简称LTPO)技术方案应运而生。相比于LTPS技术，LTPO技术的漏电流更小，像素点反应更快，显示基板多加了一层氧化物，降低了激发像素点所需的能耗，从而降低屏幕显示时的功耗。

[0138] 显示产品包括：栅极驱动电路和多个子像素。子像素包括像素驱动电路，显示产品显示画面时，栅极驱动电路生成驱动信号，像素驱动电路在驱动信号的控制下，进行初始化和数据写入，从而实现显示。显示产品显示时会在每一帧刷新面面，即在每一显示帧都需要对像素驱动电路进行初始化和数据写入。而对于一些特殊画面下(例如：熄屏显示画面、静态画面或较少更新的画面等)，在至

少部分显示帧中并不需要对像素驱动电路进行初始化和数据写入，可以通过低漏电的像素驱动电路即可维持原有的亮度。一种显示产品的栅极驱动电路无论在显示哪种画面都会在每一帧生成驱动信号，对像素驱动电路进行反复初始化和数据写入，使得显示产品的功耗较高。

[0139] 图1为本公开实施例提供的移位寄存器的结构示意图。如图1所示，本公开实施例提供的移位寄存器可以包括：级联输出子电路和扫描输出子电路。

[0140] 如图1所示，级联输出子电路，分别与信号输入端IN、第一时钟信号端CK1、第二时钟信号端CK2、第一电源端V1、第二电源端V2、级联输出端COUT、第一节点N1和第二节点N2电连接，被配置为在信号输入端IN、第一时钟信号端CK1和第二时钟信号端CK2的信号的控制下，向第一节点N1和第二节点N2提供信号，在第一节点N1和第二节点N2的信号的控制下，向级联输出端COUT提供第一电源端V1或第二电源端V2的信号；扫描输出子电路，分别与扫描控制信号端MS、第一电源端V1、第二电源端V2、扫描输出端NOUT、第一节点N1和第二节点N2电连接，被配置为在第一节点N1、第二节点N2和扫描控制信号端MS的信号的控制下，向扫描输出端NOUT提供第一电源端V1或者第二电源端V2的信号。

[0141] 在示例性实施方式中，信号输入端IN的信号为单次脉冲信号。

[0142] 在示例性实施方式中，第一时钟信号端CK1和第二时钟信号端CK2中的任一信号端的信号可以为重复高电压和低电压的方波信号。示例性地，第一时钟信号端CK1的信号和第二时钟信号端CK2可以具有相同的周期，并且可以被配置为相移信号。此处，与第一时钟信号端CK1的信号相比，第二时钟信号端CK2的信号可相移半个周期。第一时钟信号端CK1和第二时钟信号端CK2中任一信号端的信号在的每个周期中的高电压时段可设置为长于低电压时段。

[0143] 在示例性实施方式中，第一时钟信号端CK1的信号的高电压时段可以设置为使得其宽度与第二时钟信号端CK2的信号的低电压时段重叠，第一时钟信号端CK1的信号的低电压时段可以设置为使得其宽度与第二时钟信号端CK2的信号的高电压时段重叠。

[0144] 在示例性实施方式中，第一电源端V1的信号为恒压信号，且为高电平信号。

[0145] 在示例性实施方式中，第二电源端V2的信号为恒压信号，且为低电平信号。

[0146] 在示例性实施方式中，在显示产品显示正常画面时，在任一显示帧，扫描控制信号端的信号在级联输出端的信号为第一电平信号时为有效电平信号，使得第一电源端V1的信号写入扫描输出端NOUT，在显示产品显示特殊画面时，在部分显示帧，扫描控制信号端的信号在级联输出端的信号为第一电平信号时为无效电平信号，使得第二电源端V2的信号写入扫描输出端NOUT。其中，第一电平信号可以为高电平信号，信号A为有效电平信号指的是信号A可以使得信号A所连接的晶体管导通，信号A为无效电平信号指的是信号A可以使得信号A所连接的晶体管断开。

[0147] 本公开实施例提供的扫描输出子电路可以控制一个显示帧内的输出，还可以控制不同显示帧的局部画面刷新，从而降低显示产品的功耗。

[0148] 本公开实施例提供的移位寄存器通过扫描输出子电路与扫描控制信号端电连接，可以通过扫描控制信号端控制是否向扫描输出端提供驱动信号，可以在显示正常画面时，在每一显示帧输出驱动信号，对像素驱动电路进行反复初始化和数据写入，保证正常显示，还可以在显示特殊画面时，在部分显示帧不输出驱动信号，减少对像素驱动电路进行初始化和数据写入的次数，进而减少了显示产品的功耗，实现了显示产品的低功耗显示。

[0149] 图2为一种示例性实施方式提供的移位寄存器的结构示意图。如图2所示，在示例性实施方式中，扫描输出子电路可以包括：第一输出控制子电路和第二输出控制子电路。

[0150] 如图2所示，第一输出控制子电路，分别与第二电源端V2、扫描输出端NOUT和第二节点N2电连接，被配置为在第二节点N2的信号的控制下，向扫描输出端NOUT提供第二电源端V2的信号；第二输出控制子电路，分别与扫描控制信号端MS、第一电源端V1、扫描输出端NOUT和第一节点N1电连接，被配置为在扫描控制信号端MS和第一节点N1的信号的控制下，向扫描输出端NOUT提供第一电源端V1的信号。

[0151] 图3为一种示例性实施方式提供的移位寄存器的结构示意图。如图3所示，在示例性实施方式中，扫描输出子电路还可以包括：存储子电路。其中，存储子电

路，分别与扫描输出端NOUT和第一电源端V1电连接，被配置为存储扫描输出端NOUT和第一电源端V1的信号之间的电压差。

[0152] 图4为一种示例性实施方式提供的第一输出控制子电路的等效电路图。如图4所示，在示例性实施方式中，第一输出控制子电路可以包括：第十七晶体管T17。

[0153] 如图4所示，第十七晶体管T17的控制极与第二节点N2电连接，第十七晶体管T17的第一极与第二电源端V2电连接，第十七晶体管T17的第二极与扫描输出端NOUT电连接。

[0154] 图4中仅示出了第一输出控制子电路的一种示例性结构，本领域技术人员容易理解是，第一输出控制子电路的实现方式不限于此。。

[0155] 图5为一种示例性实施方式提供的第二输出控制子电路的等效电路图，图6为另一示例性实施方式提供的第二输出控制子电路的等效电路图。如图5和图6所示，在示例性实施方式中，第二输出控制子电路可以包括：第十八晶体管T18和第十九晶体管T19。

[0156] 如图5所示，第十八晶体管T18的控制极与第一节点N1电连接，第十八晶体管T18的第一极与第一电源端V1电连接，第十八晶体管T18的第二极与第三节点N3电连接；第十九晶体管T19的控制极与扫描控制信号端MS电连接，第十九晶体管T19的第一极与扫描输出端NOUT电连接，第十九晶体管T19的第二极与第三节点N3电连接。

[0157] 如图6所示，第十八晶体管T18的控制极与第一节点N1电连接，第十八晶体管T18的第一极与扫描输出端NOUT电连接，第十八晶体管T18的第二极与第三节点N3电连接；第十九晶体管T19的控制极与扫描控制信号端MS电连接，第十九晶体管T19的第一极与第一电源端V1电连接，第十九晶体管T19的第二极与第三节点N3电连接。

[0158] 图5和图6中仅示出了第二输出控制子电路的两种示例性结构，本领域技术人员容易理解是，第二输出控制子电路的实现方式不限于此。。

[0159] 图7为一种示例性实施方式提供的存储子电路的等效电路图，如图7所示，在示例性实施方式中，存储子电路可以包括：第五电容C5。

[0160] 如图7所示，第五电容C5的第一极板C51与扫描输出端NOUT电连接，第五电容C5的第二极板C52与第一电源端V1电连接。

[0161] 在示例性实施方式中，存储子电路的设置可以保证扫描输出端NOUT的输出信号的稳定性，可以提升移位寄存器的可靠性。

[0162] 图7中仅示出了存储子电路的一种示例性结构，本领域技术人员容易理解是，存储子电路的实现方式不限于此。

[0163] 在示例性实施方式中，级联输出子电路可以为10T3C、10T4C、12T3C、12T4C、13T3C、13T4C、16T3C或者16T4C的电路结构，本公开对此不做任何限定。

[0164] 本公开实施例提供的扫描输出子电路仅包括：三个晶体管，结构简单，有利于异味寄存器的布局，还可以减少移位寄存器所占用的面积，可以实现窄边框。

[0165] 图8为一种示例性实施方式提供的级联输出子电路的等效电路图。图8是以16T4C为例进行说明的。如图8所示，在示例性实施方式中，级联输出子电路可以包括：第一晶体管T1至第十六晶体管T16以及第一电容C1至第四电容C4，第一电容C1至第四电容C4中的任一电容包括：第一极板和第二极板。

[0166] 如图8所示，第一晶体管T1的控制极与第一时钟信号端CK1电连接，第一晶体管T1的第一极与信号输入端IN电连接，第一晶体管T1的第二极与第四节点N4电连接；第二晶体管T2的控制极与第四节点N4电连接，第二晶体管T2的第一极与第一时钟信号端CK1电连接，第二晶体管T2的第二极与第五节点N5电连接；第三晶体管T3的控制极与第一时钟信号端CK1电连接，第三晶体管T3的第一极与第二电源端V2电连接，第三晶体管T3的第二极与第五节点N5电连接；第四晶体管T4的控制极与第六节点N6电连接，第四晶体管T4的第一极与第二时钟信号端CK2电连接，第四晶体管T4的第二极与第七节点N7电连接；第五晶体管T5的控制极与第五节点N5电连接，第五晶体管T5的第一极与第一电源端V1电连接，第五晶体管T5的第二极与第七节点N7电连接；第六晶体管T6的控制极与第九节点N9电连接，第六晶体管T6的第一极与第二时钟信号端CK2电连接，第六晶体管T6的第二极与第八节点N8电连接；第七晶体管T7的控制极与第二时钟信号端CK2电连接，第七晶体管T7的第一极与第八节点N8电连接，第七晶体管T7的第

二极与第一节点N1电连接；第八晶体管T8的控制极与第四节点N4电连接，第八晶体管T8的第一极与第一电源端V1电连接，第八晶体管T8的第二极与第一节点N1电连接；第九晶体管T9的控制极与第一节点N1电连接，第九晶体管T9的第一极与第一电源端V1电连接，第九晶体管T9的第二极与级联输出端COUT电连接；第十晶体管T10的控制极与第二节点N2电连接，第十晶体管T10的第一极与第二电源端V2电连接，第十晶体管T10的第二极与级联输出端COUT电连接；第十一晶体管T11的控制极与第二电源端V2电连接，第十一晶体管T11的第一极与第五节点N5电连接，第十一晶体管T11的第二极与第九节点N9电连接；第十二晶体管T12的控制极与第二电源端V2电连接，第十二晶体管T12的第一极与第四节点N4电连接，第十二晶体管T12的第二极与第二节点N2电连接；第十三晶体管T13的控制极与第三电源端V3电连接，第十三晶体管T13的第一极与第一电源端V1电连接，第十三晶体管T13的第二极与第四节点N4电连接；第十四晶体管T14的控制极与第一时钟信号端CK1电连接，第十四晶体管T14的第一极与信号输入端IN电连接，第十四晶体管T14的第二极与第十节点N10电连接；第十五晶体管T15的控制极与第二电源端V2电连接，第十五晶体管T15的第一极与第十节点N10电连接，第十五晶体管T15的第二极与第六节点N6电连接；第十六晶体管T16的控制极与第六节点N6电连接，第十六晶体管T16的第一极与第六节点N6电连接，第十六晶体管T16的第二极与第二节点N2电连接；第一电容C1的第一极板C11与第九节点N9电连接，第一电容C1的第二极板C12与第八节点N8电连接；第二电容C2的第一极板C21与第一节点N1电连接，第二电容C2的第二极板C22与第一电源端V1电连接；第三电容C3的第一极板C31与第六节点N6电连接，第三电容C3的第二极板C32与第七节点N7电连接；第四电容C4的第一极板C41与第二电源端V2电连接，第四电容C4的第二极板C42与级联输出端COUT电连接。

[0167] 在示例性实施方式中，当级联输出子电路为10T3C的电路结构时，级联输出子电路包括：第一晶体管T1至第十晶体管T10以及第一电容C1至第三电容C3。

[0168] 在示例性实施方式中，当级联输出子电路为10T4C的电路结构时，级联输出子电路包括：第一晶体管T1至第十晶体管T10以及第一电容C1至第四电容C4。

[0169] 在示例性实施方式中，当级联输出子电路为12T3C的电路结构时，级联输出子电路包括：第一晶体管T1至第十二晶体管T12以及第一电容C1至第三电容C3。

[0170] 在示例性实施方式中，当级联输出子电路为12T3C的电路结构时，级联输出子电路包括：第一晶体管T1至第十二晶体管T12以及第一电容C1至第四电容C4。

[0171] 在示例性实施方式中，当级联输出子电路为13T3C的电路结构时，级联输出子电路包括：第一晶体管T1至第十三晶体管T13以及第一电容C1至第三电容C3。

[0172] 在示例性实施方式中，当级联输出子电路为13T4C的电路结构时，级联输出子电路包括：第一晶体管T1至第十三晶体管T13以及第一电容C1至第四电容C4。

[0173] 在示例性实施方式中，当级联输出子电路为16T3C的电路结构时，级联输出子电路包括：第一晶体管T1至第十六晶体管T16以及第一电容C1至第三电容C3。

[0174] 图9为一种移位寄存器的等效电路图一，图10为一种移位寄存器的等效电路图二。如图9和图10所示，在示例性实施方式中，级联输出子电路可以包括：第一晶体管T1至第十六晶体管T16以及第一电容C1至第四电容C4，第一电容C1至第四电容C4中的任一电容包括：第一极板和第二极板，扫描输出子电路包括：第十七晶体管T17至第十九晶体管T19，或者，包括：十七晶体管至第十九晶体管T19和第五电容C5。图9是以扫描输出子电路包括：第十七晶体管T17至第十九晶体管T19为例进行说明的，图10是以扫描输出子电路包括：十七晶体管T17至第十九晶体管T19和第五电容C5为例进行说明的。

[0175] 如图9和图10所示，第一晶体管T1的控制极与第一时钟信号端CK1电连接，第一晶体管T1的第一极与信号输入端IN电连接，第一晶体管T1的第二极与第四节点N4电连接；第二晶体管T2的控制极与第四节点N4电连接，第二晶体管T2的第一极与第一时钟信号端CK1电连接，第二晶体管T2的第二极与第五节点N5电连接；第三晶体管T3的控制极与第一时钟信号端CK1电连接，第三晶体管T3的第一极与第二电源端V2电连接，第三晶体管T3的第二极与第五节点N5电连接；第四晶体管T4的控制极与第六节点N6电连接，第四晶体管T4的第一极与第二时钟信号端CK2电连接，第四晶体管T4的第二极与第七节点N7电连接；第五晶体管T5的控制极与第五节点N5电连接，第五晶体管T5的第一极与第一电源端V1电连接，第五晶体管T5的第二极与第七节点N7电连接；第六晶体管T6的控制极与第

九节点N9电连接，第六晶体管T6的第一极与第二时钟信号端CK2电连接，第六晶体管T6的第二极与第八节点N8电连接；第七晶体管T7的控制极与第二时钟信号端CK2电连接，第七晶体管T7的第一极与第八节点N8电连接，第七晶体管T7的第二极与第一节点N1电连接；第八晶体管T8的控制极与第四节点N4电连接，第八晶体管T8的第一极与第一电源端V1电连接，第八晶体管T8的第二极与第一节点N1电连接；第九晶体管T9的控制极与第一节点N1电连接，第九晶体管T9的第一极与第一电源端V1电连接，第九晶体管T9的第二极与级联输出端COUT电连接；第十晶体管T10的控制极与第二节点N2电连接，第十晶体管T10的第一极与第二电源端V2电连接，第十晶体管T10的第二极与级联输出端COUT电连接；第十一晶体管T11的控制极与第二电源端V2电连接，第十一晶体管T11的第一极与第五节点N5电连接，第十一晶体管T11的第二极与第九节点N9电连接；第十二晶体管T12的控制极与第二电源端V2电连接，第十二晶体管T12的第一极与第四节点N4电连接，第十二晶体管T12的第二极与第二节点N2电连接；第十三晶体管T13的控制极与第三电源端V3电连接，第十三晶体管T13的第一极与第一电源端V1电连接，第十三晶体管T13的第二极与第四节点N4电连接；第十四晶体管T14的控制极与第一时钟信号端CK1电连接，第十四晶体管T14的第一极与信号输入端IN电连接，第十四晶体管T14的第二极与第十节点N10电连接；第十五晶体管T15的控制极与第二电源端V2电连接，第十五晶体管T15的第一极与第十节点N10电连接，第十五晶体管T15的第二极与第六节点N6电连接；第十六晶体管T16的控制极与第六节点N6电连接，第十六晶体管T16的第一极与第六节点N6电连接，第十六晶体管T16的第二极与第二节点N2电连接；第一电容C1的第一极板C11与第九节点N9电连接；第十七晶体管T17的控制极与第二节点N2电连接，第十七晶体管T17的第一极与第二电源端V2电连接，第十七晶体管T17的第二极与扫描输出端NOUT电连接；第十八晶体管T18的控制极与第一节点N1电连接，第十八晶体管T18的第一极与第一电源端V1电连接，第十八晶体管T18的第二极与第三节点N3电连接；第十九晶体管T19的控制极与扫描控制信号端MS电连接，第十九晶体管T19的第一极与扫描输出端NOUT电连接，第十九晶体管T19的第二极与第三节点N3电连接；第一电容C1的第二极板C12与第八节点N8

电连接；第二电容C2的第一极板C21与第一节点N1电连接，第二电容C2的第二极板C22与第一电源端V1电连接；第三电容C3的第一极板C31与第六节点N6电连接，第三电容C3的第二极板C32与第七节点N7电连接；第四电容C4的第一极板C41与第二电源端V2电连接，第四电容C4的第二极板C42与级联输出端COUT电连接；第五电容C5的第一极板C51与扫描输出端NOUT电连接，第五电容C5的第二极板C52与第一电源端V1电连接。

[0176] 图11为一种移位寄存器的等效电路图三，图12为一种移位寄存器的等效电路图四。如图11和图12所示，在示例性实施方式中，级联输出子电路可以包括：第一晶体管T1至第十六晶体管T16以及第一电容C1至第四电容C4，第一电容C1至第四电容C4中的任一电容包括：第一极板和第二极板，扫描输出子电路包括：第十七晶体管T17至第十九晶体管T19，或者，包括：十七晶体管T17至第十九晶体管T19和第五电容C5。图11是以扫描输出子电路包括：第十七晶体管T17至第十九晶体管T19为例进行说明的，图12是以扫描输出子电路包括：十七晶体管至第十九晶体管T19和第五电容C5为例进行说明的。

[0177] 如图11和图12所示，第一晶体管T1的控制极与第一时钟信号端CK1电连接，第一晶体管T1的第一极与信号输入端IN电连接，第一晶体管T1的第二极与第四节点N4电连接；第二晶体管T2的控制极与第四节点N4电连接，第二晶体管T2的第一极与第一时钟信号端CK1电连接，第二晶体管T2的第二极与第五节点N5电连接；第三晶体管T3的控制极与第一时钟信号端CK1电连接，第三晶体管T3的第一极与第二电源端V2电连接，第三晶体管T3的第二极与第五节点N5电连接；第四晶体管T4的控制极与第六节点N6电连接，第四晶体管T4的第一极与第二时钟信号端CK2电连接，第四晶体管T4的第二极与第七节点N7电连接；第五晶体管T5的控制极与第五节点N5电连接，第五晶体管T5的第一极与第一电源端V1电连接，第五晶体管T5的第二极与第七节点N7电连接；第六晶体管T6的控制极与第九节点N9电连接，第六晶体管T6的第一极与第二时钟信号端CK2电连接，第六晶体管T6的第二极与第八节点N8电连接；第七晶体管T7的控制极与第二时钟信号端CK2电连接，第七晶体管T7的第一极与第八节点N8电连接，第七晶体管T7的第二极与第一节点N1电连接；第八晶体管T8的控制极与第四节点N4电连接，

第八晶体管T8的第一极与第一电源端V1电连接，第八晶体管T8的第二极与第一节点N1电连接；第九晶体管T9的控制极与第一节点N1电连接，第九晶体管T9的第一极与第一电源端V1电连接，第九晶体管T9的第二极与级联输出端COUT电连接；第十晶体管T10的控制极与第二节点N2电连接，第十晶体管T10的第一极与第二电源端V2电连接，第十晶体管T10的第二极与级联输出端COUT电连接；第十一晶体管T11的控制极与第二电源端V2电连接，第十一晶体管T11的第一极与第五节点N5电连接，第十一晶体管T11的第二极与第九节点N9电连接；第十二晶体管T12的控制极与第二电源端V2电连接，第十二晶体管T12的第一极与第四节点N4电连接，第十二晶体管T12的第二极与第二节点N2电连接；第十三晶体管T13的控制极与第三电源端V3电连接，第十三晶体管T13的第一极与第一电源端V1电连接，第十三晶体管T13的第二极与第四节点N4电连接；第十四晶体管T14的控制极与第一时钟信号端CK1电连接，第十四晶体管T14的第一极与信号输入端IN电连接，第十四晶体管T14的第二极与第十节点N10电连接；第十五晶体管T15的控制极与第二电源端V2电连接，第十五晶体管T15的第一极与第十节点N10电连接，第十五晶体管T15的第二极与第六节点N6电连接；第十六晶体管T16的控制极与第六节点N6电连接，第十六晶体管T16的第一极与第六节点N6电连接，第十六晶体管T16的第二极与第二节点N2电连接；第一电容C1的第一极板C11与第九节点N9电连接；第十七晶体管T17的控制极与第二节点N2电连接，第十七晶体管T17的第一极与第二电源端V2电连接，第十七晶体管T17的第二极与扫描输出端NOUT电连接；第十八晶体管T18的控制极与第一节点N1电连接，第十八晶体管T18的第一极与扫描输出端NOUT电连接，第十八晶体管T18的第二极与第三节点N3电连接；第十九晶体管T19的控制极与扫描控制信号端MS电连接，第十九晶体管T19的第一极与第一电源端V1电连接，第十九晶体管T19的第二极与第三节点N3电连接；第一电容C1的第二极板C12与第八节点N8电连接；第二电容C2的第一极板C21与第一节点N1电连接，第二电容C2的第二极板C22与第一电源端V1电连接；第三电容C3的第一极板C31与第六节点N6电连接，第三电容C3的第二极板C32与第七节点N7电连接；第四电容C4的第一极板C41与第二电源端V2电连接，第四电容C4的第二极板C42与级联输出端

COUT电连接；第五电容C5的第一极板C51与扫描输出端NOUT电连接，第五电容C5的第二极板C52与第一电源端V1电连接。

[0178] 在示例性实施方式中，第一电容C1至第五电容C5中的任一电容可以是通过工艺制程制作的电容器件，例如，可以通过制作专门的电容电极来实现电容器件，电容的多个电容电极可以通过金属层、半导体层(例如掺杂多晶硅)等实现。或者，第一电容C1至第五电容C5中的任一电容可以是多个器件之间的寄生电容，可以通过晶体管本身与其他器件、线路来实现。第一电容C1至第五电容C5中的任一电容的连接方式包括但不局限于上面描述的方式，可以为其它适用的连接方式，可以存储相应节点的电平即可。这里，本公开示例性实施方式对此不做限定。

[0179] 在示例性实施方式中，图9至图12是以级联输出子电路为16T4C的电路结构为例进行说明的。

[0180] 在示例性实施方式中，按照晶体管的特性区分可以将晶体管分为N型晶体管和P型晶体管。当晶体管为P型晶体管时，开启电压为低电平电压(例如，0V、−5V、−10V或其它合适的电压)，关闭电压为高电平电压(例如，5V、10V或其它合适的电压)。当晶体管为N型晶体管时，开启电压为高电平电压(例如，5V、10V或其它合适的电压)，关闭电压为低电平电压(例如，0V、−5V、−10V或其它合适的电压)。

[0181] 在示例性实施方式中，图9至图12提供移位寄存器中，第一晶体管T1至第十九晶体管T19可以为P型晶体管。第一晶体管T1至第十九晶体管T19可以为P型晶体管可以简化移位寄存器的制作工艺。

[0182] 在示例性实施方式中，由于扫描控制信号端MS的存在，使得级联输出子电路和扫描输出子电路的输出独立，现将级联输出子电路和扫描输出子电路的工作过程分别描述。

[0183] 在示例性实施方式中，第一电源端V1持续提供高电平信号，第二电源端V2持续提供低电平信号。由于第二电源端V2持续提供低电平信号，第十一晶体管T11、第十二晶体管T12和第十五晶体管T15持续导通。

[0184] 在示例性实施方式中，第三电源端V3在开机初始化阶段为低电平信号，防止最后一级控制移位寄存器的第九晶体管T9和第十晶体管T10因输出信号的延迟同时导通，或者在异常关机阶段为低电平信号，防止第九晶体管T9和第十晶体管T10同时导通。第三电源端V3在正常显示阶段持续提供高电平信号，即在正常显示阶段，第十三晶体管T13断开。

[0185] 图13为图9至图12提供的移位寄存器中的级联输出子电路的时序图。图13是以第一晶体管T1至第十六晶体管T16为P型晶体管为例，如图13所示，一种示例性实施方式提供的级联输出子电路的工作过程可以包括以下阶段：

[0186] 第一阶段A1，信号输入端IN和第二时钟信号端CK2的信号为高电平信号，第一时钟信号端CK1的信号为低电平信号。第一时钟信号端CK1的信号为低电平信号，第一晶体管T1、第三晶体管T3和第十二晶体管T12导通，导通的第一晶体管T1将信号输入端IN的高电平信号传输至第四节点N4，第四节点N4的信号为高电平信号，导通的第十二晶体管T12将第四节点N4的高电平信号传输至第二节点N2，导通的第十四晶体管T14将信号输入端IN的高电平信号传输至第十节点N10，第十节点N10的信号为高电平信号，导通的第十五晶体管T15将第十节点N10的高电平信号传输至第六节点N6，第二晶体管T2、第四晶体管T4、第八晶体管T8、第十晶体管T10和第十六晶体管T16断开。另外，导通的第三晶体管T3将第二电源端V2的低电平信号传输至第五节点N5，第五节点N5的信号为低电平信号，导通的第十一晶体管T11将第五节点N5的低电平信号传输至第九节点N9，第九节点N9的信号为低电平信号，第五晶体管T5和第六晶体管T6导通。第二时钟信号端CK2的信号虽为高电平信号，但由于第七晶体管T7断开，第一节点N1的信号不会被拉高，保持为低电平信号，第九晶体管T9断开，级联输出端COUT的信号保持之前的低电平。在第一阶段A1中，第一节点N1为低电平信号，第二节点N2为高电平信号，级联输出端COUT的信号保持之前的低电平信号。

[0187] 第二阶段A2，第二时钟信号端CK2的信号为低电平信号，信号输入端IN和第一时钟信号端CK1的信号为高电平信号。第二时钟信号端CK2的信号为低电平信号，第七晶体管T7导通。第一时钟信号端CK1的信号为高电平信号，第一晶体

管T1和第三晶体管T3断开。在第三电容C3的作用下，第四节点N4、第二节点N2、第六节点N6和第十节点N10可以继续保持上一阶段的高电平信号，在第一电容C1作用下，所以第五节点N5和第九节点N9可以继续保持上一阶段的低电平信号，所以第五晶体管T5以及第六晶体管T6导通。第二晶体管T2、第四晶体管T4、第八晶体管T8以及第十晶体管T10断开。另外，第二时钟信号端CK2的低电平信号通过导通的第六晶体管T6和第七晶体管T7被传输至第一节点N1，第九晶体管T9导通，第一电源端V1的高电平信号通过导通的第九晶体管T9被传输至级联输出端COUT，因此，本阶段，第一节点N1为低电平信号，第二节点N2为高电平信号，级联输出端COUT的信号为高电平信号。

[0188] 第三阶段A3，第一时钟信号端CK1的信号为低电平信号，信号输入端IN和第二时钟信号端CK2的信号为高电平信号。第二时钟信号端CK2的信号为高电平信号，第七晶体管T7断开，在第二电容C2的作用下，第一节点N1保持上一阶段的低电平信号，第九晶体管T持续导通，第一电源端V1的高电平信号通过导通的第九晶体管T9被传输至级联输出端COUT。第一时钟信号端CK1的信号为低电平信号，第一晶体管T1、第三晶体管T3和第十二晶体管T12导通，导通的第一晶体管T1将信号输入端IN的高电平信号传输至第四节点N4，第四节点N4的信号为高电平信号，导通的第十二晶体管T12将第四节点N4的高电平信号传输至第二节点N2，导通的第十四晶体管T14将信号输入端IN的高电平信号传输至第十节点N10，第十节点N10的信号为高电平信号，导通的第十五晶体管T15将第十节点N10的高电平信号传输至第六节点N6，第二晶体管T2、第四晶体管T4、第八晶体管T8、第十晶体管T10和第十六晶体管T16断开。另外，导通的第三晶体管T3将第二电源端V2的低电平信号传输至第五节点N5，第五节点N5的信号为低电平信号，导通的第十一晶体管T11将第五节点N5的低电平信号传输至第九节点N9，第九节点N9的信号为低电平信号，第五晶体管T5和第六晶体管T6导通。在本阶段，第一节点N1为低电平信号，第二节点N2为高电平信号，级联输出端COUT的信号为高电平信号。

[0189] 在第四阶段A4，信号输入端IN和第二时钟信号端CK2的信号为低电平信号，第一时钟信号端CK1的信号为高电平信号。第一时钟信号端CK1的信号为高电平信

号，第一晶体管T1以及第三晶体管T3断开。第二时钟信号端CK2的信号为低电平信号，第七晶体管T7导通。由于第三电容C3的存储作用，所以第四节点N4、第二节点N2、第六节点N6和第十节点N10的信号保持上一阶段的高电平信号，第二晶体管T2、第四晶体管T4、第八晶体管T8以及第十晶体管T10断开。由于第一电容C1的存储作用，第九节点N9继续保持上一阶段的低电平信号，第五晶体管T5以及第六晶体管T6导通。另外，第二时钟信号端CK2的低电平信号通过导通的第六晶体管T6以及第七晶体管T7被传输至第一节点N1，第一电源端V1的高电平信号通过导通的第九晶体管T9被传输至级联输出端COUT，级联输出端COUT的信号仍然为高电平信号。本阶段，第一节点N1为高电平信号，第二节点N2为低电平信号，级联输出端COUT为高电平信号。

[0190] 在第五阶段A5，第二时钟信号端CK2的信号为高电平信号，信号输入端IN和第一时钟信号端CK1的信号为低电平信号。第一时钟信号端CK1的信号为低电平信号，第一晶体管T1、第三晶体管T3和第十四晶体管T14导通。第二时钟信号端CK2的信号为高电平信号，第七晶体管T7断开。导通的第一晶体管T1将信号输入端IN的低电平信号传输至第四节点N4，第四节点N4的信号为低电平信号，导通的第十二晶体管T12将第四节点N4的低电平信号传输至第一节点N1，第一节点N1的信号变为低电平信号，导通的第十四晶体管T14将信号输入端IN的低电平信号传输至第十节点N10，第十节点N10的信号为低电平信号，导通的第十五晶体管T15将第十节点N10的低电平信号传输至第六节点N6，第六节点N6的信号为低电平信号，第二晶体管T2、第四晶体管T4、第八晶体管T8以及第十晶体管T10导通。导通的第二晶体管T2将第一时钟信号端CK1低电平的信号传输至第五节点N5，使得第五节点N5为低电平信号，所以第五节点N5和第九节点N9继续保持上一阶段的低电平信号，第五晶体管T5以及第六晶体管T6导通。第二时钟信号端CK2的信号为高电平信号，第七晶体管T7断开。另外，第一电源端V1的高电平信号通过导通的第八晶体管T8传输至第一节点N1，第九晶体管T9断开。第二电源端V2的低电平信号通过导通的第十晶体管T10传输至级联输出端COUT，级联输出端COUT的信号变为低电平信号，本阶段，第一节点N1为高电平信号，第二节点N2为低电平信号，级联输出端COUT为低电平信号。

[0191] 图14为图9至图12提供的移位寄存器中的扫描输出子电路的时序图一，图15为图9至图12提供的移位寄存器中的扫描输出子电路的时序图二，图16为图9至图12提供的移位寄存器中的扫描输出子电路的时序图三，图17为图9至图12提供的移位寄存器中的扫描输出子电路的时序图四。图14至图17是以第十七晶体管T17至第十九晶体管T19为P型晶体管为例进行说明的。

[0192] 图14和图15是以显示产品显示正常显示画面时为例进行说明的，在任一显示帧，当级联输出端COUT的信号为高电平信号时，扫描控制信号端MS的至少部分时间段为低电平信号。

[0193] 如图14所示，当级联输出端COUT的输出信号为高电平信号时，第一节点N1为低电平信号，第二节点N2为高电平信号。第二节点N2为高电平信号，第十七晶体管T17断开。第一节点N1为低电平信号，第十八晶体管T18导通，扫描控制信号端MS的至少部分时间段为低电平信号，第十九晶体管T19导通，第一电源端V1通过导通的第十八晶体管T18和第十九晶体管T19传输至扫描输出端NOUT，扫描输出端NOUT的信号为高电平信号。

[0194] 如图15所示，当级联输出端COUT的输出信号为低电平信号时，第一节点N1为高电平信号，第二节点N2为低电平信号。第一节点N1为高电平信号，第十八晶体管T18断开，第一电源端V1的高电平信号无法传输至扫描输出端NOUT。第二节点N2为低电平信号，第十七晶体管T17导通，第二电源端V2的低电平信号传输至扫描输出端NOUT，扫描输出端NOUT的信号为低电平信号。

[0195] 在显示产品显示正常画面时，级联输出端COUT的信号为高电平信号时，扫描输出端NOUT的信号为高电平信号，级联输出端COUT的信号为低电平信号时，扫描输出端NOUT的信号为低电平信号，即级联输出端COUT的信号和扫描输出端NOUT的信号保持一致，可以实现显示产品的正常显示。

[0196] 图16和图17是以显示产品显示特殊画面为例进行说明的。在部分显示帧，扫描控制信号端MS的信号在级联输出端的信号为高电平信号时为高电平信号。

[0197] 如图16所示，当级联输出端COUT的输出信号为高电平信号时，第一节点N1为低电平信号，第二节点N2为高电平信号。第二节点N2为高电平信号，第十七晶体管T17断开。第一节点N1为低电平信号，第十八晶体管T18导通，扫描控制

信号端MS的信号为高电平信号，第十九晶体管T19断开，第一电源端V1无法写入扫描输出端NOUT，扫描输出端NOUT保持低电平信号。

[0198] 如图17所示，当级联输出端COUT的输出信号为低电平信号时，第一节点N1为高电平信号，第二节点N2为低电平信号。第一节点N1为高电平信号，第十八晶体管T18断开，扫描控制信号端MS的信号为高电平信号，第十九晶体管T19断开，第一电源端V1的高电平信号无法传输至扫描输出端NOUT。第二节点N2为低电平信号，第十七晶体管T17导通，第二电源端V2的低电平信号传输至扫描输出端NOUT，扫描输出端NOUT的信号为低电平信号。

[0199] 如图16和图17所示，在显示产品显示特殊画面时，无论级联输出端COUT的信号为高电平信号或者低电平信号时，扫描输出端NOUT的信号均为低电平信号，进而可以减少像素驱动电路的初始化和数据写入的次数，降低了显示产品的功耗。

[0200] 本公开实施例还提供了一种移位寄存器的驱动方法，被配置为驱动移位寄存器，移位寄存器的驱动方法可以包括：

[0201] 步骤100、级联输出子电路在信号输入端、第一时钟信号端和第二时钟信号端的信号的控制下，向第一节点和第二节点提供信号，在第一节点和第二节点的信号的控制下，向级联输出端提供第一电源端或第二电源端的信号。

[0202] 步骤200、扫描输出子电路在第一节点、第二节点和扫描控制信号端的信号的控制下，向扫描输出端提供第一电源端或者第二电源端的信号。

[0203] 图18为一种显示基板的结构示意图，图19为栅极驱动电路的级联示意图一，图20为栅极驱动电路的级联示意图二。如图18至图20所示，显示基板具有显示区AA和非显示区AA’，显示基板可以包括：位于非显示区AA’的栅极驱动电路和位于显示区AA的阵列排布的子像素和多条栅线GL，子像素包括：像素驱动电路P和发光器件。其中，栅线GL至少部分沿第一方向D1延伸，栅极驱动电路包括：多个级联的移位寄存器，像素驱动电路包括：多个晶体管。其中，至少一级移位寄存器的级联输出端与至少一级移位寄存器的信号输入端电连接，栅线与至少一个晶体管的栅电极电连接，任一移位寄存器与至少一条栅线电连接。

图19和图20中的NScan(i)为第i级移位寄存器的级联输出子电路，NGate(i)为第i级移位寄存器的扫描输出子电路，NOUT(i)为第i级移位寄存器的扫描输出端。

[0204] 移位寄存器可以为前述任一个实施例提供的移位寄存器，实现原理和实现效果类似，在此不再赘述。

[0205] 在示例性实施方式中，如图18所示，显示基板还可以包括位于非显示区AA’的时序控制器和数据驱动电路以及位于显示区AA的多条数据线DL，数据线DL沿第二方向D2延伸，第一方向D1和第二方向D2相交。像素驱动电路还与数据线DL电连接。时序控制器分别与数据驱动电路和栅极驱动电路连接，数据驱动电路分别与多个数据线DL连接，栅极驱动电路分别与多条栅线GL连接。显示基板还包括：位于显示区的阵列排布的发光器件，像素驱动电路被配置为驱动发光器件发光，像素驱动电路和像素驱动电路所驱动的发光器件构成子像素。

[0206] 在示例性实施方式中，时序控制器可以将适合于数据驱动电路的规格的灰度值和控制信号提供到数据驱动电路，可以将适合于栅极驱动电路的规格的时钟信号、起始信号等提供到栅极驱动电路。数据驱动电路可以利用从时序控制器接收的灰度值和控制信号来产生将提供到数据DL的数据电压。例如，数据驱动电路可以利用时钟信号对灰度值进行采样，并且以像素行为单位将与灰度值对应的数据电压施加到数据线DL。栅极驱动电路可以通过从时序控制器接收时钟信号、起始信号等来产生将提供到栅线的扫描信号。例如，栅极驱动电路可以将具有导通电平脉冲的扫描信号顺序地提供到栅线GL。

[0207] 在示例性实施方式中，显示基板可以包括以矩阵方式排布的多个像素单元，多个像素单元的至少一个包括出射第一颜色光线的第一子像素、出射第二颜色光线的第二子像素和出射第三颜色光线的第三子像素，第一子像素、第二子像素和第三子像素均包括像素驱动电路和发光器件。第一子像素、第二子像素和第三子像素中的像素驱动电路分别与数据线和栅线连接，像素驱动电路被配置为在栅线的控制下，接收数据线传输的数据电压，向所述发光器件输出相应的电流。第一子像素、第二子像素和第三子像素中的发光器件分别与所在子像素的像素驱动电路连接，发光器件被配置为响应所在子像素的像素驱动电路输出的电流发出相应亮度的光。

[0208] 在示例性实施方式中，第一子像素可以是出射红色光线的红色子像素(R)，第二子像素可以是出射蓝色光线的蓝色子像素(B)，第三子像素可以是出射绿色光线的绿色子像素(G)。在示例性实施方式中，子像素的形状可以是矩形状、菱形、五边形或六边形，本公开在此不做限定。

[0209] 在示例性实施方式中，像素单元可以包括三个子像素，三个子像素可以采用水平并列、竖直并列或品字方式等排列，本公开在此不做限定。

[0210] 在示例性实施方式中，像素单元可以包括四个子像素，四个子像素可以采用水平并列、竖直并列或正方形等方式排列，本公开在此不做限定。

[0211] 对于不同显示产品，栅极驱动电路中多个移位寄存器的级联关系可能有所不同。无论多个移位寄存器的级联关系如何，每个移位寄存器驱动几行子像素，只要是类似这种大面积的器件发生改变，以及这种改变产生额外空间以后，小器件可能的简单平移、拉伸都在本公开的保护范围内。

[0212] 图21为一种像素驱动电路的等效电路示意图，图22为另一像素驱动电路的等效电路示意图。在示例性实施方式中，像素驱动电路可以是3T1C、4T1C、5T1C、5T2C、6T1C、7T1C或8T1C结构。如图21和图22所示，像素驱动电路可以包括7个晶体管(第一晶体管M1到第七晶体管M7)和1个电容C。

[0213] 如图21和图22所示，第一晶体管M1的栅电极与复位信号线Reset电连接，第一晶体管M1的第一极与第一初始信号线INIT1电连接，第一晶体管M1的第二极与第一节点N1或者第三节点N3电连接；第二晶体管M2的栅电极与第二扫描信号线Gate2电连接，第二晶体管M2的第一极与第一节点N1电连接，第二晶体管M2的第二极与第三节点N3电连接；第三晶体管M3的栅电极与第一节点N1电连接，第三晶体管M3的第一极与第二节点N2电连接，第三晶体管M3的第二极与第三节点N3电连接；第四晶体管M4的栅电极与第一扫描信号线Gate1电连接，第四晶体管M4的第一极与数据信号线Data电连接，第四晶体管M4的第二极与第二节点N2电连接；第五晶体管M5的栅电极与发光信号线EM电连接，第五晶体管M5的第一极与高电平电源线VDD电连接，第五晶体管M5的第二极与第二节点N2电连接；第六晶体管M6的栅电极与发光信号线EM电连接，第六晶体管M6的第一极与第三节点N3电连接，第六晶体管M6的第二极与第四节点N4电连

接；第七晶体管M7的栅电极与第一扫描信号线Gate1电连接，第七晶体管M7的第一极与第二初始信号线INIT2电连接，第七晶体管M7的第二极与第四节点N4电连接；电容C的第一极板与第一节点N1电连接，电容C的第二极板与高电平电源线VDD电连接。图21是以第一晶体管M1的第二极与第一节点N1电连接为例进行说明的，图22是以第一晶体管M1的第二极与第三节点N3为例进行说明的。

[0214] 在示例性实施方式中，第一晶体管M1到第七晶体管M7可以采用低温多晶硅薄膜晶体管，或者可以采用氧化物薄膜晶体管，或者可以采用低温多晶硅薄膜晶体管和氧化物薄膜晶体管。低温多晶硅薄膜晶体管的有源图案采用低温多晶硅(Low Temperature Poly-Silicon，简称LTPS)，氧化物薄膜晶体管的有源图案采用氧化物半导体(Oxide)。低温多晶硅薄膜晶体管具有迁移率高、充电快等优点，氧化物薄膜晶体管具有漏电流低等优点，将低温多晶硅薄膜晶体管和氧化物薄膜晶体管集成在一个显示基板上，形成LTPO显示基板，可以利用两者的优势，可以实现低频驱动，可以降低功耗，可以提高显示品质。

[0215] 在示例性实施方式中，第一晶体管M1和第二晶体管M2与第三晶体管M3至第七晶体管M7的晶体管类型相反。示例性地，第一晶体管M1和第二晶体管M2可以为N型晶体管，第三晶体管M3至第七晶体管M7可以为P型晶体管。

[0216] 在示例性实施方式中，第一晶体管M1和第二晶体管M2可以为氧化物晶体管，第三晶体管M3至第七晶体管M7可以为低温多晶硅晶体管。

[0217] 在示例性实施方式中，第一初始信号线INIT1的信号的电压值恒定，且为直流信号，第一初始信号线INIT1的信号的电压值可以为-3V。

[0218] 在示例性实施方式中，第二初始信号线INIT2的信号的电压值恒定，且为直流信号，第二初始信号线INIT2的信号的电压值可以为0V。

[0219] 在示例性实施方式中，发光器件L，可以分别与第四节点N4和低电平电源线VSS电连接。

[0220] 在示例性实施方式中，高电平电源线VDD持续提供高电平信号，低电平电源线VSS持续提供低电平信号。

[0221] 图23为图21和图22提供的像素驱动电路的工作时序图。下面通过图21和图22示例的像素驱动电路在显示阶段的工作过程说明本公开示例性实施方式。图23是

细则 91, 09.10.2023

以第一晶体管M1和第二晶体管M2为N型晶体管，第三晶体管M3至第七晶体管M7为P型晶体管为例进行说明的，图21和图22中的像素驱动电路包括第一晶体管M1到第七晶体管M7、1个电容C和8个信号线(数据信号线Data、第一扫描信号线Gate1、第二扫描信号线Gate2、复位信号线Reset、第一初始信号线INIT1、第二初始信号线INIT2、发光信号线EM和高电平电源线VDD)。

[0222] 结合图21、图22和图23所示，像素驱动电路的工作过程可以包括：

[0223] 第一阶段P1，称为初始化阶段，复位信号线Reset的信号为高电平信号，第一晶体管M1导通，第一初始信号线INIT1的信号通过导通的第一晶体管M1写入第一节点N1或者第三节点N3，对第一节点N1或者第三节点N3进行初始化(复位)，清空其内部的预存电压，完成初始化。

[0224] 第二阶段P2、称为数据写入阶段或者阈值补偿阶段，第一扫描信号线Gate1的信号为低电平信号，第二扫描信号线Gate2的信号为高电平信号，数据信号线Data输出数据电压。此阶段由于第一节点N1为低电平信号，因此第三晶体管M3导通。第一扫描信号线Gate1的信号为低电平信号，第四晶体管M4导通和第七晶体管M7导通，第二扫描信号线Gate2的信号为高电平信号，第二晶体管M2导通，数据信号线Data输出的数据电压经过导通的第四晶体管M4、第二节点N2、导通的第三晶体管M3、第三节点N3、导通的第二晶体管M2提供至第一节点N1，并将数据信号线Data输出的数据电压与第三晶体管M3的阈值电压之差充入电容C，直至第一节点N1的电压为Vd−|Vth|，Vd为数据信号线Data输出的数据电压，Vth为第三晶体管M3的阈值电压，第七晶体管M7导通，第二初始信号线INIT2的信号通过导通的第七晶体管M7写入第四节点N4，对发光器件L的第一电极进行初始化(复位)，清空其内部的预存电压，完成初始化。

[0225] 第三阶段P3，称为发光阶段，发光信号线EM的信号为低电平信号，第五晶体管M5和第六晶体管M6导通，高电平电源线VDD输出的电源电压通过导通的第五晶体管M5、第三晶体管M3和第六晶体管M6向发光器件L的第一极提供驱动电压，驱动发光器件L发光。

[0226] 在像素驱动电路驱动过程中，流过第三晶体管M3(驱动晶体管)的驱动电流由栅电极和第一极之间的电压差决定。由于第一节点N1的电压为Vd−|Vth|，因而

第三晶体管M3的驱动电流为：$I=K\star(Vgs-Vth)^2=K\star[(Vdd-Vd+|Vth|)-Vth]^2=K\star(Vdd-Vd)^2$

[0227] 其中，I为流过第三晶体管M3的驱动电流，也就是驱动发光器件L的驱动电流，K为常数，Vgs为第三晶体管M3的栅电极和第一极之间的电压差，Vth为第三晶体管M3的阈值电压，Vd为数据信号线Data输出的数据电压，Vdd为高电平电源线VDD输出的电源电压。

[0228] 在示例性实施方式中，栅线可以包括：第一栅线和第二栅线，第一栅线可以包括：第一扫描信号线和发光信号线，第二栅线可以包括：复位信号线和第二扫描信号线。

[0229] 在示例性实施方式中，发光器件可以包括：有机发光二极管OLED、量子点发光二极管和无机发光二极管中的任意一种。例如，发光器件可以采用微米级发光器件，例如微型发光二极管(Micro Light-Emitting Diode，Micro LED)、次毫米发光发光二极管(Mini Light-Emitting Diode，Mini LED)或者微型有机发光二极管(Micro OLED)等，本公开实施例对此不做限定。例如，以发光器件L为有机电致发光二极管(OLED)为例，发光器件可以包括：叠设的第一极(例如，作为阳极)、有机发光层和第二极(例如，作为阴极)。

[0230] 在示例性实施方式中，本公开显示基板可以应用于具有栅极驱动电路的显示装置中，如OLED、量子点显示(QLED)、发光二极管显示(Micro LED或Mini LED)或量子点发光二极管显示(QDLED)等，本公开在此不做限定。

[0231] 在示例性实施方式中，本公开实施例提供的至少一个移位寄存器可以与第二栅线电连接。

[0232] 如图19和图20所示，显示基板还可以包括：位于非显示区的至少一条扫描控制信号线，扫描控制信号线至少部分沿第二方向D2延伸。所有移位寄存器所连接的扫描控制信号端与至少一条扫描控制信号线电连接。图19是以一条扫描控制信号线MSL为例进行说明的，图20是以四条扫描控制信号线MSL1至MSL4为例进行说明的。

[0233] 在示例性实施方式中，如图19所示，当扫描控制信号线的数量为一条时，所有移位寄存器所连接的扫描控制信号端与同一扫描控制信号线MSL电连接。

[0234] 在示例性实施方式中，如图20所示，当扫描控制信号线的数量为至少两条时，第M*(k−1)+K*M(a−1)+1级移位寄存器至k*M+K*M(a−1)级移位寄存器中的任一移位寄存器所连接的扫描控制信号端与第k条扫描控制信号线电连接，1≤k≤K，1≤a≤N/M，M为一条扫描控制信号线所连接的移位寄存器的级数，N为移位寄存器的总级数，K为扫描控制信号线的数量，M≥1。

[0235] 示例性地，以M＝7，K＝4为例，第一级移位寄存器至第七级移位寄存器所连接的扫描控制信号端与第一条扫描控制信号线MSL1电连接，第八级移位寄存器至第十四级移位寄存器所连接的扫描控制信号端与第二条扫描控制信号线MSL2电连接，第十五级移位寄存器至第二十一级移位寄存器所连接的扫描控制信号端与第三条扫描控制信号线MSL3电连接，第二十二级移位寄存器至第二十八级移位寄存器所连接的扫描控制信号端与第四条扫描控制信号线MSL4电连接，第二十九级移位寄存器至第三十五级移位寄存器所连接的扫描控制信号端与第一条扫描控制信号线MSL1电连接，第三十六级移位寄存器至第四十二级移位寄存器所连接的扫描控制信号端与第二条扫描控制信号线MSL2电连接，第四十三级移位寄存器至第四十九级移位寄存器所连接的扫描控制信号端与第三条扫描控制信号线MSL3电连接，第五十级移位寄存器至第五十六级移位寄存器所连接的扫描控制信号端与第四条扫描控制信号线MSL4电连接，依次类推。

[0236] 在示例性实施方式中，显示基板所显示画面包括：多个显示帧，在任一显示帧，所述移位寄存器的扫描输出端的输出信号为脉冲信号，且脉冲信号的持续时间H满足如下关系式；H＝L*[M*K−(M−1)]*h

[0237] 其中，L为任一级移位寄存器所连接的栅线的数量，h为单位时间，且等于相邻行子像素的刷新间隔时间。

[0238] 在示例性实施方式中，显示区可以被划分为多个显示子区，至少一个显示子区包括：至少一条栅线。任一个显示子区的显示模式包括：第一显示模式和第二显示模式，第一显示模式的刷新频率大于第二显示模式的刷新频率。

[0239] 在示例性实施方式中，在显示子区的显示模式为第一显示模式的状态下，对于与显示子区内的栅线所连接的移位寄存器，级联输出端的信号为第一电平信号时，扫描控制信号端的信号的至少部分时间段为有效电平信号，扫描输出端的

信号为第一电平信号。在显示子区的显示模式为第二显示模式的状态下，对于与显示子区内的栅线所连接的移位寄存器，级联输出端的信号为第一电平信号时，扫描控制信号端的信号为无效电平信号，扫描输出端的信号为第二电平信号。其中，第一电平信号的电压值大于第二电平信号的电压值，第一电平信号为高电平信号，第二电平信号为低电平信号。

[0240] 图24为图19提供的栅极驱动电路的多个扫描输出端的时序图。如图24所示，在时间段t内，由于扫描控制信号线MSL的信号为高电平信号，使得第二级移位寄存器的扫描输出端NOUT(2)至第N−1级移位寄存器的扫描输出端NOUT(N−1)的任一输出端的信号为低电平信号，即第二级移位寄存器的扫描输出端至第N−1级移位寄存器的扫描输出端所连接的栅线连接的像素驱动电路不会进行初始化和数据写入，实现显示产品的低频显示和低功耗显示。

[0241] 图25为图20提供的栅极驱动电路的多个扫描输出端的时序图。如图25所示，在时间段t1和t3中，第一条扫描控制信号线MSL1至第四条扫描控制信号线MSL4的信号为低电平信号，此时，所有移位寄存器的扫描输出端依次输出高电平信号。

[0242] 如图25所示，在时间段t2中，第一条扫描控制信号线MSL1在部分时间段为高电平信号，使得第一级移位寄存器和第七级移位寄存器的扫描输出端输出低电平信号，第一条扫描控制信号线MSL1为高电平信号的时间段为第一级移位寄存器级联输出端的信号为高电平信号的开始时间至第七移位寄存器级联输出端的信号为高电平信号的结束时间。

[0243] 如图25所示，在时间段t2中，第二条扫描控制信号线MSL2在部分时间段为高电平信号，使得第八级移位寄存器和第十四级移位寄存器的扫描输出端输出低电平信号，第二条扫描控制信号线MSL2为高电平信号的时间段为第八级移位寄存器级联输出端的信号为高电平信号的开始时间至第十四移位寄存器级联输出端的信号为高电平信号的结束时间。

[0244] 如图25所示，在时间段t2中，第三条扫描控制信号线MSL3在部分时间段为高电平信号，使得第四十三级移位寄存器和第四十九级移位寄存器的扫描输出端输出低电平信号，第三条扫描控制信号线MSL3为高电平信号的时间段为第四十三

级移位寄存器级联输出端的信号为高电平信号的开始时间至第四十九移位寄存器级联输出端的信号为高电平信号的结束时间。

[0245] 如图25所示，在时间段t2中，第四条扫描控制信号线MSL4为高电平信号的时间段为第五十级移位寄存器级联输出端的信号为高电平信号的开始时间至第五十六移位寄存器级联输出端的信号为高电平信号的结束时间，第四条扫描控制信号线MSL4为高电平信号的时间段为第五十级移位寄存器级联输出端的信号为高电平信号的开始时间至第五十六移位寄存器级联输出端的信号为高电平信号的结束时间。

[0246] 图26为显示基板的非显示区的局部示意图。如图19、图20和图26所示，显示基板还可以包括：位于非显示区的第一时钟信号线CLK1、第二时钟信号线CLK2、第一电源线VGH、第二电源线VGL和第三电源线VCX。图26中的移位寄存器为图11提供的移位寄存器，且图26是以扫描控制信号线为一条为例进行说明的。

[0247] 在示例性实施方式中，第一时钟信号线CLK1、第二时钟信号线CLK2、第一电源线VGH、第二电源线VGL和第三电源线VCX中的任一条至少部分沿第二方向D2延伸；

[0248] 在示例性实施方式中，任一级移位寄存器所连接的第一时钟信号端与第一时钟信号线CLK1和第二时钟信号线CLK2的其中一条电连接，任一级移位寄存器所连接的第二时钟信号端与第一时钟信号线CLK1和第二时钟信号线CLK2的另一条电连接，相邻移位寄存器所连接的第一时钟信号端所连接的时钟信号线不同，相邻移位寄存器所连接的第二时钟信号端所连接的时钟信号线不同，所有移位寄存器所连接的第一电源端与第一电源线VGH电连接，所有移位寄存器所连接的第二电源端与第二电源线VGL电连接，所有移位寄存器所连接的第三电源端与第三电源线VCX电连接。

[0249] 在示例性实施方式中，显示基板还可以包括：位于非显示区的初始信号线，至少一级移位寄存器的信号输入端与初始信号线电连接。初始信号线可以沿第二方向延伸，且可以位于第一时钟信号线远离显示区的一侧。

[0250] 在示例性实施方式中，如图19、图20和图25所示，扫描控制信号线MSL可以位于第一时钟信号线CLK1、第二时钟信号线CLK2、第一电源线VGH、第二电源线VGL和第三电源线VCX中的任一条靠近显示区的一侧。

[0251] 在示例性实施方式中，如图25所示，第二电源线VGL的数量为两条，第一时钟信号线CLK1、第二时钟信号线CLK2、第一条第二电源线VGL、第三电源线VCX、第二条第二电源线VGL和第一电源线VGH沿靠近显示区的方向依次排布。

[0252] 在示例性实施方式中，如图25所示，移位寄存器可以包括：第十七晶体管T17至第十九晶体管T19；第十七晶体管T17至第十九晶体管T19可以沿第二方向D2排布。

[0253] 在示例性实施方式中，如图25所示，第十七晶体管T17至第十九晶体管T19中的任一个晶体管的至少部分位于第一电源线VGH和扫描控制信号线MSL之间。

[0254] 在示例性实施方式中，任一晶体管包括：有源图案，图27为第十七晶体管至第十九晶体管的有源图案的示意图。如图27所示，第十七晶体管的有源图案171沿第一方向D1的平均长度小于第十八晶体管的有源图案181和第十九晶体管的有源图案191中的任一个沿第一方向D1的平均长度。

[0255] 在示例性实施方式中，如图25所示，第一电源线VGH和第二电源线VGL中的任一电源线的线宽可以大于扫描控制信号线MSL的线宽。

[0256] 下面通过显示基板的制备过程进行示例性说明。本公开所说的“图案化工艺”，对于金属材料、无机材料或透明导电材料，包括涂覆光刻胶、掩模曝光、显影、刻蚀、剥离光刻胶等处理，对于有机材料，包括涂覆有机材料、掩模曝光和显影等处理。沉积可以采用溅射、蒸镀、化学气相沉积中的任意一种或多种，涂覆可以采用喷涂、旋涂和喷墨打印中的任意一种或多种，刻蚀可以采用干刻和湿刻中的任意一种或多种，本公开不做限定。“薄膜”是指将某一种材料在基底上利用沉积、涂覆或其它工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需图案化工艺，则该“薄膜”还可以称为“层”。若在整个制作过程当中该“薄膜”需图案化工艺，则在图案化工艺前称为“薄膜”，图案化工艺后称为“层”。经过图案化工艺后的“层”中包含至少一个“图案”。

本公开所说的“A和B同层设置”是指，A和B通过同一次图案化工艺同时形成，膜层的“厚度”为膜层在垂直于显示基板方向上的尺寸。本公开示例性实施方式中，“B的正投影位于A的正投影的范围之内”或者“A的正投影包含B的正投影”是指，B的正投影的边界落入A的正投影的边界范围内，或者A的正投影的边界与B的正投影的边界重叠。图11至图18是以显示基板包括图8提供的移位寄存器，即移位寄存器包括：第一晶体管T1至第八晶体管T8以及第十晶体管T10为例进行说明的。

[0257] (1)在基底上形成半导体层图案。在示例性实施方式中，在基底上形成半导体层图案可以包括：在基底上沉积半导体薄膜，通过图案化工艺对半导体薄膜进行图案化，形成半导体层图案。如图28所示，图28为图26形成半导体层图案后的示意图。

[0258] 在示例性实施方式中，如图28所示，每个移位寄存器的半导体层图案可以至少包括：第一晶体管的有源图案11至第十九晶体管的有源图案191。

[0259] 在示例性实施方式中，如图28所示，第五晶体管的有源图案51、第七晶体管的有源图案71、第八晶体管的有源图案81和第十三晶体管的有源图案131为一体结构，第十二晶体管的有源图案121和第十六晶体管的有源图案161为一体结构，第十七晶体管的有源图案171、第十八晶体管的有源图案181和第十九晶体管的有源图案191为一体结构，第一晶体管的有源图案11、第二晶体管的有源图案21、第三晶体管的有源图案31、第四晶体管的有源图案41、第六晶体管的有源图案61、第九晶体管的有源图案91、第十晶体管的有源图案101、第十一晶体管的有源图案111、第十四晶体管的有源图案141和第十五晶体管的有源图案151单独设置。

[0260] 在示例性实施方式中，如图28所示，第一晶体管的有源图案11和十四晶体管的有源图案141沿第一方向D1排布，且第一晶体管的有源图案11位于十四晶体管的有源图案141靠近显示区的一侧，第二晶体管的有源图案21位于第一晶体管的有源图案11靠近显示区的一侧。第三晶体管的有源图案31与第一晶体管的有源图案11沿第二方向D2排布，且本级移位寄存器的第三晶体管的有源图案31位于第一晶体管的有源图案11靠近下一级移位寄存器的一侧，第十一晶体管的有源图案111和十五晶体管的有源图案151沿第一方向D1排布，第十一晶体管的有源图案

111与第一晶体管的有源图案11沿第二方向D2排布，十五晶体管的有源图案151与十四晶体管的有源图案141沿第二方向D2排布，第十一晶体管的有源图案111位于十五晶体管的有源图案151靠近显示区的一侧，本级移位寄存器的第十一晶体管的有源图案111位于十五晶体管的有源图案151位于第三晶体管的有源图案31靠近下一级移位寄存器的一侧。本级移位寄存器的第四晶体管的有源图案41位于第十一晶体管的有源图案111靠近下一级移位寄存器的一侧。第六晶体管的有源图案61位于第二晶体管的有源图案21靠近显示区的一侧。第七晶体管的有源图案71位于第六晶体管的有源图案61靠近显示区的一侧，第八晶体管的有源图案81和第十三晶体管的有源图案131位于第二晶体管的有源图案21靠近显示区的一侧，且第十三晶体管的有源图案131位于第八晶体管的有源图案81远离显示区的一侧，第五晶体管的有源图案51位于第十一晶体管的有源图案111靠近显示区的一侧，第七晶体管的有源图案71、第八晶体管的有源图案81和第五晶体管的有源图案51沿第二方向D2排布，且本级移位寄存器的第七晶体管的有源图案71位于第八晶体管的有源图案81靠近上一级移位寄存器的一侧，本级移位寄存器的第五晶体管的有源图案51位于第八晶体管的有源图案81靠近下一级移位寄存器的一侧。第十六晶体管的有源图案161位于第四晶体管的有源图案41靠近显示区的一侧，第十二晶体管的有源图案121位于第十六晶体管的有源图案161靠近显示区的一侧，第五晶体管的有源图案51与第十二晶体管的有源图案121沿第二方向D2排布，且本级移位寄存器的第十二晶体管的有源图案121位于第五晶体管的有源图案51靠近下一级移位寄存器的一侧。第九晶体管的有源图案91位于第七晶体管的有源图案71靠近显示区的一侧，第十晶体管的有源图案101位于第十六晶体管的有源图案161靠近显示区的一侧，第九晶体管的有源图案91和第十晶体管的有源图案101沿第二方向D2排布，本级移位寄存器的第九晶体管的的有源图案91可以位于第十晶体管的有源图案101靠近上一级移位寄存器的一侧。第十七晶体管的有源图案171(也是第十八晶体管的有源图案181和第十九晶体管的有源图案191)位于第九晶体管的有源图案91和第十晶体管的有源图案101靠近显示区的一侧，且第十七晶体管的有源图案171至第九晶体管的有源图案191沿第二方向D2排布。本级移位寄存器的第十七晶体管的有源图案171位于第十八晶体管的有源

图案181靠近下一级移位寄存器的一侧，本级移位寄存器的第十九晶体管的有源图案191位于第十八晶体管的有源图案181靠近上一级移位寄存器的一侧。

[0261] 在示例性实施方式中，如图28所示，第一晶体管的有源图案11、第二晶体管的有源图案21、第三晶体管的有源图案31、第五晶体管的有源图案51、第七晶体管的有源图案71、第八晶体管的有源图案81、第九晶体管的有源图案91、第十一晶体管的有源图案111、第十二晶体管的有源图案121、第十四晶体管的有源图案141、第十五晶体管的有源图案151、第十七晶体管的有源图案171、第十八晶体管的有源图案181和第十九晶体管的有源图案191中的任一个有源图案的形状为条状，且沿第二方向D2延伸。

[0262] 在示例性实施方式中，如图28所示，第四晶体管的有源图案41、第六晶体管的有源图案61、第十晶体管的有源图案101、第十三晶体管的有源图案131和第十六晶体管的有源图案161中的任一有源图案的形状为条状，且沿第一方向D1延伸。

[0263] 在示例性实施方式中，如图28所示，第十二晶体管的有源图案121与第十六晶体管的有源图案161的一体结构呈倒“T”字型，第五晶体管的有源图案51、第七晶体管的有源图案71、第八晶体管的有源图案81和第十三晶体管的有源图案131的一体结构可以呈“┤”字型，第十七晶体管的有源图案171、第十八晶体管的有源图案181和第十九晶体管的有源图案191的一体结构呈条状，且沿第二方向D2延伸。

[0264] 在示例性实施方式中，如图28所示，第十七晶体管的有源图案171的沿第一方向D1的平均长度小于第十八晶体管的有源图案181和第十九晶体管的有源图案191中的任一有源图案沿第一方向D1的平均长度。

[0265] 在示例性实施方式中，如图28所示，每个晶体管的有源图案可以包括第一区、第二区以及位于第一区和第二区之间的沟道区。在示例性实施方式中，第五晶体管的有源图案51的第一区51−1可以作为第八晶体管的有源图案81的第一区81−1和第十三晶体管的有源图案131的第一区131−1，第七晶体管的有源图案71的第二区71−2可以作为第八晶体管的有源图案81的第二区81−2，第十二晶体管的有源图案121的第二区121−2可以作为第十六晶体管的有源图案161的第二区161−2，第十七晶体管的有源图案171的第二区171−2可以作为第十八晶体管

的有源图案181的第一区181−1，第十八晶体管的有源图案181的第二区181−2可以作为第十九晶体管的有源图案191的第一区191−2。第一晶体管的有源图案11的第一区11−1和第二区11−2、第二晶体管的有源图案21的第一区21−1和第二区21−2、第三晶体管的有源图案31的第一区31−1和第二区31−2、第四晶体管的有源图案41的第一区41−1和第二区41−2、第五晶体管的有源图案51的第二区51−2、第六晶体管的有源图案61的第一区61−1和第二区61−2、第七晶体管的有源图案71的第一区71−1、第九晶体管的有源图案91的第一区91−1和第二区91−2、第十晶体管的有源图案101的第一区101−1和第二区101−2、第十一晶体管的有源图案111的第一区111−1和第二区111−2、第十二晶体管的有源图案121的第一区121−1、第十三晶体管的有源图案131的第二区131−2、第十四晶体管的有源图案141的第一区141−1和第二区141−2、第十五晶体管的有源图案151的第一区151−1和第二区151−2、第十六晶体管的有源图案161的第一区161−1、第十七晶体管的有源图案171的第一区171−1和第十九晶体管的有源图案191的第一区191−1单独设置。

[0266] (2)形成第一导电层图案。在示例性实施方式中，形成第一导电层图案可以包括：在形成有前述图案的基底上沉积第一绝缘薄膜和第一导电薄膜，通过图案化工艺对第一导电薄膜进行图案化，形成覆盖半导体层图案的第一绝缘层，以及设置在第一绝缘层上的第一导电层图案，如图29和图30所示，图29为图26中第一导电层图案的示意图，图30为图26形成第一导电层图案后的示意图。在示例性实施方式中，第一导电层可以称为第一栅金属(GATE1)层。

[0267] 在示例性实施方式中，如图29和图30所示，每一个移位寄存器的第一导电层图案可以至少包括：第一晶体管的栅电极12至第十九晶体管的栅电极192、第一电容的第一极板C11至第四电容的第一极板C41以及第一连接部L1。

[0268] 在示例性实施方式中，如图29和图30所示，第一晶体管的栅电极12和第十四晶体管的栅电极142为一体结构，第一晶体管的栅电极12和第十四晶体管的栅电极142的一体结构的形状为条状，且沿第一方向D1延伸。

[0269] 在示例性实施方式中，如图29和图30所示，第二晶体管的栅电极22与第八晶体管的栅电极82为一体结构。第二晶体管的栅电极22的形状可以为开口朝向显示区

的“n”字型，第八晶体管的栅电极82的形状可以为折线形，且至少部分沿第一方向D1延伸。

[0270] 在示例性实施方式中，如图29和图30所示，第三晶体管的栅电极32单独设置，且形状可以为“ ┌”字型。

[0271] 在示例性实施方式中，如图29和图30所示，第四晶体管的栅电极42、第十六晶体管的栅电极162和第三电容的C31为一体结构。第三电容的C31的形状为矩形状。本级移位寄存器的第四晶体管的栅电极42位于第三电容的C31靠近下一级移位寄存器的一侧，第四晶体管的栅电极42的形状为条状，且沿第二方向D2延伸。第十六晶体管的栅电极162位于第三电容的C31靠近显示区的一侧，第十六晶体管的栅电极162的形状呈“┐”字型。

[0272] 在示例性实施方式中，如图29和图30所示，第五晶体管的栅电极52单独设置。第五晶体管的栅电极52的形状为折线状，且至少部分沿第一方向D1延伸。

[0273] 在示例性实施方式中，如图29和图30所示，第六晶体管的栅电极62和第一电容的第一极板C11为一体结构。本级移位寄存器的第六晶体管的栅电极62位于第一电容的第一极板C11靠近下一级移位寄存器的一侧。第一电容的第一极板C11的形状可以为“┐”,第六晶体管的栅电极62的形状为折线状，且至少部分沿第二方向D2延伸。

[0274] 在示例性实施方式中，如图29和图30所示，第七晶体管的栅电极72单独设置。第七晶体管的栅电极72的形状为折线状，且至少部分沿第一方向D1延伸。

[0275] 在示例性实施方式中，如图29和图30所示，第九晶体管的栅电极92、第十八晶体管的栅电极182和第二电容的第一极板C21为一体结构。第九晶体管的栅电极92和第十八晶体管的栅电极182均位于第二电容的第一极板C21靠近显示区一侧，第九晶体管的栅电极92与第二电容的第一极板C21靠近显示区的边界连接，本级移位寄存器的第十八晶体管的栅电极182与第二电容的第一极板C21靠近上一级移位寄存器的边界连接。第二电容的第一极板C21的形状可以为矩形状，矩形状的角部可设置倒角。第九晶体管的栅电极92的形状为条状，且沿第一方向D1延伸。第十八晶体管的栅电极182包括：第一连接段182A和至少一个第一分支段182B，第二电容的第一极板C21位于第一连接段182A远离显示区的一侧，第

一分支段182B位于第一连接段182A靠近显示区的一侧，第一连接段182A分别与第二电容的第一极板C21和至少一个第一分支段182B电连接。第十八晶体管的栅电极182可以呈梳妆结构。第一连接段182A的形状可以呈“┐”字型，相当于“梳背”，第一分支段182B的形状可以为条状，且沿第一方向D1延伸，相当于“梳齿”，至少一个第一分支段182B沿第二方向D2排布。

[0276] 在示例性实施方式中，如图29和图30所示，第十晶体管的栅电极102和第十七晶体管的栅电极172为一体结构。第十晶体管的栅电极102的形状可以呈向左旋转的“F”字型，第十七晶体管的栅电极172可以包括：第二连接段172A和至少一个第二分支段172B。第二分支段172B位于第二连接段172A靠近显示区的一侧。第十七晶体管的栅电极172的形状为梳状结构，第二连接段172A沿第二方向D2延伸，相当于“梳背”，第二分支段172B沿第一方向D1延伸，相当于“梳齿”，至少一个第二分支段172B沿第二方向D2排布。

[0277] 在示例性实施方式中，如图29和图30所示，第十一晶体管的栅电极112和第十五晶体管的栅电极152为一体结构，第十一晶体管的栅电极112和第十五晶体管的栅电极152的一体结构的形状为条状，且沿第一方向D1延伸。

[0278] 在示例性实施方式中，如图29和图30所示，第十二晶体管的栅电极122单独设置，且形状可以呈“┘”字型。

[0279] 在示例性实施方式中，如图29和图30所示，第十三晶体管的栅电极132单独设置。第十三晶体管的栅电极132的形状为条状，且沿第二方向D2延伸。

[0280] 在示例性实施方式中，如图29和图30所示，第十九晶体管的栅电极192单独设置。第十九晶体管的栅电极192包括：第三连接段192A和至少一个第三分支段192B。第三分支段192B位于第三连接段192A远离显示区的一侧。第十九晶体管的栅电极192可以呈梳状结构，第三连接段192A的形状可以呈“┌”字型，相当于“梳背”，第三分支段192B的形状为条状，且沿第一方向D1延伸，相当于“梳齿”，至少一个第三分支段192B沿第二方向D2排布。

[0281] 在示例性实施方式中，如图29和图30所示，第四电容的第一极板C41单独设置，且位于第五晶体管的栅电极52和第十八晶体管的栅电极182之间。第四电容的第一极板C41包括：主体部和凸起部，主体部的形状可以为矩形状，凸起部位

于主体部远离显示区的一侧。在示例性实施方式中，如图29和图30所示，第一连接部L1单独设置，且的形状为块状。第一连接部L1位于第四晶体管的栅电极42远离显示区的一侧，且位于本级移位寄存器的第三电容的第一极板C31靠近下一级移位寄存器的一侧。

[0282] 在示例性实施方式中，如图29和图30所示，第一晶体管的栅电极12跨设在第一晶体管的有源图案上，第二晶体管的栅电极22跨设在第二晶体管的有源图案上，第三晶体管的栅电极32跨设在第三晶体管的有源图案上，第四晶体管的栅电极42跨设在第四晶体管的有源图案上，第五晶体管的栅电极52跨设在第五晶体管的有源图案上，第六晶体管的栅电极62跨设在第六晶体管的有源图案上，第七晶体管的栅电极72跨设在第七晶体管的有源图案上，第八晶体管的栅电极82跨设在第八晶体管的有源图案上，第九晶体管的栅电极92跨设在第九晶体管的有源图案上，第十晶体管的栅电极102跨设在第十晶体管的有源图案上，第十一晶体管的栅电极112跨设在第十一晶体管的有源图案上，第十二晶体管的栅电极122跨设在第十二晶体管的有源图案上，第十三晶体管的栅电极132跨设在第十三晶体管的有源图案上，第十四晶体管的栅电极142跨设在第十四晶体管的有源图案上，第十五晶体管的栅电极152跨设在第十五晶体管的有源图案上，第十六晶体管的栅电极162跨设在第十六晶体管的有源图案上，第十七晶体管的栅电极172的至少一个第二分支段172B跨设在第十七晶体管的有源图案上，第十八晶体管的栅电极182的至少一个第一分支段182B跨设在第十八晶体管的有源图案上，第十九晶体管的栅电极192的至少一个第三分支段192B跨设在第十九晶体管的有源图案上，也就是说，至少一个晶体管的控制极的延伸方向与有源图案的延伸方向相互垂直。

[0283] 在示例性实施方式中，形成第一导电层图案后，可以利用第一导电层作为遮挡，对半导体层进行导体化处理，被第一导电层遮挡区域的半导体层形成第一晶体管至第十九晶体管的沟道区域，未被第一导电层遮挡区域的半导体层被导体化，即第一晶体管至第十九晶体管的第一区和第二区均被导体化。如图30所示，本公开中的第一连接部L1被处理成导体化层，形成导体化的第一连接部L1。

[0284] (3)形成第二导电层图案。在示例性实施方式中，形成第二导电层图案可以包括：在形成有前述图案的基底上，沉积第二绝缘薄膜和第二导电薄膜，通过图案化工艺对第二导电薄膜进行图案化，形成覆盖第一导电层图案的第二绝缘层图案和位于第二绝缘层图案上的第二导电层图案，如图31和图32所示，图31为图26中的第二导电层图案的示意图，图32为图26形成第二导电层图案后的示意图。在示例性实施方式中，第二导电层可以称为第二栅金属(GATE2)层。

[0285] 在示例性实施方式中，如图31和图32所示，第二导电层图案可以至少包括：位于每个移位寄存器的第一电容的第二极板C12至第四电容的第二极板C42以及第二连接部L2。

[0286] 在示例性实施方式中，如图31和图32所示，第一电容的第二极板C12在基底上的正投影与第一电容的第一极板在基底上的正投影至少部分交叠。第一电容的第二极板C12的面积小于第一电容的第一极板的面积。第一电容的第二极板C12的形状与第一电容的第一极板的形状相同。

[0287] 在示例性实施方式中，如图31和图32所示，第二电容的第二极板C22在基底上的正投影与第二电容的第一极板在基底上的正投影至少部分交叠。第二电容的第二极板C22的面积小于第二电容的第一极板的面积。第二电容的第二极板C22的形状可以为矩形状，矩形状的角部可以设置倒角，且沿第二方向D2延伸。

[0288] 在示例性实施方式中，如图31和图32所示，第三电容的第二极板C32在基底上的正投影与第三电容的第一极板在基底上的正投影至少部分交叠。第三电容的第二极板C32的面积小于第三电容的第一极板的面积。第三电容的第二极板C32的形状可以为矩形状。第三电容的第二极板C32靠近靠近第一电容的第二极板C32的边界设置有凹槽K，凹槽K在基底上的正投影与第三电容的第一极板在基底上的正投影至少部分交叠，且暴露出第三电容的第一极板。

[0289] 在示例性实施方式中，如图31和图32所示，第四电容的第二极板C42在基底上的正投影位于第四电容的第一极板在基底上的正投影至少部分交叠。第四电容的第二极板C42的形状与第四电容的第一极板C41的形状相同，第四电容的第二极板C42的面积小于第四电容的第一极板的面积。

[0290] 在示例性实施方式中，如图31和图32所示，第二连接部L2位于第三电容的第二极板C32和第二电容的第二极板C22之间，且位于本级移位寄存器的第一电容C12靠近下一级移位寄存器的一侧。第二连接部L2的形状为折线形，且至少部分沿第一方向D1延伸。

[0291] (4)形成第三绝缘层图案。在示例性实施方式中，形成第三绝缘层图案可以包括：在形成有前述图案的基底上，沉积第三绝缘薄膜，通过图案化工艺对第三绝缘薄膜进行构图，形成覆盖前述结构的第三绝缘层图案，第三绝缘层开设有多个过孔图案，如图33所示，图33为图26形成第三绝缘层图案后的示意图。

[0292] 在示例性实施方式中，如图33所示，每个移位寄存器的第三绝缘层图案可以至少包括：第一过孔V1至第五十一过孔V51。

[0293] 在示例性实施方式中，如图33所示，第一过孔V1在基底上的正投影位于第一晶体管的有源图案的第一区在基底上的正投影的范围之内，第一过孔V1内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第一晶体管的有源图案的第一区的表面，第一过孔V1被配置为使后续形成的第一晶体管的第一极(也是第十四晶体管的第一极)通过该过孔与第一晶体管的有源图案的第一区连接。

[0294] 在示例性实施方式中，如图33所示，第二过孔V2在基底上的正投影位于第一晶体管的有源图案的第二区在基底上的正投影的范围之内，第二过孔V2内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第一晶体管的有源图案的第二区的表面，第二过孔V2被配置为使后续形成的第一晶体管的第二极通过该过孔与第一晶体管的有源图案的第二区连接。

[0295] 在示例性实施方式中，如图33所示，第三过孔V3在基底上的正投影位于第二晶体管的有源图案的第一区在基底上的正投影的范围之内，第三过孔V3内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第二晶体管的有源图案的第一区的表面，第三过孔V3被配置为使后续形成的第二晶体管的第一极通过该过孔与第二晶体管的有源图案的第一区连接。

[0296] 在示例性实施方式中，如图33所示，第四过孔V4在基底上的正投影位于第二晶体管的有源图案的第二区在基底上的正投影的范围之内，第四过孔V4内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第二晶体管的有源图案的

第二区的表面，第四过孔V4被配置为使后续形成的第二晶体管的第二极(也是第三晶体管的第二极和第十一晶体管的第一极)通过该过孔与第二晶体管的有源图案的第二区连接。

[0297] 在示例性实施方式中，如图33所示，第五过孔V5在基底上的正投影位于第三晶体管的有源图案的第一区在基底上的正投影的范围之内，第五过孔V5内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第三晶体管的有源图案的第一区的表面，第五过孔V5被配置为使后续形成的第三晶体管的第一极通过该过孔与第三晶体管的有源图案的第一区连接。

[0298] 在示例性实施方式中，如图33所示，第六过孔V6在基底上的正投影位于第三晶体管的有源图案的第二区在基底上的正投影的范围之内，第六过孔V6内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第三晶体管的有源图案的第二区的表面，第六过孔V6被配置为使后续形成的第二晶体管的第二极(也是第三晶体管的第二极和第十一晶体管的第一极)通过该过孔与第三晶体管的有源图案的第二区连接。

[0299] 在示例性实施方式中，如图33所示，第七过孔V7在基底上的正投影位于第四晶体管的有源图案的第一区在基底上的正投影的范围之内，第七过孔V7内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第四晶体管的有源图案的第一区的表面，第七过孔V7被配置为使后续形成的第四晶体管的第一极通过该过孔与第四晶体管的有源图案的第一区连接。

[0300] 在示例性实施方式中，如图33所示，第八过孔V8在基底上的正投影位于第四晶体管的有源图案的第二区在基底上的正投影的范围之内，第八过孔V8内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第四晶体管的有源图案的第二区的表面，第八过孔V8被配置为使后续形成的第四晶体管的第二极(也是第五晶体管的第二极)通过该过孔与第四晶体管的有源图案的第二区连接。

[0301] 在示例性实施方式中，如图33所示，第九过孔V9在基底上的正投影位于第五晶体管的有源图案的第一区(也是第八晶体管的有源图案的第一区和第十三晶体管的有源图案的第一区)在基底上的正投影的范围之内，第九过孔V9内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第四晶体管的有源图案的第二

区的表面，第九过孔V9被配置为使后续形成的第五晶体管的第一极(也是第八晶体管的第一极、第九晶体管的第一极和第十三晶体管的第一极)通过该过孔与第五晶体管的有源图案的第一区(也是第八晶体管的有源图案的第一区和第十三晶体管的有源图案的第一区)连接。

[0302] 在示例性实施方式中，如图33所示，第十过孔V10在基底上的正投影位于第五晶体管的有源图案的第二区在基底上的正投影的范围之内，第十过孔V10内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第五晶体管的有源图案的第二区的表面，第十过孔V10被配置为使后续形成的第四晶体管的第二极(也是第五晶体管的第二极)通过该过孔与第五晶体管的有源图案的第二区连接。

[0303] 在示例性实施方式中，如图33所示，第十一过孔V11在基底上的正投影位于第六晶体管的有源图案的第一区在基底上的正投影的范围之内，第十一过孔V11内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第六晶体管的有源图案的第一区的表面，第十一过孔V11被配置为使后续形成的第六晶体管的第一极通过该过孔与第六晶体管的有源图案的第一区连接。

[0304] 在示例性实施方式中，如图33所示，第十二过孔V12在基底上的正投影位于第六晶体管的有源图案的第二区在基底上的正投影的范围之内，第十二过孔V12内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第六晶体管的有源图案的第二区的表面，第十二过孔V12被配置为使后续形成的第六晶体管的第二极(也是第七晶体管的第一极)通过该过孔与第六晶体管的有源图案的第二区连接。

[0305] 在示例性实施方式中，如图33所示，第十三过孔V13在基底上的正投影位于第七晶体管的有源图案的第一区在基底上的正投影的范围之内，第十三过孔V13内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第七晶体管的有源图案的第一区的表面，第十三过孔V13被配置为使后续形成的第六晶体管的第二极(也是第七晶体管的第一极)通过该过孔与第七晶体管的有源图案的第一区连接。

[0306] 在示例性实施方式中，如图33所示，第十四过孔V14在基底上的正投影位于第七晶体管的有源图案的第二区(也是第八晶体管的有源图案的第二区)在基底上的

正投影的范围之内，第十四过孔V14内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第七晶体管的有源图案的第二区(也是第八晶体管的有源图案的第二区)的表面，第十四过孔V14被配置为使后续形成的第七晶体管的第二极(也是第八晶体管的第二极)通过该过孔与第七晶体管的有源图案的第二区(也是第八晶体管的有源图案的第二区)连接。

[0307] 在示例性实施方式中，如图33所示，第十五过孔V15在基底上的正投影位于第九晶体管的有源图案的第一区在基底上的正投影的范围之内，第十五过孔V15内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第九晶体管的有源图案的第一区的表面，第十五过孔V15被配置为使后续形成的第五晶体管的第一极(也是第八晶体管的第一极、第九晶体管的第一极和第十三晶体管的第一极)通过该过孔与第九晶体管的有源图案的第一区连接。

[0308] 在示例性实施方式中，如图33所示，第十六过孔V16在基底上的正投影位于第九晶体管的有源图案的第二区在基底上的正投影的范围之内，第十六过孔V16内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第九晶体管的有源图案的第二区的表面，第十六过孔V16被配置为使后续形成的第九晶体管的第二极(也是第十晶体管的第二极)通过该过孔与第九晶体管的有源图案的第二区连接。

[0309] 在示例性实施方式中，如图33所示，第十七过孔V17在基底上的正投影位于第十晶体管的有源图案的第一区在基底上的正投影的范围之内，第十七过孔V17内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十晶体管的有源图案的第一区的表面，第十七过孔V17被配置为使后续形成的第十晶体管的第一极通过该过孔与第十晶体管的有源图案的第一区连接。

[0310] 在示例性实施方式中，如图33所示，第十八过孔V18在基底上的正投影位于第十晶体管的有源图案的第二区在基底上的正投影的范围之内，第十八过孔V18内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十晶体管的有源图案的第二区的表面，第十八过孔V18被配置为使后续形成的第九晶体管的第二极(也是第十晶体管的第二极)通过该过孔与第十晶体管的有源图案的第二区连接。

[0311] 在示例性实施方式中，如图33所示，第十九过孔V19在基底上的正投影位于第十一晶体管的有源图案的第一区在基底上的正投影的范围之内，第十九过孔V19内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十一晶体管的有源图案的第一区的表面，第十九过孔V19被配置为使后续形成的第二晶体管的第二极(也是第三晶体管的第二极和第十一晶体管的第一极)通过该过孔与第十一晶体管的有源图案的第一区连接。

[0312] 在示例性实施方式中，如图33所示，第二十过孔V20在基底上的正投影位于第十一晶体管的有源图案的第二区在基底上的正投影的范围之内，第二十过孔V20内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十一晶体管的有源图案的第二区的表面，第二十过孔V20被配置为使后续形成的第十一晶体管的第二极通过该过孔与第十一晶体管的有源图案的第二区连接。

[0313] 在示例性实施方式中，如图33所示，第二十一过孔V21在基底上的正投影位于第十二晶体管的有源图案的第一区在基底上的正投影的范围之内，第二十一过孔V21内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十二晶体管的有源图案的第一区的表面，第二十一过孔V21被配置为使后续形成的第十二晶体管的第一极通过该过孔与第十二晶体管的有源图案的第一区连接。

[0314] 在示例性实施方式中，如图33所示，第二十二过孔V22在基底上的正投影位于第十二晶体管的有源图案的第二区(也是第十六晶体管的有源图案的第二区)在基底上的正投影的范围之内，第二十二过孔V22内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十二晶体管的有源图案的第二区(也是第十六晶体管的有源图案的第二区)的表面，第二十二过孔V22被配置为使后续形成的第十二晶体管的第二极(也是第十六晶体管的第二极)通过该过孔与第十二晶体管的有源图案的第二区(也是第十六晶体管的有源图案的第二区)连接。

[0315] 在示例性实施方式中，如图33所示，第二十三过孔V23在基底上的正投影位于第十三晶体管的有源图案的第二区在基底上的正投影的范围之内，第二十三过孔V23内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十三晶体管的有源图案的第二区的表面，第二十三过孔V23被配置为使后续形成的第十三晶体管的第二极通过该过孔与第十三晶体管的有源图案的第二区连接。

[0316] 在示例性实施方式中，如图33所示，第二十四过孔V24在基底上的正投影位于第十四晶体管的有源图案的第一区在基底上的正投影的范围之内，第二十四过孔V24内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十四晶体管的有源图案的第一区的表面，第二十四过孔V24被配置为使后续形成的第一晶体管的第一极(也是第十四晶体管的第一极)通过该过孔与第十四晶体管的有源图案的第一区连接。

[0317] 在示例性实施方式中，如图33所示，第二十五过孔V25在基底上的正投影位于第十四晶体管的有源图案的第二区在基底上的正投影的范围之内，第二十五过孔V25内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十四晶体管的有源图案的第二区的表面，第二十五过孔V25被配置为使后续形成的第十四晶体管的第二极(也是第十五晶体管的第一极)通过该过孔与第十四晶体管的有源图案的第二区连接。

[0318] 在示例性实施方式中，如图33所示，第二十六过孔V26在基底上的正投影位于第十五晶体管的有源图案的第一区在基底上的正投影的范围之内，第二十六过孔V26内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十五晶体管的有源图案的第一区的表面，第二十六过孔V26被配置为使后续形成的第十四晶体管的第二极(也是第十五晶体管的第一极)通过该过孔与第十五晶体管的有源图案的第一区连接。

[0319] 在示例性实施方式中，如图33所示，第二十七过孔V27在基底上的正投影位于第十五晶体管的有源图案的第二区在基底上的正投影的范围之内，第二十七过孔V27内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十五晶体管的有源图案的第二区的表面，第二十七过孔V27被配置为使后续形成的第十五晶体管的第二极通过该过孔与第十五晶体管的有源图案的第二区连接。

[0320] 在示例性实施方式中，如图33所示，第二十八过孔V28在基底上的正投影位于第十六晶体管的有源图案的第一区在基底上的正投影的范围之内，第二十八过孔V28内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十六晶体管的有源图案的第一区的表面，第二十八过孔V28被配置为使后续形成的第十六晶体管的第一极通过该过孔与第十六晶体管的有源图案的第一区连接。

[0321] 在示例性实施方式中，如图33所示，第二十九过孔V29在基底上的正投影位于第十七晶体管的有源图案的第一区在基底上的正投影的范围之内，第二十九过孔V29内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十七晶体管的有源图案的第一区的表面，第二十九过孔V29被配置为使后续形成的第十七晶体管的第一极通过该过孔与第十七晶体管的有源图案的第一区连接。

[0322] 在示例性实施方式中，如图33所示，第三十过孔V30在基底上的正投影位于第十七晶体管的有源图案的第二区(也是第十八晶体管的有源图案的第一区)在基底上的正投影的范围之内，第三十过孔V30内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十七晶体管的有源图案的第二区(也是第十八晶体管的有源图案的第一区)的表面，第三十过孔V30被配置为使后续形成的第十七晶体管的第二极(也是第十八晶体管的第一极)通过该过孔与第十七晶体管的有源图案的第二区(也是第十八晶体管的有源图案的第一区)连接。

[0323] 在示例性实施方式中，如图33所示，第三十一过孔V31在基底上的正投影位于第十八晶体管的有源图案的第二区(也是第十九晶体管的有源图案的第二区)在基底上的正投影的范围之内，第三十一过孔V31内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十八晶体管的有源图案的第二区(也是第十九晶体管的有源图案的第二区)的表面，第三十一过孔V31被配置为使后续形成的第十八晶体管的第二极(也是第十九晶体管的第二极)通过该过孔与第十八晶体管的有源图案的第二区(也是第十九晶体管的有源图案的第二区)连接。

[0324] 在示例性实施方式中，如图33所示，第三十二过孔V32在基底上的正投影位于第十九晶体管的有源图案的第一区在基底上的正投影的范围之内，第三十二过孔V32内的第一绝缘层、第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十九晶体管的有源图案的第一区的表面，第三十二过孔V32被配置为使后续形成的第十九晶体管的第一极通过该过孔与第十九晶体管的有源图案的第一区连接。

[0325] 在示例性实施方式中，如图33所示，第三十三过孔V33在基底上的正投影位于第一晶体管的栅电极(也是第十四晶体管的栅电极)在基底上的正投影的范围之内，第三十三过孔V33内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第一晶体管的栅电极(也是第十四晶体管的栅电极)的表面，第三十三过孔V33被配置为使

后续形成的第三连接部和第二晶体管的第一极通过该过孔与第一晶体管的栅电极(也是第十四晶体管的栅电极)连接。

[0326] 在示例性实施方式中，如图33所示，第三十四过孔V34在基底上的正投影位于第二晶体管的栅电极(也是第八晶体管的栅电极)在基底上的正投影的范围之内，第三十四过孔V34内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第二晶体管的栅电极(也是第八晶体管的栅电极)的表面，第三十四过孔V34被配置为使后续形成的第一晶体管的第二极和第十三晶体管的第二极通过该过孔与第二晶体管的栅电极(也是第八晶体管的栅电极)连接。

[0327] 在示例性实施方式中，如图33所示，第三十五过孔V35在基底上的正投影位于第三晶体管的栅电极在基底上的正投影的范围之内，第三十五过孔V35内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第三晶体管的栅电极的表面，第三十五过孔V35被配置为使后续形成的第五连接部通过该过孔与第三晶体管的栅电极连接。

[0328] 在示例性实施方式中，如图33所示，第三十六过孔V36在基底上的正投影位于第四晶体管的栅电极(也是第十六晶体管的栅电极和第三电容的第一极板)在基底上的正投影的范围之内，第三十六过孔V36内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第四晶体管的栅电极(也是第十六晶体管的栅电极和第三电容的第一极板)的表面，第三十六过孔V36被配置为使后续形成的第十五晶体管的第二极和第十六晶体管的第一极通过该过孔与第四晶体管的栅电极(也是第十六晶体管的栅电极和第三电容的第一极板)连接。

[0329] 在示例性实施方式中，如图33所示，第三十七过孔V37在基底上的正投影位于第五晶体管的栅电极在基底上的正投影的范围之内，第三十七过孔V37内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第五晶体管的栅电极的表面，第三十七过孔V37被配置为使后续形成的第二晶体管的第二极(也是第三晶体管的第二极和第十一晶体管的第一极)通过该过孔与第五晶体管的栅电极连接。

[0330] 在示例性实施方式中，如图33所示，第三十八过孔V38在基底上的正投影位于第六晶体管的栅电极(第一电容的第一极板)在基底上的正投影的范围之内，第三十八过孔V38内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第六晶体管的栅

电极(第一电容的第一极板)的表面，第三十八过孔V38被配置为使后续形成的第十一晶体管的第二极通过该过孔与第六晶体管的栅电极(第一电容的第一极板)连接。

[0331] 在示例性实施方式中，如图33所示，第三十九过孔V39在基底上的正投影位于第七晶体管的栅电极在基底上的正投影的范围之内，第三十九过孔V39内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第七晶体管的栅电极的表面，第三十九过孔V39被配置为使后续形成的第四连接部和第六晶体管的第一极通过该过孔与第七晶体管的栅电极连接。

[0332] 在示例性实施方式中，如图33所示，第四十过孔V40在基底上的正投影位于第九晶体管的栅电极(也是第十八晶体管的栅电极和第二电容的第一极板)在基底上的正投影的范围之内，第四十过孔V40内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第九晶体管的栅电极(也是第十八晶体管的栅电极和第二电容的第一极板)的表面，第四十过孔V40被配置为使后续形成的第七晶体管的第二极和第八晶体管的第二极通过该过孔与第九晶体管的栅电极(也是第十八晶体管的栅电极和第二电容的第一极板)连接。

[0333] 在示例性实施方式中，如图33所示，第四十一过孔V41在基底上的正投影位于第十晶体管的栅电极(也是第十七晶体管的栅电极)在基底上的正投影的范围之内，第四十一过孔V41内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十晶体管的栅电极(也是第十七晶体管的栅电极)的表面，第四十一过孔V41被配置为使后续形成的第十二晶体管的第二极和第十六晶体管的第二极通过该过孔与第十晶体管的栅电极(也是第十七晶体管的栅电极)连接。

[0334] 在示例性实施方式中，如图33所示，第四十二过孔V42在基底上的正投影位于第十一晶体管的栅电极(也是第十五晶体管的栅电极)在基底上的正投影的范围之内，第四十二过孔V42内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十一晶体管的栅电极(也是第十五晶体管的栅电极)的表面，第四十二过孔V42被配置为使后续形成的第三晶体管的第一极通过该过孔与第十一晶体管的栅电极(也是第十五晶体管的栅电极)连接。

[0335] 在示例性实施方式中，如图33所示，第四十三过孔V43在基底上的正投影位于第十二晶体管的栅电极在基底上的正投影的范围之内，第四十三过孔V43内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十二晶体管的栅电极的表面，第四十三过孔V43被配置为使后续形成的第十晶体管的第一极通过该过孔与第十二晶体管的栅电极连接。

[0336] 在示例性实施方式中，如图33所示，第四十四过孔V44在基底上的正投影位于第十三晶体管的栅电极在基底上的正投影的范围之内，第四十四过孔V44内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十三晶体管的栅电极的表面，第四十四过孔V44被配置为使后续形成的第七连接部通过该过孔与第十三晶体管的栅电极连接。

[0337] 在示例性实施方式中，如图33所示，第四十五过孔V45在基底上的正投影位于第十九晶体管的栅电极在基底上的正投影的范围之内，第四十五过孔V45内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第十九晶体管的栅电极的表面，第四十五过孔V45被配置为使后续形成的第八连接部通过该过孔与第十九晶体管的栅电极连接。

[0338] 在示例性实施方式中，如图33所示，第四十六过孔V46在基底上的正投影位于第四电容的第一极板在基底上的正投影的范围之内，第四十六过孔V46内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第四电容的第一极板的表面，第四十六过孔V46被配置为使后续形成的第十晶体管的第一极通过该过孔与第四电容的第一极板连接。

[0339] 在示例性实施方式中，如图33所示，第四十七过孔V47在基底上的正投影位于第一连接部在基底上的正投影的范围之内，第四十七过孔V47内的第二绝缘层和第三绝缘层被刻蚀掉，暴露出第一连接部的表面，第四十七过孔V47被配置为使后续形成的第四晶体管的第一极通过该过孔与第一连接部连接。

[0340] 在示例性实施方式中，如图33所示，第四十八过孔V48在基底上的正投影位于第一电容的第二极板在基底上的正投影的范围之内，第四十八过孔V48暴露出第一电容的第二极板的表面，第四十八过孔V48被配置为使后续形成的第六晶体管的第二极(也是第七晶体管的第一极)通过该过孔与第一电容的第二极板连接。

[0341] 在示例性实施方式中，如图33所示，第四十九过孔V49在基底上的正投影位于第二电容的第二极板在基底上的正投影的范围之内，第四十九过孔V49暴露出第二电容的第二极板的表面，第四十九过孔V49被配置为使后续形成的第五晶体管的第一极(也是第八晶体管的第一极、第九晶体管的第一极和第十三晶体管的第一极)通过该过孔与第二电容的第二极板连接。

[0342] 在示例性实施方式中，如图33所示，第五十过孔V50在基底上的正投影位于第三电容的第二极板在基底上的正投影的范围之内，第五十过孔V50暴露出第三电容的第二极板的表面，第五十过孔V50被配置为使后续形成的第四晶体管的第二极(也是第五晶体管的第二极)通过该过孔与第三电容的第二极板连接。

[0343] 在示例性实施方式中，如图33所示，第五十一过孔V51在基底上的正投影位于第四电容的第二极板在基底上的正投影的范围之内，第五十一过孔V51暴露出第四电容的第二极板的表面，第五十一过孔V51被配置为使后续形成的第九晶体管的第二极(也是第十晶体管的第二极)通过该过孔与第四电容的第二极板连接。

[0344] 在示例性实施方式中，如图33所示，第五十二过孔V52在基底上的正投影位于第二连接部在基底上的正投影的范围之内，第五十二过孔V52暴露出第二连接部的表面，第五十二过孔V52被配置为使后续形成的第十二晶体管的第一极通过该过孔与第二连接部连接。

[0345] (5)形成第三导电层图案。在示例性实施方式中，形成第三导电层图案可以包括：在形成前述图案的基底上，沉积第四导电薄膜，采用图案化工艺对第四导电薄膜进行图案化，形成设置在第三绝缘层上的第四导电层，如图34和图35所示，图34为图26中的第三导电层图案的示意图，图35为图26形成第三导电层图案后的示意图。示例性实施方式中，第三导电层可以称为第一源漏金属(SD1)层。

[0346] 在示例性实施方式中，如图34和图35所示，第三导电层图案可以至少包括：第一晶体管的第一极13和第二极14至第十九晶体管的第一极193和第二极194、第三连接部L3至第八连接部L8。

[0347] 在示例性实施方式中，如图34和图35所示，第一晶体管的第一极13和第十四晶体管的第一极143为一体结构。第一晶体管的第一极13(也是第十四晶体管的第一极143)的形状为呈“┘”。第一晶体管的第一极13(也是第十四晶体管的第一极

143)通过第一过孔与第一晶体管的有源图案的第一区连接，且通过第二十四过孔与第十四晶体管的有源图案的第一区连接。

[0348] 在示例性实施方式中，如图34和图35所示，第一晶体管的第二极14单独设置。第一晶体管的第二极14的形状为条状，且沿第二方向D2延伸。第一晶体管的第二极14通过第二过孔与第一晶体管的有源图案的第二区连接，且通过第三十四过孔与第二晶体管的栅电极(也是第八晶体管的栅电极)连接。

[0349] 在示例性实施方式中，如图34和图35所示，第二晶体管的第一极23单独设置。第二晶体管的第一极23的形状为条状，且沿第二方向D2延伸。第二晶体管的第一极23通过第三过孔与第二晶体管的有源图案的第一区连接，且通过第三十三过孔与第一晶体管的栅电极(也是第十四晶体管的栅电极)连接。

[0350] 在示例性实施方式中，如图34和图35所示，第二晶体管的第二极24、第三晶体管的第二极34和第十一晶体管的第一极113为一体结构。第二晶体管的第二极24、第三晶体管的第二极34和第十一晶体管的第一极113的一体结构为折线状，且至少部分沿第二方向D2延伸。第二晶体管的第二极24(也是第三晶体管的第二极34和第十一晶体管的第一极113)通过第四过孔与与第二晶体管的有源图案的第二区连接，通过第六过孔与第三晶体管的有源图案的第二区连接，通过第十九过孔与第十一晶体管的有源图案的第一区连接，且通过第三十七过孔与第五晶体管的栅电极连接。

[0351] 在示例性实施方式中，如图34和图35所示，第三晶体管的第一极33单独设置。第三晶体管的第一极33的形状为条状，且沿第二方向D2延伸。第三晶体管的第一极33通过第五过孔与第三晶体管的有源图案的第一区连接，且通过第四十二过孔与第十一晶体管的栅电极(也是第十五晶体管的栅电极)连接。

[0352] 在示例性实施方式中，如图34和图35所示，第四晶体管的第一极43单独设置。第四晶体管的第一极43的形状为条状，且至少部分沿第二方向D2延伸。第四晶体管的第一极43通过第七过孔与第四晶体管的有源图案的第一区连接，且通过第四十七过孔与第一连接部连接。

[0353] 在示例性实施方式中，如图34和图35所示，第四晶体管的第二极44和第五晶体管的第二极54为一体结构单独设置。第四晶体管的第二极44和第五晶体管的第二

极54一体结构的形状为折线状，且至少部分沿第二方向D2延伸。第四晶体管的第二极44(也是第五晶体管的第二极54)通过第八过孔与第四晶体管的有源图案的第二区连接，通过第十过孔与第五晶体管的有源图案的第二区连接，且通过第五十过孔与第三电容的第二极板连接。

[0354] 在示例性实施方式中，如图34和图35所示，第五晶体管的第一极53、第八晶体管的第一极83、第九晶体管的第一极93和第十三晶体管的第一极133为一体结构，第五晶体管的第一极53、第八晶体管的第一极83、第九晶体管的第一极93和第十三晶体管的第一极133的一体结构为折线形，且至少部分沿第二方向D2延伸。第五晶体管的第一极53(也是第八晶体管的第一极83、第九晶体管的第一极83和第十三晶体管的第一极133)通过第九过孔与第五晶体管的有源图案的第一区(也是第八晶体管的有源图案的第一区和第十三晶体管的有源图案的第一区)连接，通过第十五过孔与第九晶体管的有源图案的第一区连接，且通过第四十九过孔与第二电容的第二极板连接。

[0355] 在示例性实施方式中，如图34和图35所示，第六晶体管的第一极63单独设置。第六晶体管的第一极63的形状呈“I”字型。第六晶体管的第一极63通过第十一过孔与第六晶体管的有源图案的第一区连接，且通过第三十九过孔与第七晶体管的栅电极连接。

[0356] 在示例性实施方式中，如图34和图35所示，第六晶体管的第二极64和第七晶体管的第一极73为一体结构。第六晶体管的第二极64和第七晶体管的第一极73的一体结构的形状呈“ ⌐”字型。第六晶体管的第二极64(也是第七晶体管的第一极73)通过第十二过孔与第六晶体管的有源图案的第二区连接，通过第十三过孔与第七晶体管的有源图案的第一区连接，且通过第四十八过孔与第一电容的第二极板连接。

[0357] 在示例性实施方式中，如图34和图35所示，第七晶体管的第二极74和第八晶体管的第一极84为一体结构。第七晶体管的第二极74和第八晶体管的第一极84的一体结构的形状为条状，且沿第一方向D1延伸。第七晶体管的第二极74(也是第八晶体管的第一极84)通过第十四过孔与第七晶体管的有源图案的第二区(也是第八

晶体管的有源图案的第二区)连接，且通过第四十过孔与第九晶体管的栅电极(也是第十八晶体管的栅电极和第二电容的第一极板)连接。

[0358] 在示例性实施方式中，如图34和图35所示，第九晶体管的第二极94和第十晶体管的第一极104为一体结构。第九晶体管的第二极94和第十晶体管的第一极104的一体结构的形状为“┘”字型。第九晶体管的第二极94(也是第十晶体管的第一极104)通过第十六过孔与第九晶体管的有源图案的第二区连接，通过第十八过孔与第十晶体管的有源图案的第二区连接，且通过第五十一过孔与第四电容的第二极板连接。

[0359] 在示例性实施方式中，如图34和图35所示，第十晶体管的第一极103可以单独设置。第十晶体管的第一极103的形状折线状，且至少部分沿第二方向D2延伸。第十晶体管的第一极103通过第十七过孔与第十晶体管的有源图案的第一区连接，通过第四十三过孔与第十二晶体管的栅电极连接，且通过第四十六过孔与第四电容的第一极板连接。

[0360] 在示例性实施方式中，如图34和图35所示，第十一晶体管的第二极114可以单独设置。第十一晶体管的第二极114的形状为折线状，且至少部分沿第二方向D2延伸。第十一晶体管的第二极114通过第二十过孔与第十一晶体管的有源图案的第二区连接，且通过第三十八过孔与第六晶体管的栅电极(第一电容的第一极板)连接。

[0361] 在示例性实施方式中，如图34和图35所示，第十二晶体管的第一极123可以单独设置。第十二晶体管的第一极123的形状为条状，且沿第一方向D1延伸。第十二晶体管的第一极123通过第二十一过孔与第十二晶体管的有源图案的第一区连接，且通过第五十二过孔与第二连接部连接。

[0362] 在示例性实施方式中，如图34和图35所示，第十二晶体管的第二极124和第十六晶体管的第一极164为一体结构。第十二晶体管的第二极124和第十六晶体管的第一极164的一体结构的形状为条状，且沿第一方向D1延伸。第十二晶体管的第二极124(也是第十六晶体管的第一极164)通过第二十二过孔与第十二晶体管的有源图案的第二区(也是第十六晶体管的有源图案的第二区)连接，且通过第四十一过孔与第十晶体管的栅电极(也是第十七晶体管的栅电极)连接。

[0363] 在示例性实施方式中，如图34和图35所示，第十三晶体管的第二极134可以单独设置。第十三晶体管的第二极134的形状为条状，且沿第一方向D1延伸。第十三晶体管的第二极134通过第二十三过孔与第十三晶体管的有源图案的第二区连接，通过第三十四过孔与第二晶体管的栅电极(也是第八晶体管的栅电极)连接，且通过第五十二过孔与第二连接部连接。

[0364] 在示例性实施方式中，如图34和图35所示，第十四晶体管的第二极144和第十五晶体管的第一极153为一体结构。第十四晶体管的第二极144和第十五晶体管的第一极153的一体结构的形状呈向右旋转的“几”字型。第十四晶体管的第二极144(也是第十五晶体管的第一极153)通过第二十五过孔与第十四晶体管的有源图案的第二区连接，且通过第二十六过孔与第十五晶体管的有源图案的第一区连接。

[0365] 在示例性实施方式中，如图34和图35所示，第十五晶体管的第二极154可以单独设置。第十五晶体管的第二极154的形状为条状，且沿第二方向D2延伸。第十五晶体管的第二极154通过第二十七过孔与第十五晶体管的有源图案的第二区连接，且通过第三十六过孔与第四晶体管的栅电极(也是第十六晶体管的栅电极和第三电容的第一极板)连接。

[0366] 在示例性实施方式中，如图34和图35所示，第十六晶体管的第一极163可以单独设置。第十六晶体管的第一极163的形状为条状，且沿第一方向D1延伸。第十六晶体管的第一极163通过第二十八过孔与第十六晶体管的有源图案的第一区连接，且通过第三十六过孔与第四晶体管的栅电极(也是第十六晶体管的栅电极和第三电容的第一极板)连接。

[0367] 在示例性实施方式中，如图34和图35所示，第十七晶体管的第一极173可以单独设置。第十七晶体管的第一极173包括：第四连接段173A和至少一个第四分支段173B，至少一个第四分支段173B位于第四连接段173A靠近显示区的一侧，且与第四连接段173A连接。第十七晶体管的第一极173呈梳状结构，第四连接段173A的形状为“┘”字型，相当于“梳背”，第四分支段173B沿第一方向D1延伸，至少一个第四分支段173B沿第二方向D2排布，相当于“梳齿”。第十七晶体管的第一极173通过第二十九过孔与第十七晶体管的有源图案的第一区连接。

[0368] 在示例性实施方式中，如图34和图35所示，第十七晶体管的第二极174和第十八晶体管的第一极183为一体结构。第十七晶体管的第二极174和第十八晶体管的第一极183的一体结构的形状呈梳状结构。第十七晶体管的第二极174和第十八晶体管的第一极183的一体结构包括：第五连接段174A和至少一个第五分支段174B，至少一个第五分支段174B与第五连接段174A连接，且位于第五连接段174A远离显示区的一侧，第五连接段174A的形状为条状，且沿第二方向D2延伸，相当于“梳背”，至少一个第五分支段174B的形状为条状，且沿第一方向D1延伸，至少一个第五分支段174B沿第二方向D2排布，相当于“梳齿”。第十七晶体管的第二极174(也是第十八晶体管的第一极183)通过第三十过孔与第十七晶体管的有源图案的第二区(也是第十八晶体管的有源图案的第一区)连接。

[0369] 在示例性实施方式中，如图34和图35所示，第十八晶体管的第二极184和第十九晶体管的第二极194为一体结构。第十八晶体管的第二极184和第十九晶体管的第二极194的一体结构的形状呈梳状结构。第十八晶体管的第二极184和第十九晶体管的第二极194的一体结构包括：第六连接段184A和至少一个第六分支段184B，至少一个第六分支段184B与第六连接段184A连接，且位于第六连接段184A靠近显示区的一侧，第六连接段184A的形状为条状，且沿第二方向D2延伸，相当于“梳背”，至少一个第六分支段184B的形状为条状，且沿第一方向D1延伸，至少一个第六分支段184B沿第二方向D2排布，相当于“梳齿”。第十八晶体管的第二极184(也是第十九晶体管的第二极194)通过第三十一过孔与第十八晶体管的有源图案的第二区(也是第十九晶体管的有源图案的第二区)连接。

[0370] 在示例性实施方式中，如图34和图35所示，第十九晶体管的第一极193可以单独设置。第十九晶体管的第一极193的形状为向左旋转的“n”字型，其开口背离显示区。第十九晶体管的第一极193通过第三十二过孔与第十九晶体管的有源图案的第一区连接。

[0371] 在示例性实施方式中，如图34和图35所示，第三连接部L3单独设置。第三连接部L3的形状为条状，且沿第二方向D2延伸。第三连接部L3通过第三十三过孔与第一晶体管的栅电极(也是第十四晶体管的栅电极)连接。

[0372] 在示例性实施方式中，如图34和图35所示，第四连接部L4单独设置。第四连接部L4的形状为条状，且沿第二方向D2延伸。第四连接部L4通过第三十九过孔与第七晶体管的栅电极连接。

[0373] 在示例性实施方式中，如图34和图35所示，第五连接部L5单独设置。第五连接部L5的形状为条状，且沿第二方向D2延伸。第五连接部L5通过第三十五过孔与第三晶体管的栅电极连接。

[0374] 在示例性实施方式中，如图34和图35所示，第六连接部L6单独设置。第六连接部L6的形状为条状，且沿第二方向D2延伸。第六连接部L6通过第三十九过孔与第七晶体管的栅电极连接。

[0375] 在示例性实施方式中，如图34和图35所示，第七连接部L7单独设置。第七连接部L的形状为条状，且沿第一方向D1延伸。第七连接部L7通过第四十四过孔与第十三晶体管的栅电极连接。

[0376] 在示例性实施方式中，如图34和图35所示，第八连接部L8单独设置。第八连接部L8的形状为条状，且沿第二方向D2延伸。第八连接部L8通过第四十五过孔与第十九晶体管的栅电极连接。

[0377] (6)形成第四绝缘层图案。在示例性实施方式中，形成第四绝缘层图案可以包括：

[0378] 在形成有前述图案的基底上，沉积第四绝缘薄膜，通过图案化工艺对第四绝缘薄膜进行构图，形成覆盖前述结构的第四绝缘层图案，第四绝缘层开设有多个过孔图案，如图36所示，图36为图26形成第四绝缘层图案后的示意图。

[0379] 在示例性实施方式中，如图36所示，每个移位寄存器的第四绝缘层图案可以至少包括：第五十二过孔V52至第六十四过孔V64。

[0380] 在示例性实施方式中，如图36所示，第五十二过孔V52在基底上的正投影位于第三连接部在基底上的正投影的范围之内，第五十二过孔V52暴露出第三连接部的表面，第五十二过孔V52被配置为使后续形成的第一时钟信号线和第二时钟信号线的其中一条信号线通过该过孔与第三连接部连接。图36是以第五十二过孔V52被配置为使后续形成的第一时钟信号线通过该过孔与第三连接部连接为例进行说明的。

[0381] 在示例性实施方式中，如图36所示，第五十三过孔V53在基底上的正投影位于第位于连接部在基底上的正投影的范围之内，第五十三过孔V53暴露出第五连接部的表面，第五十三过孔V53被配置为使后续形成的第一时钟信号线和第二时钟信号线的其中一条信号线通过该过孔与第五连接部连接。图36是以第五十三过孔V53被配置为使后续形成的第一时钟信号线通过该过孔与第五连接部连接为例进行说明的。

[0382] 在示例性实施方式中，如图36所示，第五十四过孔V54在基底上的正投影位于第四晶体管的第一极在基底上的正投影的范围之内，第五十四过孔V54暴露出第四晶体管的第一极的表面，第五十四过孔V54被配置为使后续形成的第一时钟信号线和第二时钟信号线的另一条信号线通过该过孔与第四晶体管的第一极连接。图36是以第五十四过孔V54被配置为使后续形成的第二时钟信号线通过该过孔与第四晶体管的第一极连接为例进行说明的。

[0383] 在示例性实施方式中，如图36所示，第五十五过孔V55在基底上的正投影位于第四连接部在基底上的正投影的范围之内，第五十五过孔V55暴露出第四连接部的表面，第五十五过孔V55被配置为使后续形成的第一时钟信号线和第二时钟信号线的另一条信号线通过该过孔与第四连接部连接。图36是以第五十五过孔V55被配置为使后续形成的第二时钟信号线通过该过孔与第四连接部连接为例进行说明的。

[0384] 在示例性实施方式中，如图36所示，第五十六过孔V56在基底上的正投影位于第三晶体管的第一极在基底上的正投影的范围之内，第五十六过孔V56暴露出第三晶体管的第一极的表面，第五十六过孔V56被配置为使后续形成的第一条第二电源线通过该过孔与第三晶体管的第一极连接。

[0385] 在示例性实施方式中，如图36所示，第五十七过孔V57在基底上的正投影位于第四晶体管的第二极(也是第五晶体管的第二极)在基底上的正投影的范围之内，第五十七过孔V57暴露出第四晶体管的第二极(也是第五晶体管的第二极)的表面，第五十七过孔V57被配置为使后续形成的第九连接部通过该过孔与第四晶体管的第二极(也是第五晶体管的第二极)连接。

[0386] 在示例性实施方式中，如图36所示，第五十八过孔V58在基底上的正投影位于第六连接部在基底上的正投影的范围之内，第五十八过孔V58暴露出第六连接部的表面，第五十八过孔V58被配置为使后续形成的第三电源线通过该过孔与第六连接部连接。

[0387] 在示例性实施方式中，如图36所示，第五十九过孔V59在基底上的正投影位于第七连接部在基底上的正投影的范围之内，第五十九过孔V59暴露出第七连接部的表面，第五十九过孔V59被配置为使后续形成的第三电源线通过该过孔与第七连接部连接。

[0388] 在示例性实施方式中，如图36所示，第六十过孔V60在基底上的正投影位于第十晶体管的第一极在基底上的正投影的范围之内，第六十过孔V60暴露出第十晶体管的第一极的表面，第六十过孔V60被配置为使后续形成的第二条第二电源线通过该过孔与第十晶体管的第一极连接。

[0389] 在示例性实施方式中，如图36所示，第六十一过孔V61在基底上的正投影位于第十七晶体管的第一极在基底上的正投影的范围之内，第六十一过孔V61暴露出第十七晶体管的第一极的表面，第六十一过孔V61被配置为使后续形成的第二条第二电源线通过该过孔与第十七晶体管的第一极连接。

[0390] 在示例性实施方式中，如图36所示，第六十二过孔V62在基底上的正投影位于第五晶体管的第一极(也是第八晶体管的第一极、第九晶体管的第一极和第十三晶体管的第一极)在基底上的正投影的范围之内，第六十二过孔V62暴露出第五晶体管的第一极(也是第八晶体管的第一极、第九晶体管的第一极和第十三晶体管的第一极)的表面，第六十二过孔V62被配置为使后续形成的第一电源线通过该过孔与第五晶体管的第一极(也是第八晶体管的第一极、第九晶体管的第一极和第十三晶体管的第一极)连接。

[0391] 在示例性实施方式中，如图36所示，第六十三过孔V63在基底上的正投影位于第十九晶体管的第一极在基底上的正投影的范围之内，第六十三过孔V63暴露出第十九晶体管的第一极的表面，第六十三过孔V63被配置为使后续形成的第一电源线通过该过孔与第十九晶体管的第一极连接。

[0392] 在示例性实施方式中，如图36所示，第六十四过孔V64在基底上的正投影位于第八连接部在基底上的正投影的范围之内，第六十四过孔V64暴露出第八连接部的表面，第六十四过孔V64被配置为使后续形成的扫描控制信号线通过该过孔与第八连接部连接。

[0393] (7)形成第四导电层图案。在示例性实施方式中，形成第四导电层图案可以包括：在形成前述图案的基底上，沉积第四导电薄膜，采用图案化工艺对第四导电薄膜进行图案化，形成设置在第四绝缘层上的第四导电层，如图37和图38所示，图37为图26中的第四导电层图案的示意图，图38为图26形成第四导电层图案后的示意图。示例性实施方式中，第四导电层可以称为第二源漏金属(SD2)层。

[0394] 在示例性实施方式中，如图37和图38所示，位于每个移位寄存器的第四导电层图案可以至少包括：第一时钟信号线CLK1、第二时钟信号线CLK2、第一电源线VGH、两条第二电源线VGL、第三电源线VCX、扫描控制信号线MSL和第九连接部L9。

[0395] 在示例性实施方式中，如图37和图38所示，第一时钟信号线CLK1、第二时钟信号线CLK2、第一条第二电源线VGL、第三电源线VCX、第二条第二电源线VGL、第一电源线VGH和扫描控制信号线MSL沿靠近显示区的方向依次排布。第九连接部L9位于第一条第二电源线VGL和第三电源线VCX之间。

[0396] 在示例性实施方式中，如图37和图38所示，第一时钟信号线CLK1的形状可以为主体部分沿着第二方向D2延伸的线形状。第一时钟信号线CLK1通过第五十二过孔与第三连接部连接，且通过第五十三过孔与与第五连接部连接。

[0397] 在示例性实施方式中，如图37和图38所示，第二时钟信号线CLK2的形状可以为主体部分沿着第二方向D2延伸的线形状。第二时钟信号线CLK2通过第五十四过孔与第四晶体管的第一极连接，且通过第五十五过孔与第四连接部连接。

[0398] 在示例性实施方式中，如图37和图38所示，第一条第二电源线VGL的形状可以为主体部分沿着第二方向D2延伸的线形状。第一条第二电源线VGL通过第五十六过孔与第四晶体管的第一极连接，且通过第五十五过孔与第三晶体管的第一极连接。

[0399] 在示例性实施方式中，如图37和图38所示，第三电源线VCX的形状可以为主体部分沿着第二方向D2延伸的线形状。第三电源线VCX通过第五十八过孔与第六连接部连接，且通过第五十九过孔与第七连接部连接。

[0400] 在示例性实施方式中，如图37和图38所示，第二条第二电源线VGL的形状可以为主体部分沿着第二方向D2延伸的线形状。第二条第二电源线VGL通过第六十过孔与第十晶体管的第一极连接，且通过第六十一过孔与第十七晶体管的第一极连接。

[0401] 在示例性实施方式中，如图37和图38所示，第一电源线VGH的形状可以为主体部分沿着第二方向D2延伸的线形状。第一电源线VGH通过第六十二过孔与第五晶体管的第一极(也是第八晶体管的第一极、第九晶体管的第一极和第十三晶体管的第一极)连接，且通过第六十三过孔与第十九晶体管的第一极连接。

[0402] 在示例性实施方式中，如图37和图38所示，扫描控制信号线MSL的形状可以为主体部分沿着第二方向D2延伸的线形状。扫描控制信号线MSL通过第六十四过孔与第八连接部连接。

[0403] 在示例性实施方式中，扫描控制信号线MSL的线宽小于第一电源线VGH和第二电源线VGL中任一信号线的线宽。

[0404] 在示例性实施方式中，第三电源线VCX的线宽小于第一电源线VGH和第二电源线VGL中任一信号线的线宽。

[0405] 在示例性实施方式中，第一时钟信号线CLK1和第二时钟信号线CLK2的线宽小于第一电源线VGH和第二电源线VGL中任一信号线的线宽。

[0406] (8)形成平坦层。在示例性实施方式中，形成平坦层图案可以包括：在形成有前述图案的基底上，沉积第五绝缘薄膜，涂覆平坦薄膜，通过图案化工艺对第五绝缘薄膜和平坦薄膜进行构图，形成覆盖前述结构的第五绝缘层图案和覆盖第五绝缘层图案的平坦层图案。

[0407] 至此，在基底上制备完成驱动电路层。在平行于显示基板的平面内，驱动电路层可以包括多个移位寄存器，移位寄存器与第一时钟信号线、第二时钟信号线、第一电源线、第二电源线、第三电源线和扫描控制信号线电连接。在垂直于显示基板的平面内，驱动电路层可以设置在基底上，基底可以包括叠设的第一

柔性层、阻挡层、基底导电层和第二柔性层。驱动电路层可以包括在基底上依次设置的半导体层、第一绝缘层、第一导电层、第二绝缘层、第三导电层、第四绝缘层、第四导电层、第五绝缘层和平坦层。半导体层可以至少包括第一晶体管至第十九晶体管的有源图案，第一导电层可以至少包括第一晶体管至第十九晶体管的栅电极以及第一电容的第一极板至第四电容的第一极板，第二导电层可以至少包括第一电容的第二极板至第四电容的第二极板，第三导电层可以至少包括第一晶体管至第十九晶体管中任一晶体管的第一极和第二极，第四导电层可以至少包括：第一时钟信号线、第二时钟信号线、第一电源线、第二电源线、第三电源线和扫描控制信号线。

[0408] 在示例性实施方式中，基底可以为刚性基底或柔性基底，其中，刚性基底可以为但不限于玻璃、金属箔片中的一种或多种；柔性基底可以为但不限于聚对苯二甲酸乙二醇酯、对苯二甲酸乙二醇酯、聚醚醚酮、聚苯乙烯、聚碳酸酯、聚芳基酸酯、聚芳酯、聚酰亚胺、聚氯乙烯、聚乙烯、纺织纤维中的一种或多种。

[0409] 在示例性实施方式中，柔性基底可以包括叠设的第一柔性材料层、第一无机材料层、半导体层、第二柔性材料层和第二无机材料层。第一、第二柔性材料层的材料可以采用聚酰亚胺(PI)、聚对苯二甲酸乙二酯(PET)或经表面处理的聚合物软膜等材料，第一、第二无机材料层的材料可以采用氮化硅(SiNx)或氧化硅(SiOx)等，用于提高基底的抗水氧能力，第一、第二无机材料层也称为阻挡(Barrier)层，半导体层的材料可以采用非晶硅(a-si)。在示例性实施方式中，以叠层结构PI1/Barrier1/a-si/PI2/Barrier2为例，其制备过程可以包括：先在玻璃载板上涂布一层聚酰亚胺，固化成膜后形成第一柔性(PI1)层；随后在第一柔性层上沉积一层阻挡薄膜，形成覆盖第一柔性层的第一阻挡(Barrier1)层；然后在第一阻挡层上沉积一层非晶硅薄膜，形成覆盖第一阻挡层的非晶硅(a-si)层；然后在非晶硅层上再涂布一层聚酰亚胺，固化成膜后形成第二柔性(PI2)层；然后在第二柔性层上沉积一层阻挡薄膜，形成覆盖第二柔性层的第二阻挡(Barrier2)层，完成基底的制备。

[0410] 在示例性实施方式中，半导体层可以为非晶硅层或者多晶硅层，或者可以为金属氧化物层。其中，金属氧化物层可以采用包含铟和锡的氧化物、包含钨和铟的氧化物、包含钨和铟和锌的氧化物、包含钛和铟的氧化物、包含钛和铟和锡的氧化物、包含铟和锌的氧化物、包含硅和铟和锡的氧化物或者包含铟或镓和锌的氧化物。金属氧化物层可以单层，或者可以是双层，或者可以是多层。

[0411] 在示例性实施方式中，第一导电层、第二导电层、第三导电层和第四导电层可以采用金属材料，如银(Ag)、铜(Cu)、铝(Al)和钼(Mo)中的任意一种或多种，或上述金属的合金材料，如铝钕合金(AlNd)或钼铌合金(MoNb)，可以是单层结构，或者多层复合结构，如Mo/Cu/Mo等。

[0412] 在示例性实施方式中，第一绝缘层、第二绝缘层、第三绝缘层和第四绝缘层可以采用硅氧化物(SiOx)、硅氮化物(SiNx)和氮氧化硅(SiON)中的任意一种或多种，可以是单层、多层或复合层。第一绝缘层和第二绝缘层可以称为栅绝缘(GI)层，第三绝缘层可以称为层间绝缘(ILD)层，第四绝缘层可以称为钝化(PVX)层。

[0413] 在示例性实施方式中，平坦层和平坦层可以采用有机材料，如树脂等。

[0414] 在示例性实施方式中，制备完成驱动电路层后，在驱动电路层上制备发光结构层，发光结构层的制备过程可以包括如下操作。

[0415] 在形成前述图案的基底上，沉积阳极导电薄膜，采用图案化工艺对阳极导电薄膜进行图案化，形成设置在第二平坦层上的阳极导电层图案，在形成前述图案的基底上，沉积像素定义薄膜，通过图案化工艺对像素定义薄膜进行图案化，形成暴露出阳极导电层图案的像素定义层图案，在形成有像素定义层图案的基底上，涂覆有机发光材料，通过图案化工艺对有机发光材料进行图案化，形成有机结构层图案，在形成有机材料层图案的基底上，沉积阴极导电薄膜，通过图案化工艺对阴极导电薄膜进行图案化，形成阴极导电层。

[0416] 至此，在基底上制备完成发光结构层。

[0417] 在示例性实施方式中，阳极导电层至少包括多个阳极图案。其中，多个阳极图案可以包括第一发光器件的阳极、第二发光器件的阳极、第三发光器件的阳极和第四发光器件的阳极，第一发光器件的阳极位于出射红色光线的红色子像素，第二发光器件的阳极可以位于出射蓝色光线的蓝色子像素，第三发光器件的

阳极可以位于出射绿色光线的第一绿色子像素，第四发光器件的阳极可以位于出射绿色光线的第二绿色子像素。

[0418] 在示例性实施方式中，第一发光器件的阳极和第二发光器件的阳极可以沿着第一方向D1交替设置，第三发光器件的阳极和第四发光器件的阳极可以沿着第一方向D1交替设置。或者，第一发光器件的阳极和第二发光器件的阳极可以沿着第二方向D2交替设置，第三发光器件的阳极和第四发光器件的阳极可以沿着第二方向D2交替设置。

[0419] 在示例性实施方式中，一个像素单元中四个子像素的阳极形状和面积可以相同，或者可以不同。

[0420] 在示例性实施方式中，阳极导电层采用单层结构，如氧化铟锡ITO或氧化铟锌IZO，或者可以采用多层复合结构，如ITO/Ag/ITO等。

[0421] 在示例性实施方式中，有机结构层至少可以包括：发光器件的有机发光层。

[0422] 在示例性实施方式中，阴极导电层至少可以包括：多个发光器件的阴极。

[0423] 在示例性实施方式中，阴极层可以采用金属材料，如银(Ag)、铜(Cu)、铝(Al)和钼(Mo)中的任意一种或更多种，或上述导电的合金材料，如铝钕合金(AlNd)或钼铌合金(MoNb)，可以是单层结构，或者多层复合结构，如Mo/Cu/Mo等。示例性地，第四导电层可以为钛、铝和钛形成的三层堆叠结构。

[0424] 本公开实施例通过的显示基板可以适用于任何分辨率的显示产品中。

[0425] 在示例性实施方式中，后续制备流程可以包括：在阴极导电层上形成封装结构层，封装结构层可以包括叠设的第一封装层、第二封装层和第三封装层，第一封装层和第三封装层可以采用无机材料，第二封装层可以采用有机材料，第二封装层设置在第一封装层和第三封装层之间，可以保证外界水汽无法进入发光结构层。

[0426] 本公开实施例还提供了一种显示装置，该显示装置可以包括：显示基板。

[0427] 显示基板为前述任一个实施例提供的显示基板，实现原理和实现效果类似，在此不再赘述。

[0428] 在示例性实施方式中，显示装置可以为可穿戴设备、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0429] 本公开实施例附图只涉及本公开实施例涉及到的结构，其他结构可参考通常设计。

[0430] 为了清晰起见，在用于描述本公开的实施例的附图中，层或微结构的厚度和尺寸被放大。可以理解，当诸如层、膜、区域或基板之类的元件被称作位于另一元件“上”或“下”时，该元件可以“直接”位于另一元件“上”或“下”，或者可以存在中间元件。

[0431] 虽然本公开所揭露的实施方式如上，但所述的内容仅为便于理解本公开而采用的实施方式，并非用以限定本公开。任何本公开所属领域内的技术人员，在不脱离本公开所揭露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本公开的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

权利要求书

[权利要求 1] 一种移位寄存器，包括：级联输出子电路和扫描输出子电路；

所述级联输出子电路，分别与信号输入端、第一时钟信号端、第二时钟信号端、第一电源端、第二电源端、级联输出端、第一节点和第二节点电连接，被配置为在信号输入端、第一时钟信号端和第二时钟信号端的信号的控制下，向第一节点和第二节点提供信号，在第一节点和第二节点的信号的控制下，向级联输出端提供第一电源端或第二电源端的信号；

所述扫描输出子电路，分别与扫描控制信号端、第一电源端、第二电源端、扫描输出端、第一节点和第二节点电连接，被配置为在第一节点、第二节点和扫描控制信号端的信号的控制下，向扫描输出端提供第一电源端或者第二电源端的信号。

[权利要求 2] 根据权利要求1所述的移位寄存器，其中，所述扫描输出子电路包括：第一输出控制子电路和第二输出控制子电路；

所述第一输出控制子电路，分别与第二电源端、扫描输出端和第二节点电连接，被配置为在第二节点的信号的控制下，向扫描输出端提供第二电源端的信号；

所述第二输出控制子电路，分别与扫描控制信号端、第一电源端、扫描输出端和第一节点电连接，被配置为在扫描控制信号端和第一节点的信号的控制下，向扫描输出端提供第一电源端的信号。

[权利要求 3] 根据权利要求2所述的移位寄存器，其中，所述扫描输出子电路还包括：存储子电路；

存储子电路，分别与扫描输出端和第一电源端电连接，被配置为存储扫描输出端和第一电源端的信号之间的电压差。

[权利要求 4] 根据权利要求2所述的移位寄存器，其中，所述第一输出控制子电路包括：第十七晶体管；

第十七晶体管的控制极与第二节点电连接，第十七晶体管的第一极与第二电源端电连接，第十七晶体管的第二极与扫描输出端电连接。

[权利要求 5] 根据权利要求2所述的移位寄存器，其中，所述第二输出控制子电路包括：第十八晶体管和第十九晶体管；

第十八晶体管的控制极与第一节点电连接，第十八晶体管的第一极与第一电源端电连接，第十八晶体管的第二极与第三节点电连接；

第十九晶体管的控制极与扫描控制信号端电连接，第十九晶体管的第一极与扫描输出端电连接，第十九晶体管的第二极与第三节点电连接。

[权利要求 6] 根据权利要求2所述的移位寄存器，其中，所述第二输出控制子电路包括：第十八晶体管和第十九晶体管；

第十八晶体管的控制极与第一节点电连接，第十八晶体管的第一极与扫描输出端电连接，第十八晶体管的第二极与第三节点电连接；

第十九晶体管的控制极与扫描控制信号端电连接，第十九晶体管的第一极与第一电源端电连接，第十九晶体管的第二极与第三节点电连接。

[权利要求 7] 根据权利要求3所述的移位寄存器，其中，所述存储子电路包括：第五电容；

第五电容的第一极板与扫描输出端电连接，第五电容的第二极板与第一电源端电连接。

[权利要求 8] 根据权利要求1所述的移位寄存器，其中，所述级联输出子电路包括：第一晶体管至第十六晶体管以及第一电容至第四电容，第一电容至第四电容中的任一电容包括：第一极板和第二极板；

第一晶体管的控制极与第一时钟信号端电连接，第一晶体管的第一极与信号输入端电连接，第一晶体管的第二极与第四节点电连接；

第二晶体管的控制极与第四节点电连接，第二晶体管的第一极与第一时钟信号端电连接，第二晶体管的第二极与第五节点电连接；

第三晶体管的控制极与第一时钟信号端电连接，第三晶体管的第一极与第二电源端电连接，第三晶体管的第二极与第五节点电连接；

第四晶体管的控制极与第六节点电连接，第四晶体管的第一极与第二时钟信号端电连接，第四晶体管的第二极与第七节点电连接；

第五晶体管的控制极与第五节点电连接，第五晶体管的第一极与第一电源端电连接，第五晶体管的第二极与第七节点电连接；

第六晶体管的控制极与第九节点电连接，第六晶体管的第一极与第二时钟信号端电连接，第六晶体管的第二极与第八节点电连接；

第七晶体管的控制极与第二时钟信号端电连接，第七晶体管的第一极与第八节点电连接，第七晶体管的第二极与第一节点电连接；

第八晶体管的控制极与第四节点电连接，第八晶体管的第一极与第一电源端电连接，第八晶体管的第二极与第一节点电连接；

第九晶体管的控制极与第一节点电连接，第九晶体管的第一极与第一电源端电连接，第九晶体管的第二极与级联输出端电连接；

第十晶体管的控制极与第二节点电连接，第十晶体管的第一极与第二电源端电连接，第十晶体管的第二极与级联输出端电连接；

第十一晶体管的控制极与第二电源端电连接，第十一晶体管的第一极与第五节点电连接，第十一晶体管的第二极与第九节点电连接；

第十二晶体管的控制极与第二电源端电连接，第十二晶体管的第一极与第四节点电连接，第十二晶体管的第二极与第二节点电连接；

第十三晶体管的控制极与第三电源端电连接，第十三晶体管的第一极与第一电源端电连接，第十三晶体管的第二极与第四节点电连接；

第十四晶体管的控制极与第一时钟信号端电连接，第十四晶体管的第一极与信号输入端电连接，第十四晶体管的第二极与第十节点电连接；

第十五晶体管的控制极与第二电源端电连接，第十五晶体管的第一极与第十节点电连接，第十五晶体管的第二极与第六节点电连接；

第十六晶体管的控制极与第六节点电连接，第十六晶体管的第一极与第六节点电连接，第十六晶体管的第二极与第二节点电连接；

第一电容的第一极板与第九节点电连接，第一电容的第二极板与第八节点电连接；

第二电容的第一极板与第一节点电连接，第二电容的第二极板与第一电源端电连接；

第三电容的第一极板与第六节点电连接，第三电容的第二极板与第七节点电连接；

第四电容的第一极板与第二电源端电连接，第四电容的第二极板与级联输出端电连接。

[权利要求 9] 根据权利要求1或8所述的移位寄存器，其中，所述扫描输出子电路包括：第十七晶体管至第十九晶体管，或者，包括：十七晶体管至第十九晶体管和第五电容；

第十七晶体管的控制极与第二节点电连接，第十七晶体管的第一极与第二电源端电连接，第十七晶体管的第二极与扫描输出端电连接；

第十八晶体管的控制极与第一节点电连接，第十八晶体管的第一极与第一电源端电连接，第十八晶体管的第二极与第三节点电连接；

第十九晶体管的控制极与扫描控制信号端电连接，第十九晶体管的第一极与扫描输出端电连接，第十九晶体管的第二极与第三节点电连接；

第五电容的第一极板与扫描输出端电连接，第五电容的第二极板与第一电源端电连接。

[权利要求 10] 根据权利要求1或8所述的移位寄存器，其中，所述扫描输出子电路包括：第十七晶体管至第十九晶体管，或者包括：十七晶体管至第十九晶体管和第五电容；

第十七晶体管的控制极与第二节点电连接，第十七晶体管的第一极与第二电源端电连接，第十七晶体管的第二极与扫描输出端电连接；

第十八晶体管的控制极与第一节点电连接，第十八晶体管的第一极与扫描输出端电连接，第十八晶体管的第二极与第三节点电连接；

第十九晶体管的控制极与扫描控制信号端电连接，第十九晶体管的第一极与第一电源端电连接，第十九晶体管的第二极与第三节点电连接；

第五电容的第一极板与扫描输出端电连接，第五电容的第二极板与第一电源端电连接。

[权利要求 11] 一种显示基板，具有显示区和非显示区，其中，包括：位于所述非显示区的栅极驱动电路和位于所述显示区的阵列排布的子像素和多条栅线，所述子像素包括像素驱动电路和发光器件，所述栅线至少部分沿第一方向延伸，所述栅极驱动电路包括：多个级联的如权利要求1至10任一项所述的移位寄存器，所述像素驱动电路包括：多个晶体管；

至少一级移位寄存器的级联输出端与至少一级移位寄存器的信号输入端电连接；

所述栅线与所述至少一个晶体管的栅电极电连接，任一移位寄存器与至少一条栅线电连接。

[权利要求 12] 根据权利要求11所述的显示基板，其中，所述显示区被划分为多个显示子区，至少一个显示子区包括：至少一条栅线；任一个显示子区的显示模式包括：第一显示模式和第二显示模式，第一显示模式的刷新频率大于第二显示模式的刷新频率；

在显示子区的显示模式为第一显示模式的状态下，对于与显示子区内的栅线所连接的移位寄存器，级联输出端的信号为第一电平信号时，扫描控制信号端的信号的至少部分时间段为有效电平信号，扫描输出端的信号为第一电平信号；

在显示子区的显示模式为第二显示模式的状态下，对于与显示子区内的栅线所连接的移位寄存器，级联输出端的信号为第一电平信号时，扫描控制信号端的信号为无效电平信号，扫描输出端的信号为第二电平信号；

其中，所述第一电平信号的电压值大于所述第二电平信号的电压值。

[权利要求 13] 根据权利要求11或12所述的显示基板，还包括：位于所述非显示区的至少一条扫描控制信号线，所述扫描控制信号线至少部分沿第二方向延伸，所述第一方向和所述第二方向相交；

所有移位寄存器所连接的扫描控制信号端与所述至少一条扫描控制信号线电连接。

[权利要求 14] 根据权利要求13所述的显示基板，其中，所述扫描控制信号线的数量为一条，

所有移位寄存器所连接的扫描控制信号端与同一扫描控制信号线电连接。

[权利要求 15] 根据权利要求13所述的显示基板，其中，所述扫描控制信号线的数量为至少两条；

第$M*(k-1)+K*M(a-1)+1$级移位寄存器至$k*M+K*M(a-1)$级移位寄存器中的任一移位寄存器所连接的扫描控制信号端与第k条扫描控制信号线电连接，$1\leqslant k\leqslant K$，$1\leqslant a\leqslant N/M$，M为一条扫描控制信号线所连接的移位寄存器的级数，N为移位寄存器的总级数，K为扫描控制信号线的数量。

[权利要求 16] 根据权利要求15所述的显示基板，其中，所述显示基板所显示画面包括：多个显示帧，在任一显示帧，所述移位寄存器的扫描输出端的输出信号为脉冲信号，且脉冲信号的持续时间H满足如下关系式；

$H=L*[M*K-(M-1)]*h$

其中，L为任一级移位寄存器所连接的栅线的数量，h为单位时间，且等于相邻行子像素的刷新间隔时间。

[权利要求 17] 根据权利要求13所述的显示基板，还包括：位于所述非显示区的第一时钟信号线、第二时钟信号线、第一电源线、第二电源线和第三电源线；所述第一时钟信号线、所述第二时钟信号线、所述第一电源线、所述第二电源线和所述第三电源线中的任一条至少部分沿所述第二方向延伸；

任一级移位寄存器所连接的第一时钟信号端与第一时钟信号线和第二时钟信号线的其中一条电连接，任一级移位寄存器所连接的第二时钟信号端与第一时钟信号线和第二时钟信号线的另一条电连接，相邻移位寄存器所连接的第一时钟信号端所连接的时钟信号线不同，相邻移位寄存器所连接的第二时钟信号端所连接的时钟信号线不同，所有移位寄存器所连接的第一电源端与所述第一电源线电连接，所有移位寄存器所连接的第二电源端与所述第二电源线电连接，所有移位寄存器所连接的第三电源端与所述第三电源线电连接。

[权利要求 18] 根据权利要求17所述的显示基板，其中，所述扫描控制信号线位于所述第一时钟信号线、所述第二时钟信号线、所述第一电源线、所述第二电源线和所述第三电源线中的任一条靠近所述显示区的一侧。

[权利要求 19] 根据权利要求17或18所述的显示基板，其中，所述第二电源线的数量为两条，所述第一时钟信号线、所述第二时钟信号线、第一条第二电源线、所述第三电源线、第二条第二电源线和所述第一电源线沿靠近所述显示区的方向依次排布。

[权利要求 20] 根据权利要求19所述的显示基板，其中，所述移位寄存器包括：第十七晶体管至第十九晶体管；第十七晶体管至第十九晶体管沿所述第二方向排布；

所述第十七晶体管至第十九晶体管中的任一个晶体管的至少部分位于所述第一电源线和所述扫描控制信号线之间。

[权利要求 21] 根据权利要求20所述的显示基板，其中，任一晶体管包括：有源图案，所述第十七晶体管的有源图案沿第一方向的平均长度小于所述第十八晶体管和所述第十九晶体管的任一晶体管的有源图案沿第一方向的平均长度。

[权利要求 22] 根据权利要求17所述的显示基板，其中，所述第一电源线和所述第二电源线中的任一电源线的线宽大于所述扫描控制信号线的线宽。

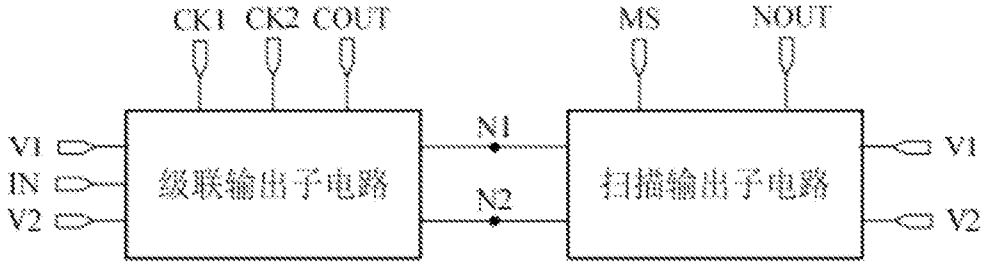
[权利要求 23] 一种显示装置，包括：如权利要求11至22任一项所述的显示基板。

[权利要求 24] 一种移位寄存器的驱动方法，被配置为驱动如权利要求1至10任一项所述的移位寄存器，所述方法包括：

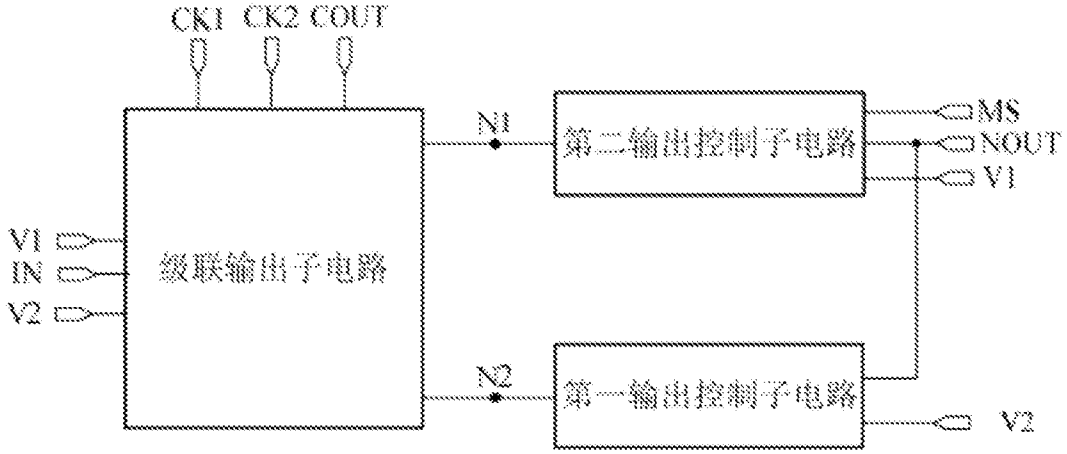
级联输出子电路在信号输入端、第一时钟信号端和第二时钟信号端的信号的控制下，向第一节点和第二节点提供信号，在第一节点和第二节点的信号的控制下，向级联输出端提供第一电源端或第二电源端的信号；

扫描输出子电路在第一节点、第二节点和扫描控制信号端的信号的控制下，向扫描输出端提供第一电源端或者第二电源端的信号。

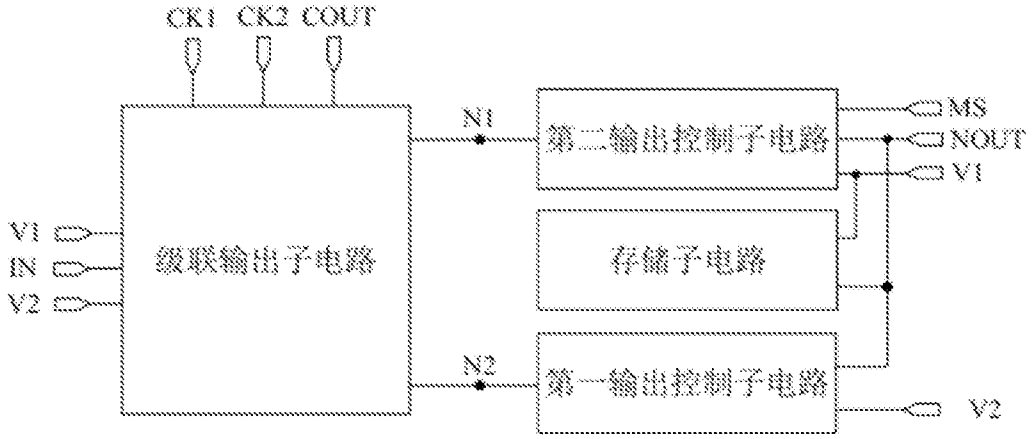
[图 1]


CK1
CK2
COUT
MS
NOUT
V1
IN
V2
级联输出子电路
N1
N2
扫描输出子电路
V1
V2

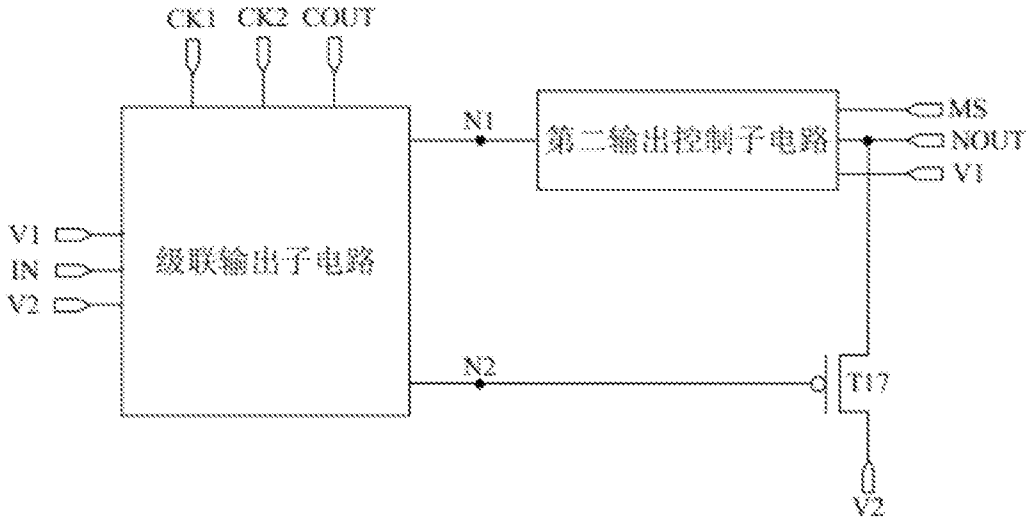
[图 2]


CK1
CK2
COUT
N1
第二输出控制子电路
MS
NOUT
V1
V1
IN
V2
级联输出子电路
N2
第一输出控制子电路
V2

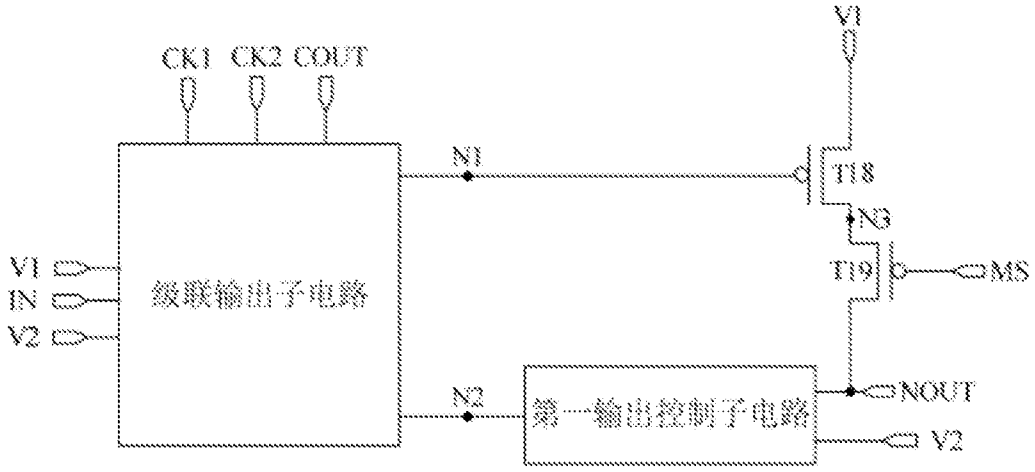
[图 3]


CK1
CK2
COUT
N1
第二输出控制子电路
MS
NOUT
V1
V1
IN
V2
级联输出子电路
存储子电路
N2
第一输出控制子电路
V2

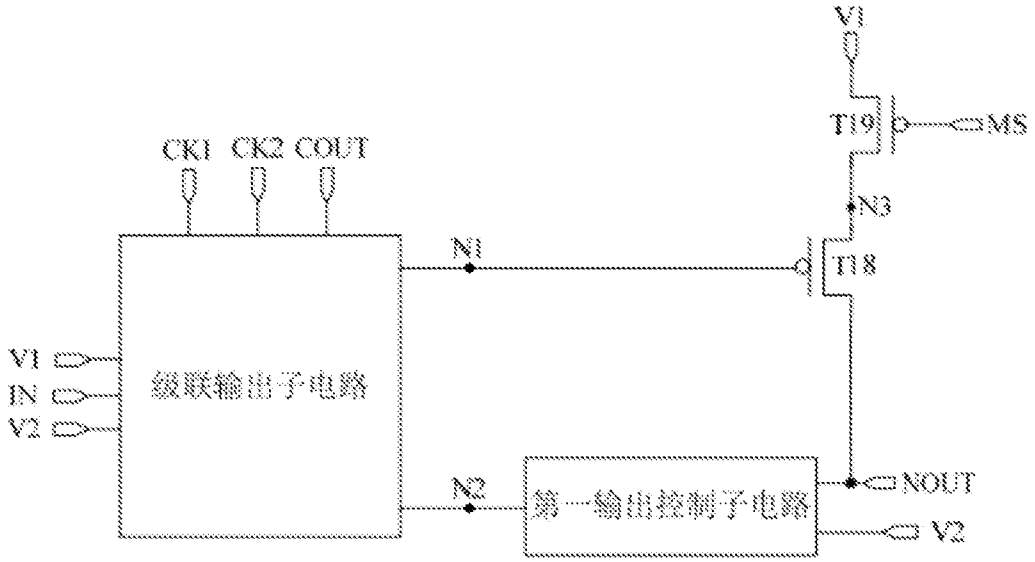
[图 4]


CK1
CK2
COUT
N1
第二输出控制子电路
MS
NOUT
V1
V1
IN
V2
级联输出子电路
N2
T17
V2

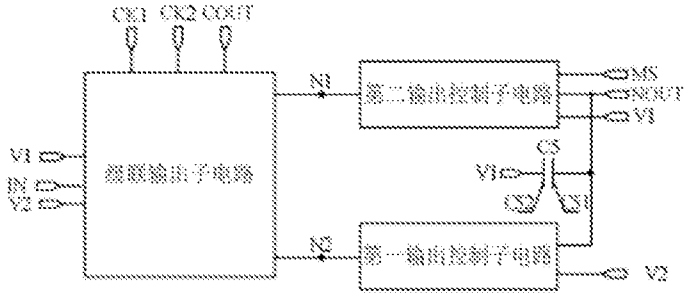
[图 5]


CK1
CK2
COUT
V1
IN
V2
级联输出子电路
N1
N2
V1
T18
N3
T19
MS
第一输出控制子电路
NOUT
V2

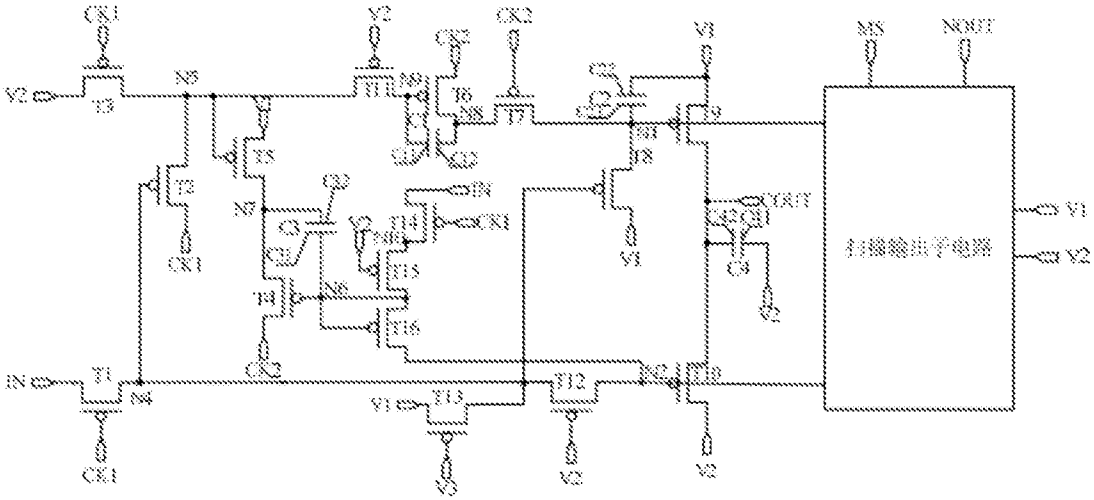
[图 6]


V1
T19
MS
CK1
CK2
COUT
N3
N1
T18
V1
IN
V2
级联输出子电路
N2
第一输出控制子电路
NOUT
V2

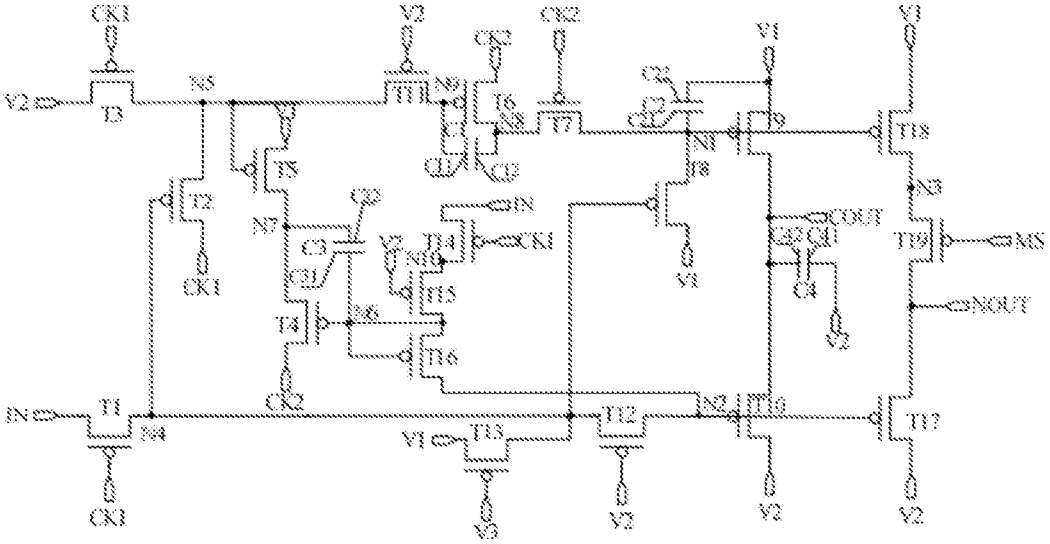
[图 7]


CK1
CK2
COUT
N1
第二输出控制子电路
MS
NOUT
V1
V1
IN
V2
级联输出子电路
C1
V1
C2
C3
N2
第一输出控制子电路
V2

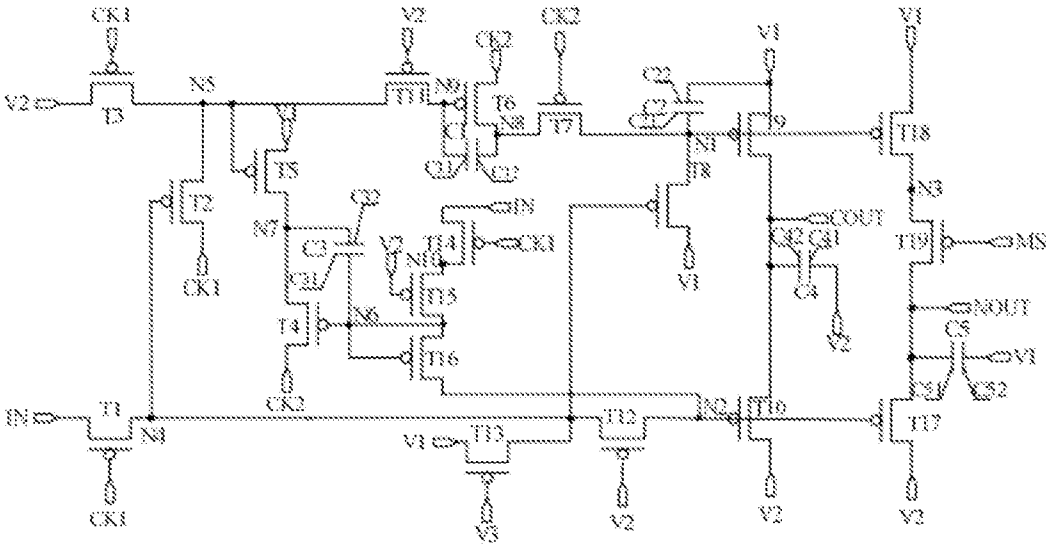
[图 8]


CK1
V2
CK2
V1
MS
NOUT
T3
N5
T11
N9
T6
N8
T7
C22
C2
N1
T9
T5
T8
T2
N7
C3
C32
IN
T14
CK1
COUT
C42
C41
C4
V1
V2
T15
T4
N6
T16
CK2
IN
T1
N4
V1
T13
T12
N2
T10
CK1
V3
V2
V2

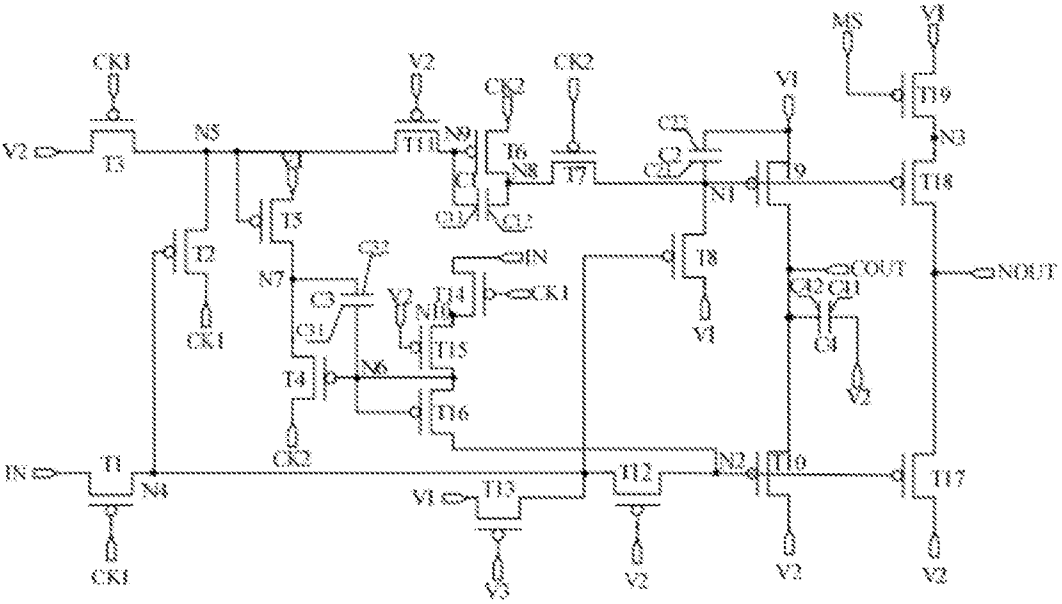
[图 9]


CK1
V2
CK2
V1
V1
T3
N5
T11
N9
T6
N8
T7
C22
C2
N1
T9
T18
T5
T8
N3
T2
N7
C3
C32
IN
T14
CK1
COUT
C42
C41
C4
T19
MS
NOUT
V1
V2
T15
T4
N6
T16
CK2
IN
T1
N4
V1
T13
T12
N2
T10
T17
CK1
V3
V2
V2
V2

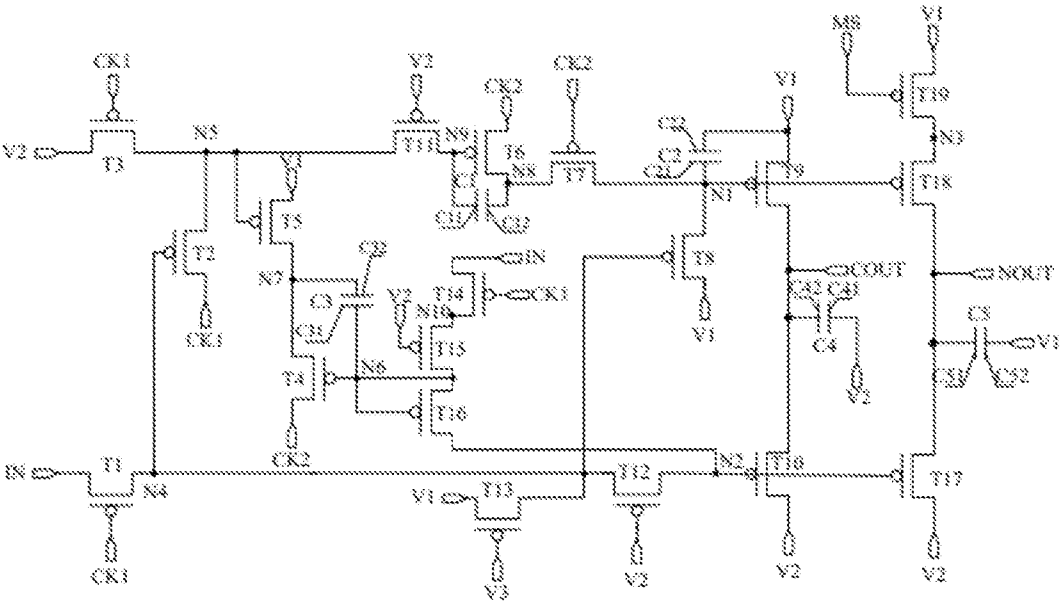
[图 10]


CK1
V2
CK2
V1
V1
T3
N5
T11
N9
T6
N8
T7
C22
C2
N1
T9
T18
T5
T8
N3
T2
N7
C3
C32
IN
T14
CK1
COUT
C42
C41
C4
T19
MS
NOUT
V1
V2
T15
T4
N6
T16
C5
V1
C51
C52
CK2
IN
T1
N4
V1
T13
T12
N2
T10
T17
CK1
V3
V2
V2
V2

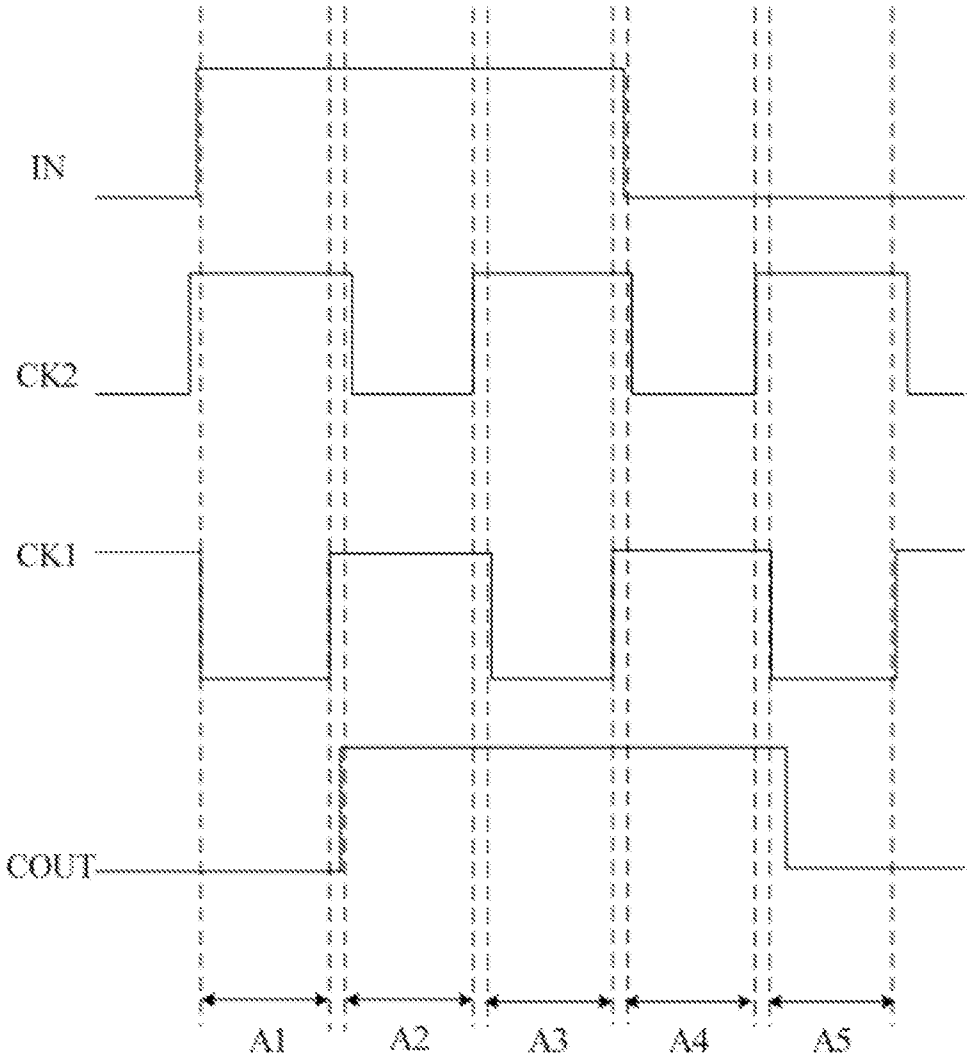
[图 11]


CK1
V2
T3
N5
V1
T5
T2
CK1
V2
T11
N9
CK2
T6
N8
C1
C11
C12
CK2
T7
C22
C2
C21
V1
N1
T9
MS
V1
T19
N3
T18
T8
V1
COUT
C42
C41
C4
V2
NOUT
N7
C3
C31
C22
V2
N10
T14
IN
CK1
T15
T4
N6
T16
CK2
IN
T1
N4
CK1
V1
T13
V3
T12
V2
N2
T10
V2
T17
V2

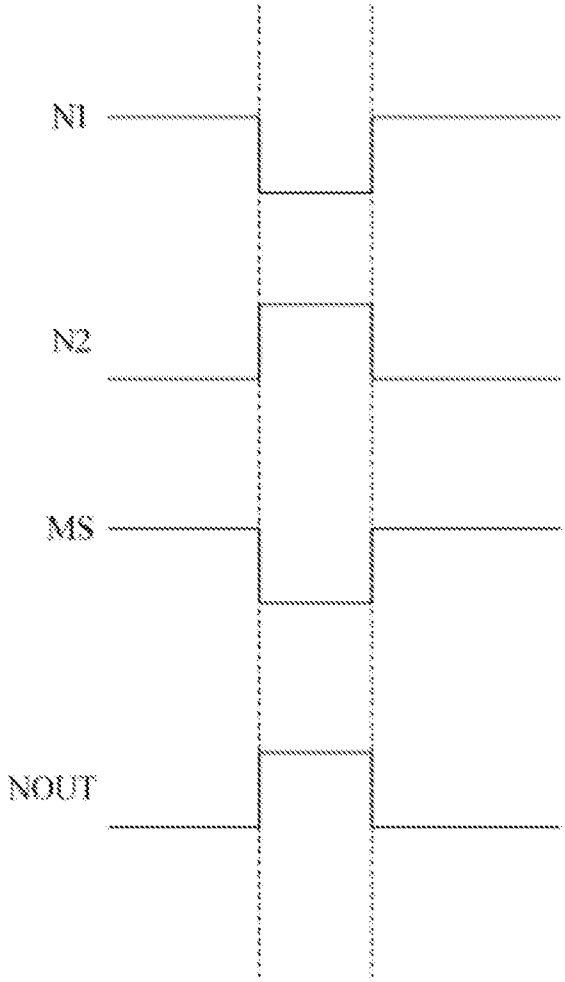
[图 12]


CK1
V2
T3
N5
V1
T5
T2
CK1
V2
T11
N9
CK2
T6
N8
C1
C11
C12
CK2
T7
C22
C2
C21
V1
N1
T9
MS
V1
T19
N3
T18
T8
V1
COUT
C42
C41
C4
V2
NOUT
C5
C51
C52
V1
N7
C3
C31
C22
V2
N10
T14
IN
CK1
T15
T4
N6
T16
CK2
IN
T1
N4
CK1
V1
T13
V3
T12
V2
N2
T10
V2
T17
V2

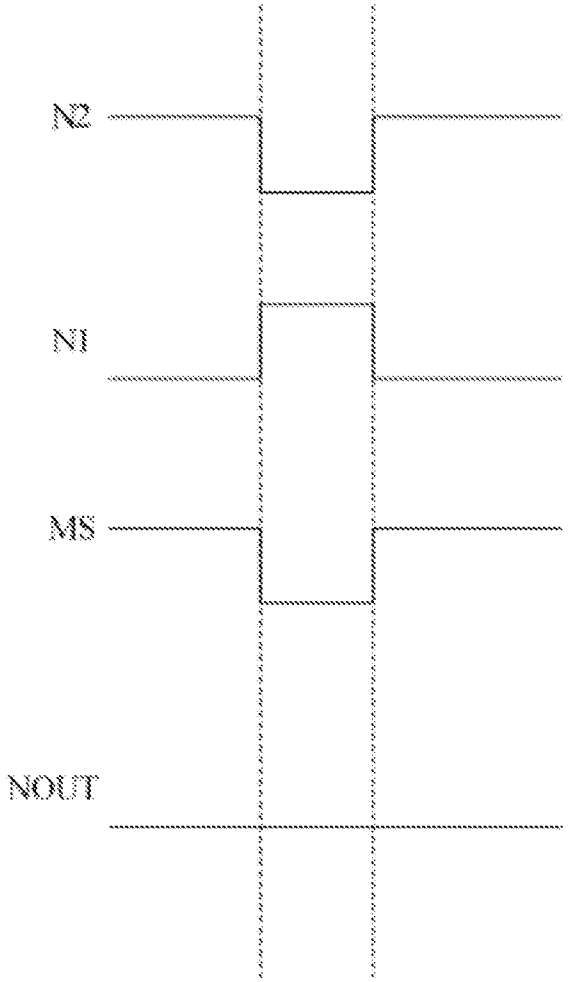
[图 13]



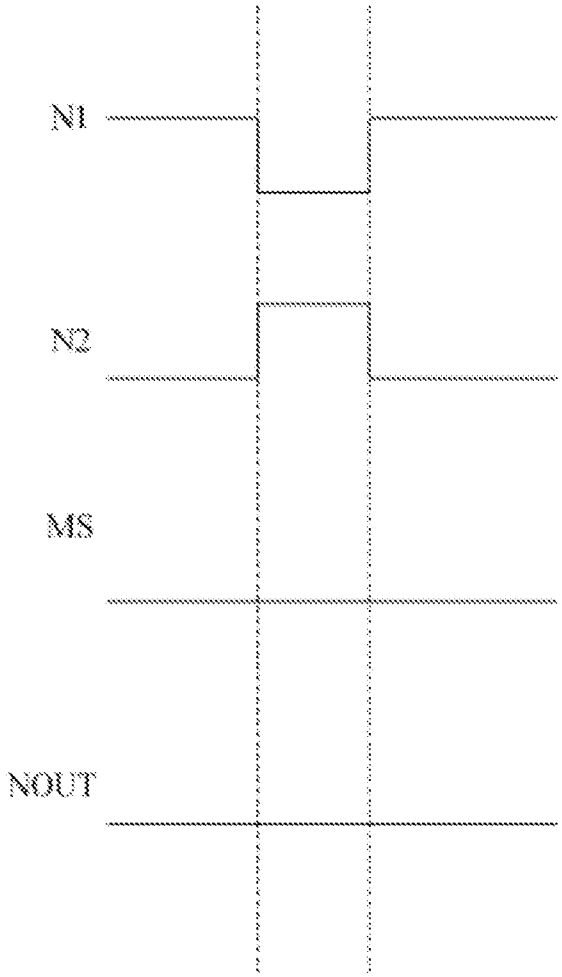
[图 14]



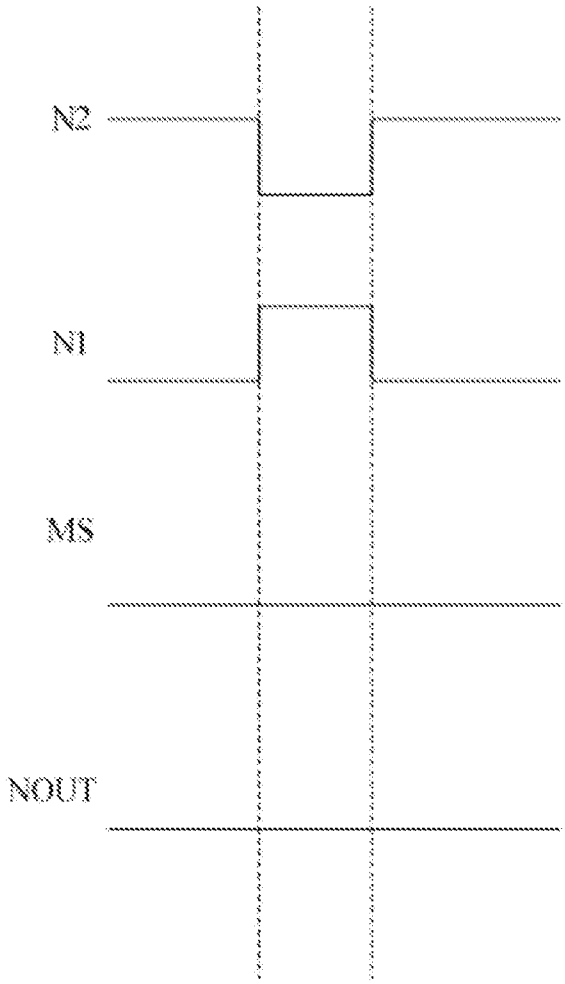
[图 15]



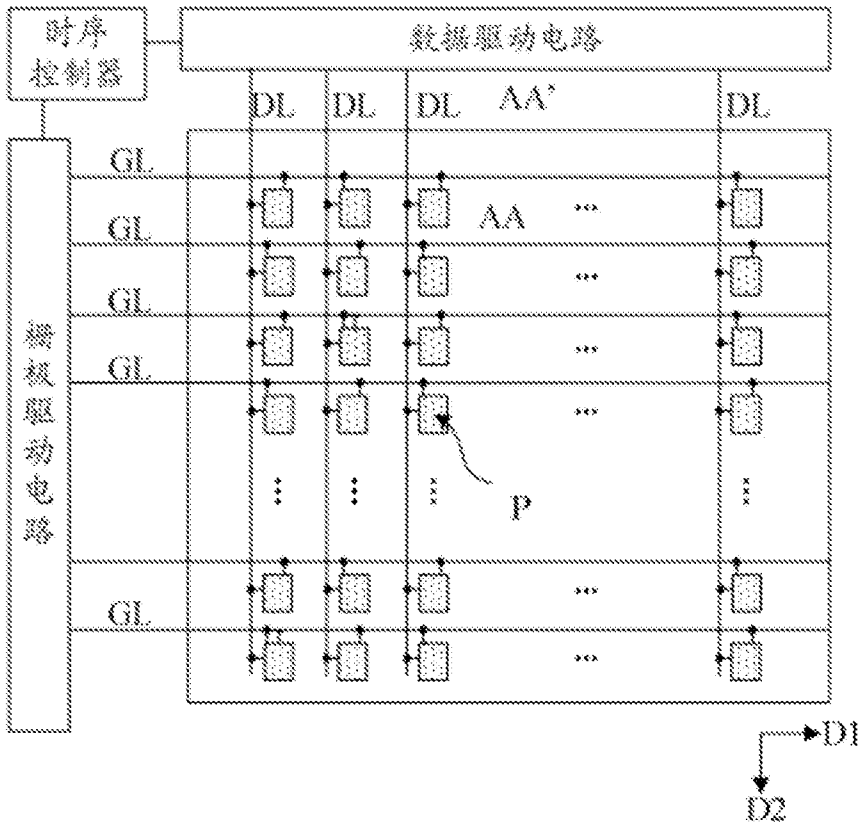
[图 16]



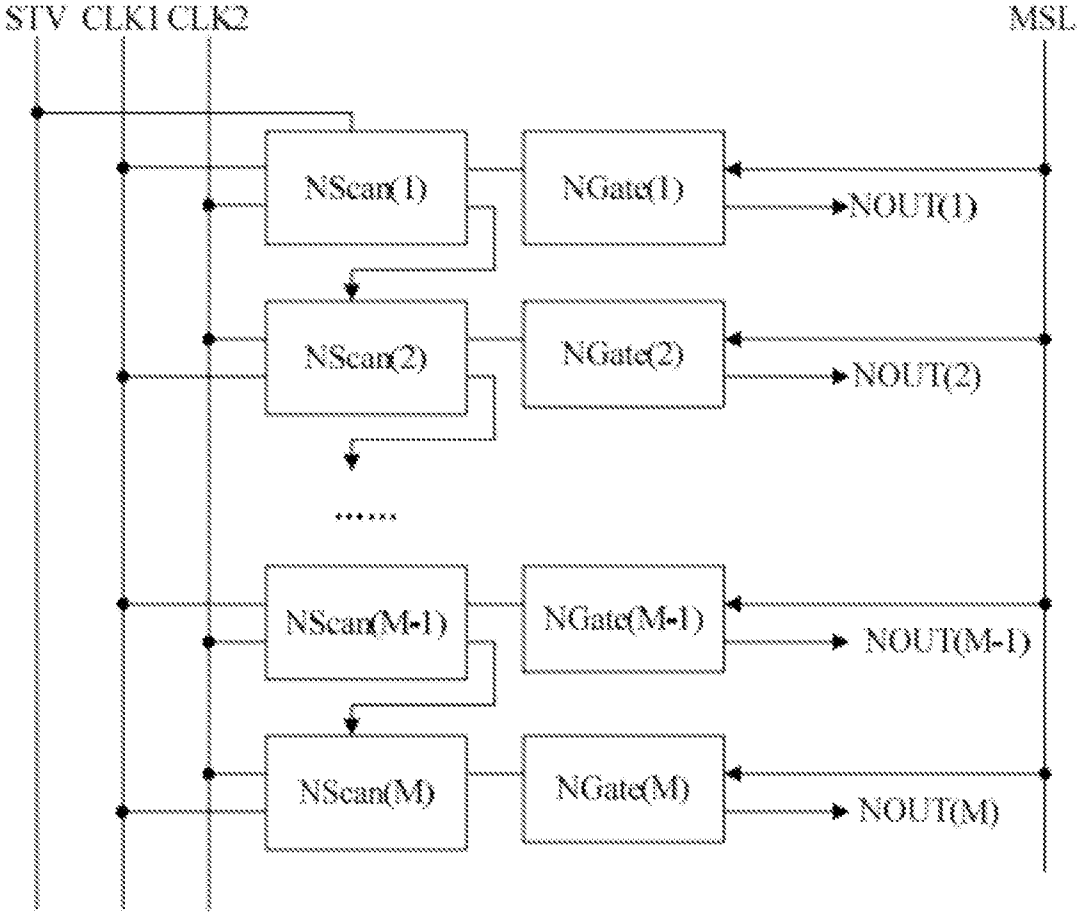
[图 17]


N2
N1
MS
NOUT

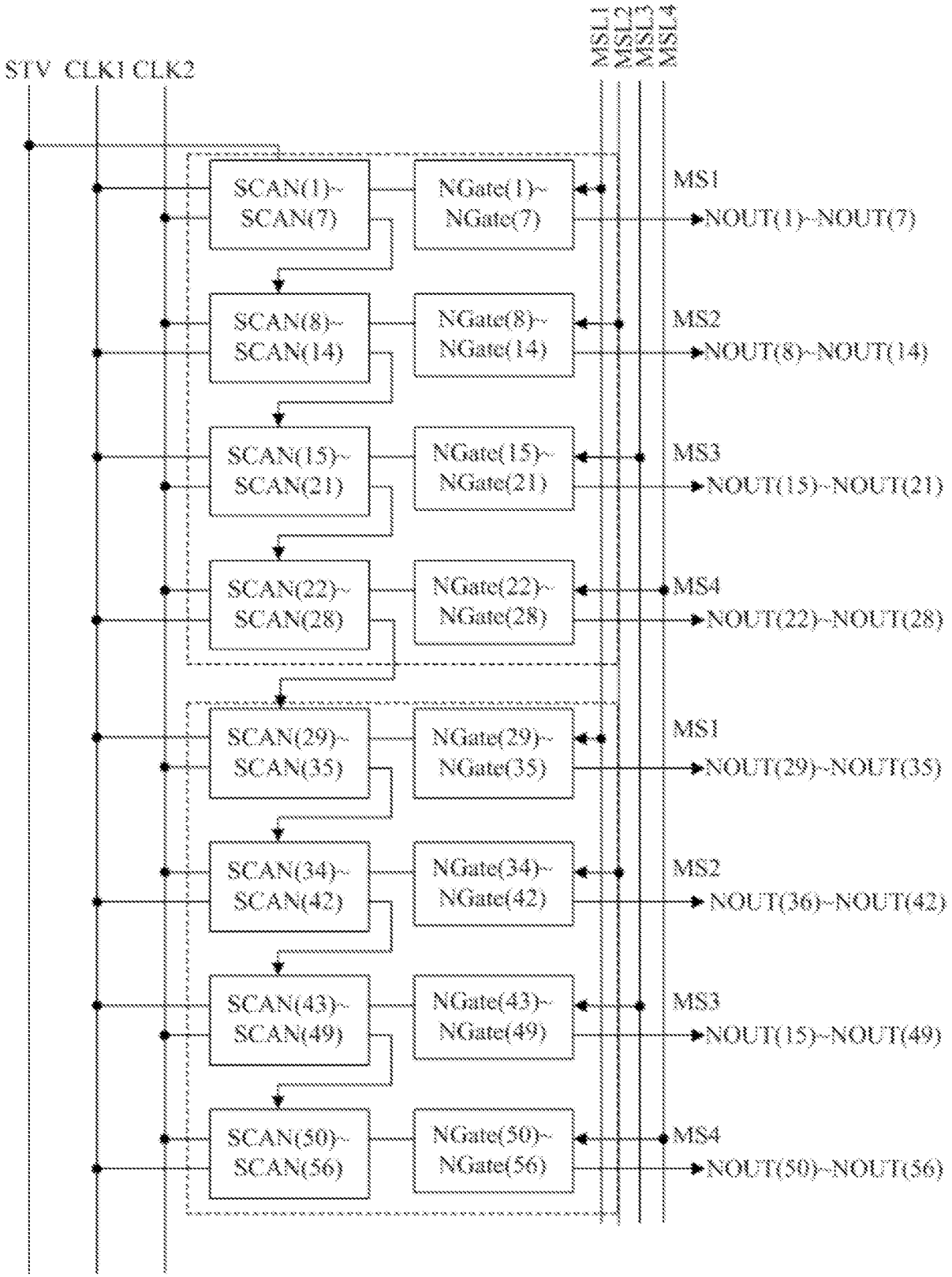
[图 18]


时序控制器
数据驱动电路
DL
DL
DL
AA'
DL
GL
GL
GL
GL
GL
AA
P
栅极驱动电路
D1
D2

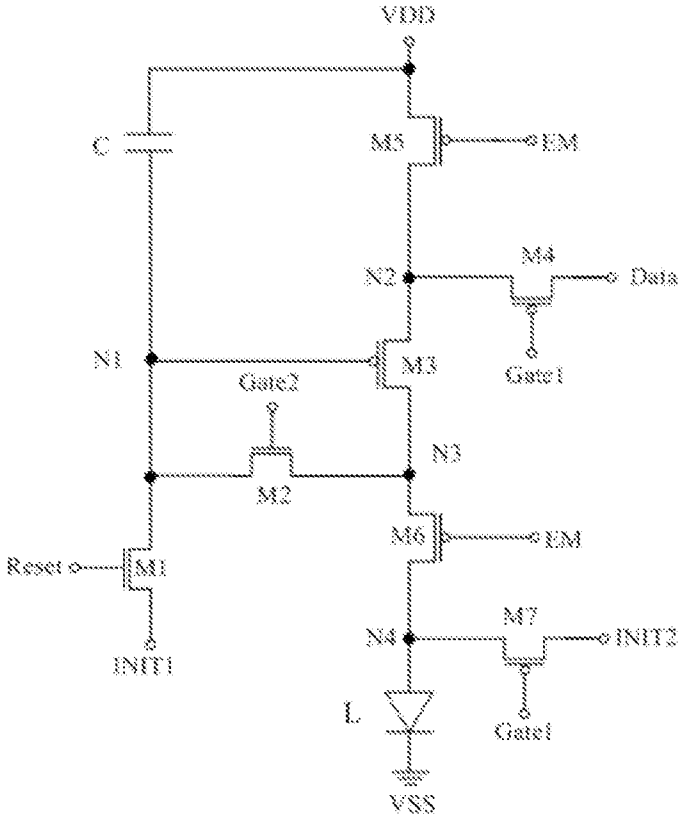
[图 19]


STV
CLK1
CLK2
MSL
NScan(1)
NGate(1)
NOUT(1)
NScan(2)
NGate(2)
NOUT(2)
.....
NScan(M-1)
NGate(M-1)
NOUT(M-1)
NScan(M)
NGate(M)
NOUT(M)

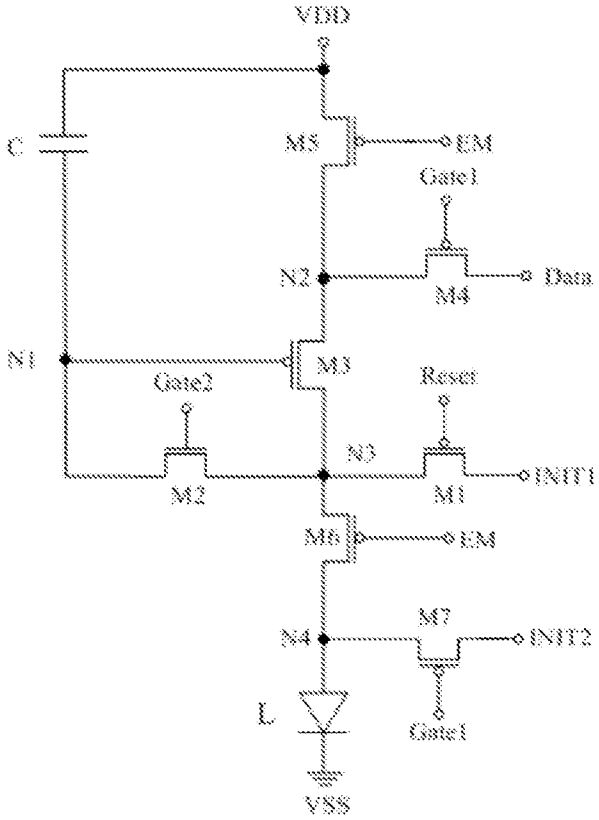
[图 20]


STV
CLK1
CLK2
MSL1
MSL2
MSL3
MSL4
SCAN(1)~SCAN(7)
NGate(1)~NGate(7)
MS1
NOUT(1)~NOUT(7)
SCAN(8)~SCAN(14)
NGate(8)~NGate(14)
MS2
NOUT(8)~NOUT(14)
SCAN(15)~SCAN(21)
NGate(15)~NGate(21)
MS3
NOUT(15)~NOUT(21)
SCAN(22)~SCAN(28)
NGate(22)~NGate(28)
MS4
NOUT(22)~NOUT(28)
SCAN(29)~SCAN(35)
NGate(29)~NGate(35)
MS1
NOUT(29)~NOUT(35)
SCAN(34)~SCAN(42)
NGate(34)~NGate(42)
MS2
NOUT(36)~NOUT(42)
SCAN(43)~SCAN(49)
NGate(43)~NGate(49)
MS3
NOUT(15)~NOUT(49)
SCAN(50)~SCAN(56)
NGate(50)~NGate(56)
MS4
NOUT(50)~NOUT(56)

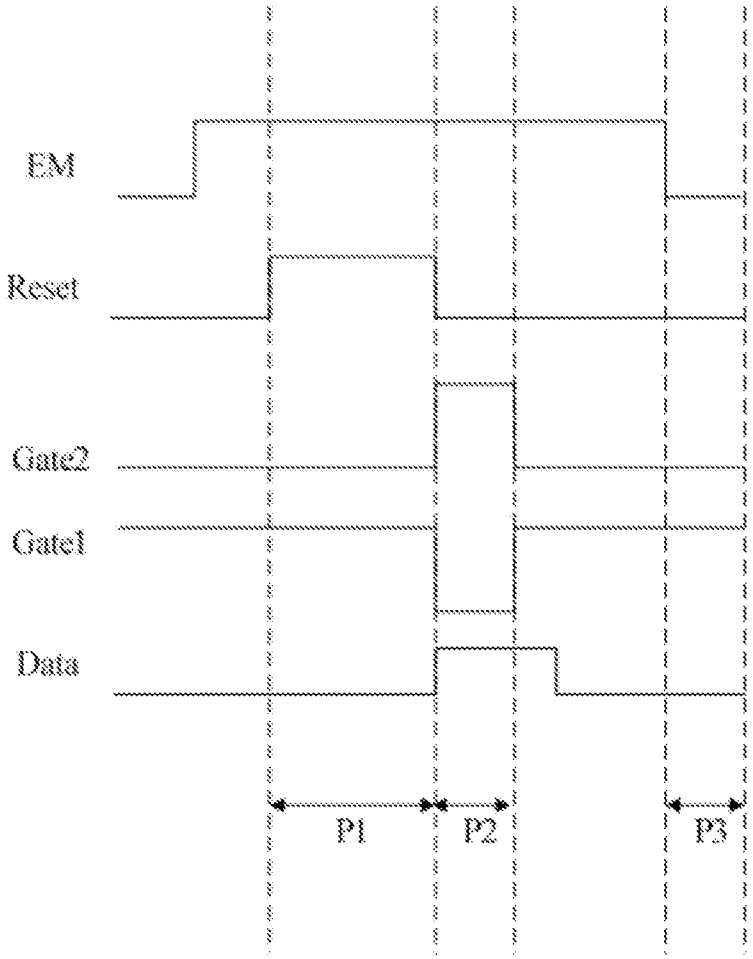
[图 21]


VDD
C
M5
EM
M4
N2
Data
N1
M3
Gate1
Gate2
N3
M2
M6
EM
Reset
M1
M7
N4
INIT2
INIT1
L
Gate1
VSS

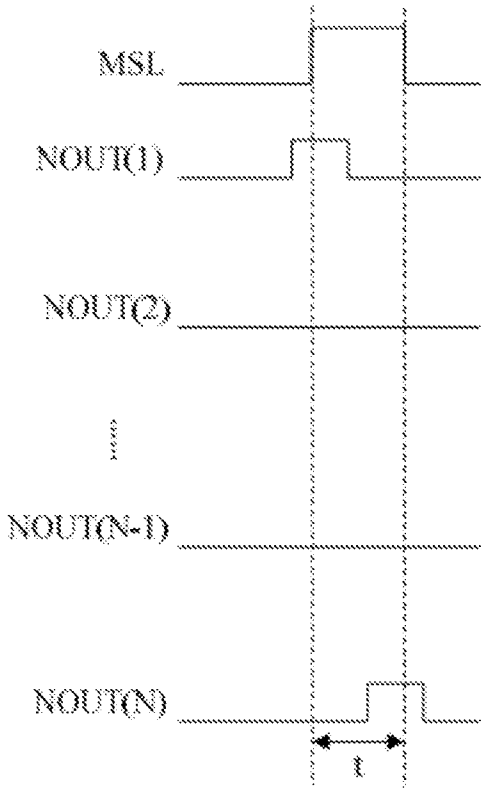
[图 22]


VDD
C
M5
EM
Gate1
N2
M4
Data
N1
M3
Gate2
Reset
N3
M2
M1
INIT1
M6
EM
M7
N4
INIT2
L
Gate1
VSS

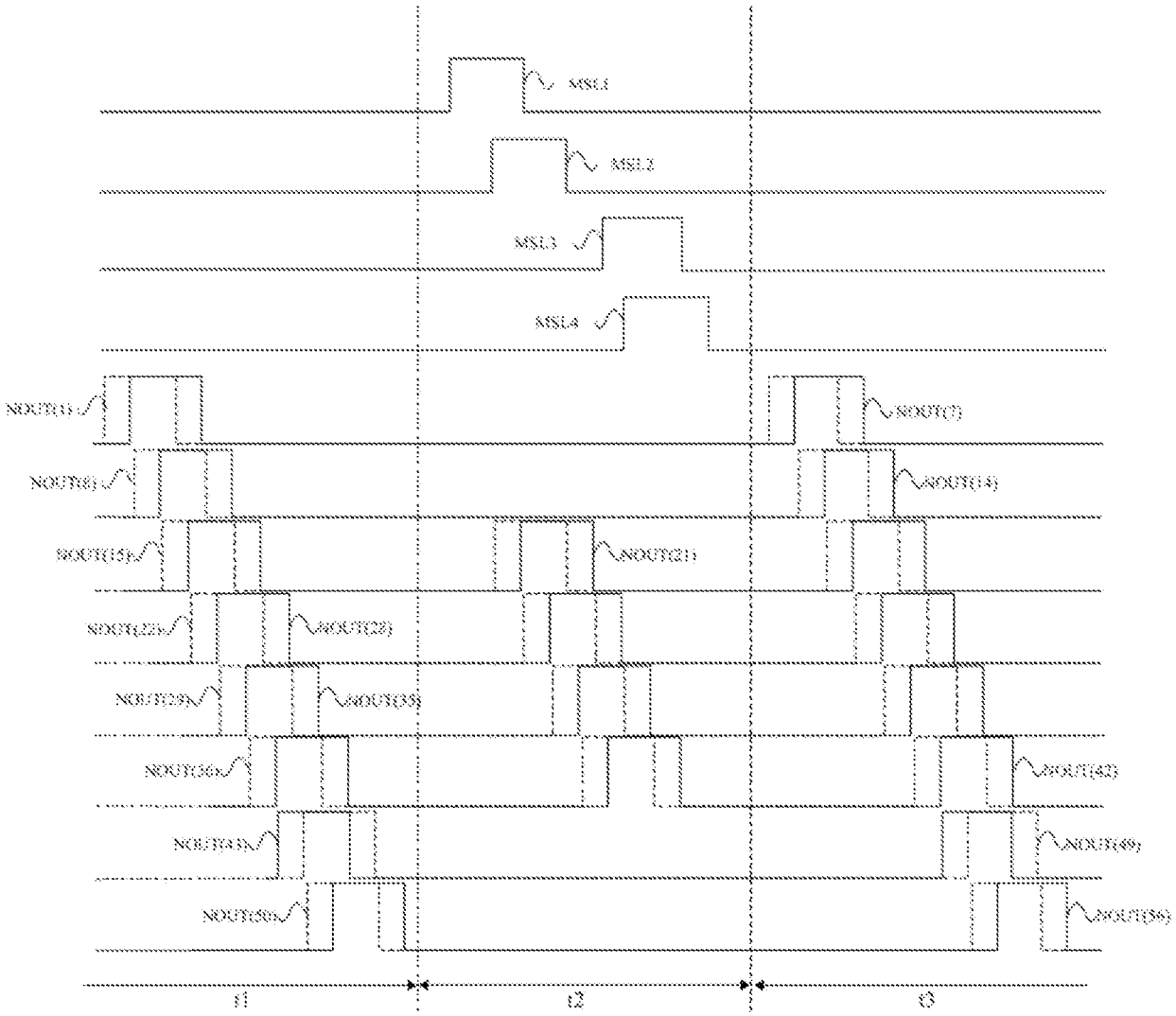
[图 23]


EM
Reset
Gate2
Gate1
Data
P1
P2
P3

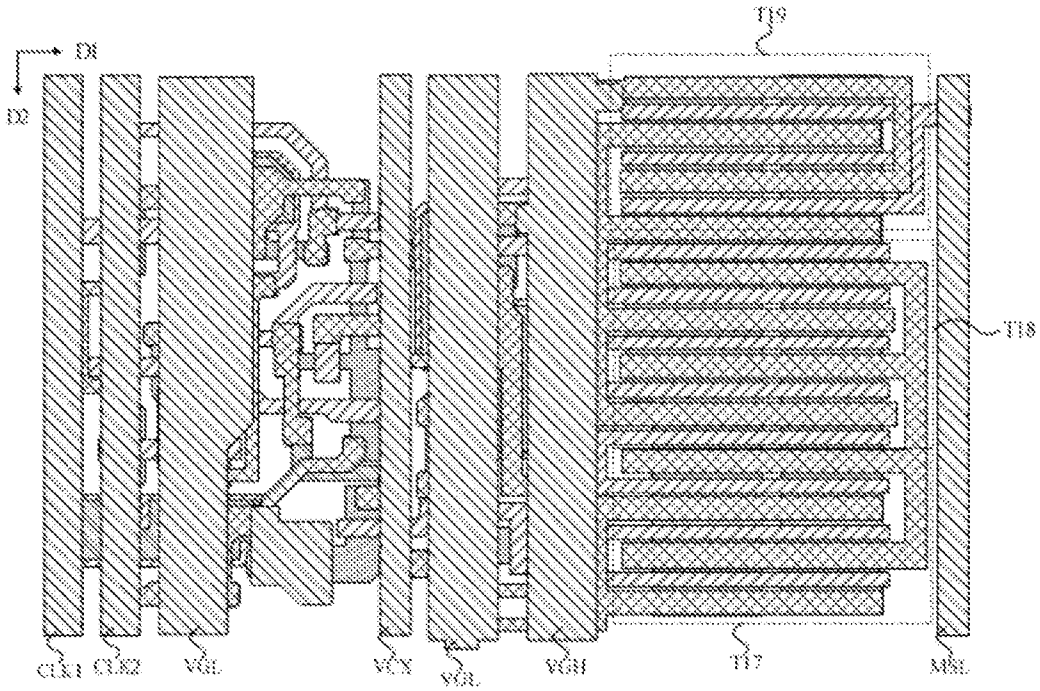
[图 24]


MSL
NOUT(1)
NOUT(2)
NOUT(N-1)
NOUT(N)
t

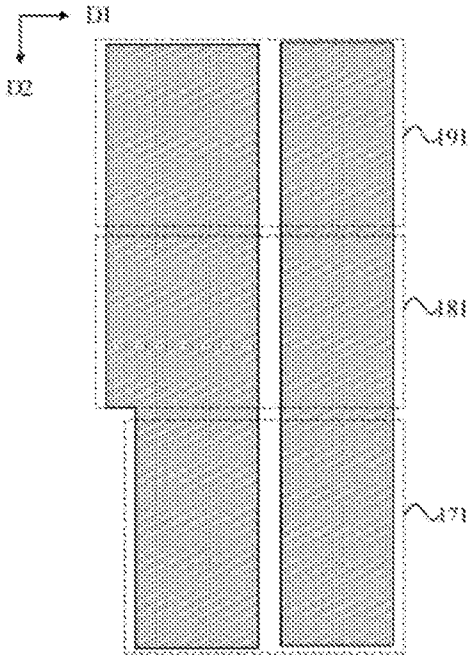
[图 25]


MSL1
MSL2
MSL3
MSL4
NOUT(1)
NOUT(7)
NOUT(8)
NOUT(14)
NOUT(15)
NOUT(21)
NOUT(22)
NOUT(28)
NOUT(29)
NOUT(35)
NOUT(36)
NOUT(42)
NOUT(43)
NOUT(49)
NOUT(50)
NOUT(56)
t1
t2
t3

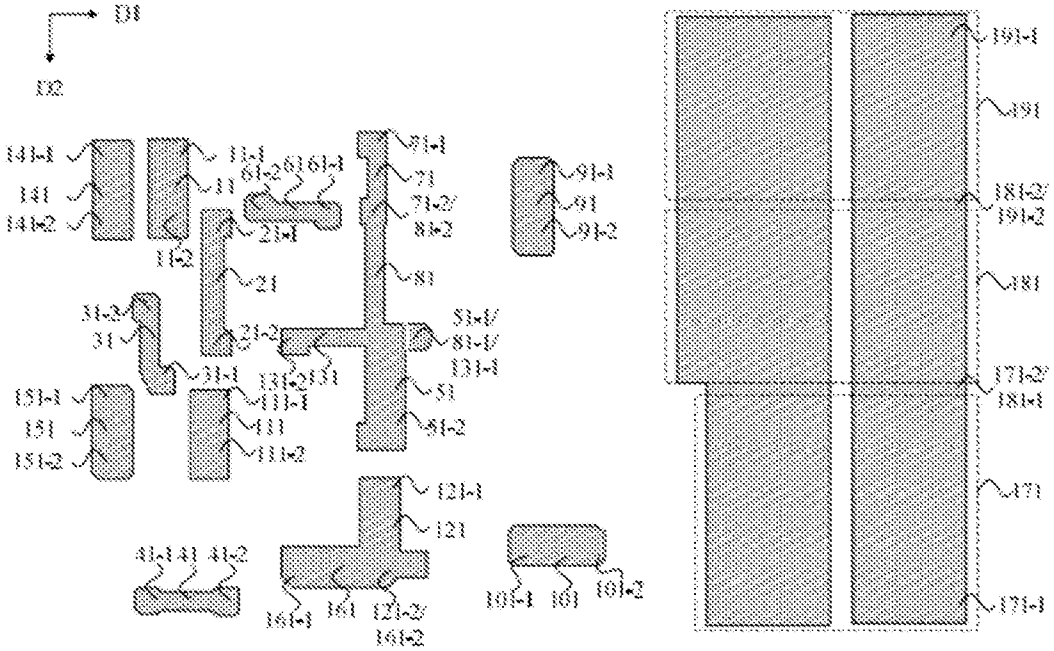
[图 26]


T19
D1
D2
T18
CLK1
CLK2
VGL
VCX
VGL
VGH
T17
MSL

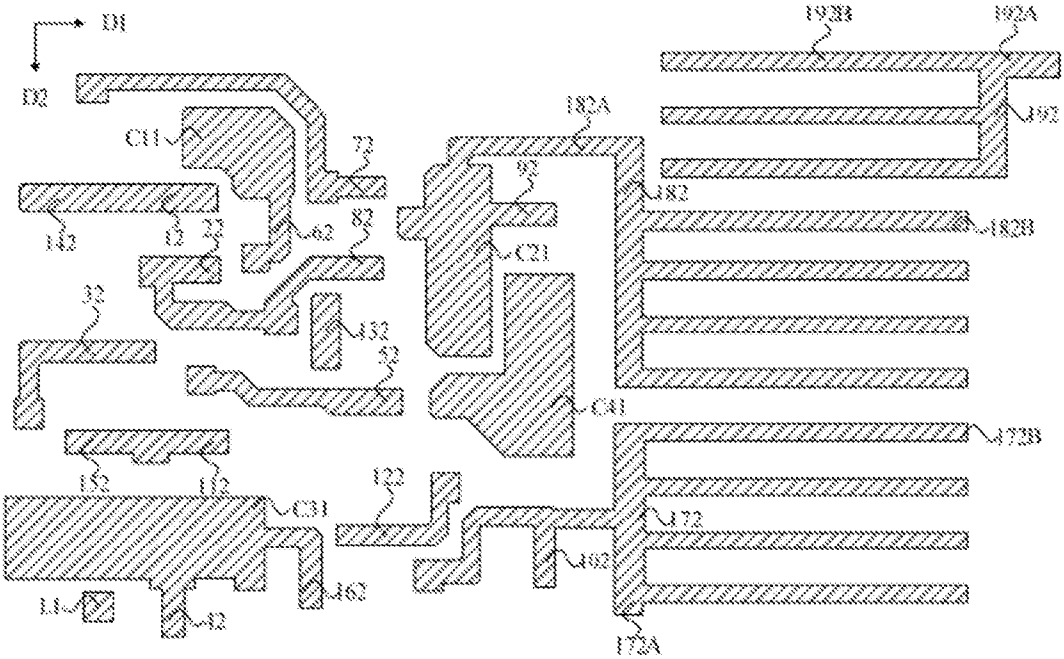
[图 27]


D1
D2
191
181
171

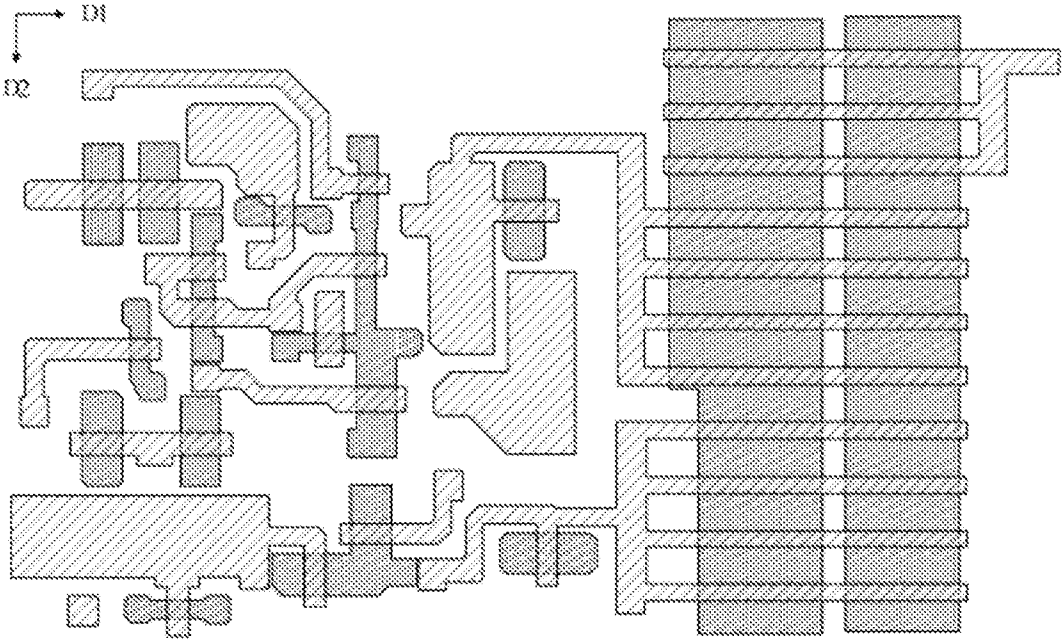
[图 28]


D1
D2
141-1
141
141-2
11-1
11
11-2
61-1
61-2
21-1
21
21-2
31-2
31
31-1
71-1
71
71-2
81-2
81
91-1
91
91-2
51-1
81-1
131-1
131-2
131
51
51-2
151-1
151
151-2
111-1
111
111-2
121-1
121
41-1
41
41-2
161-1
161
121-2
161-2
101-1
101
101-2
191-1
191
181-2
191-2
181
171-2
181-1
171
171-1

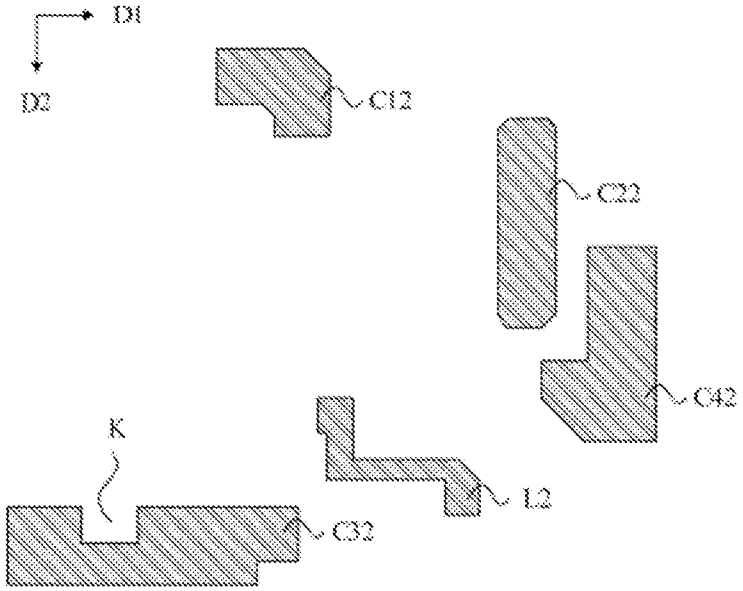
[图 29]


D1
D2
C11
72
142
12
22
62
82
32
132
52
152
112
C31
162
L1
42
122
182A
92
C21
C41
192B
192A
192
182
182B
172B
172
102
172A

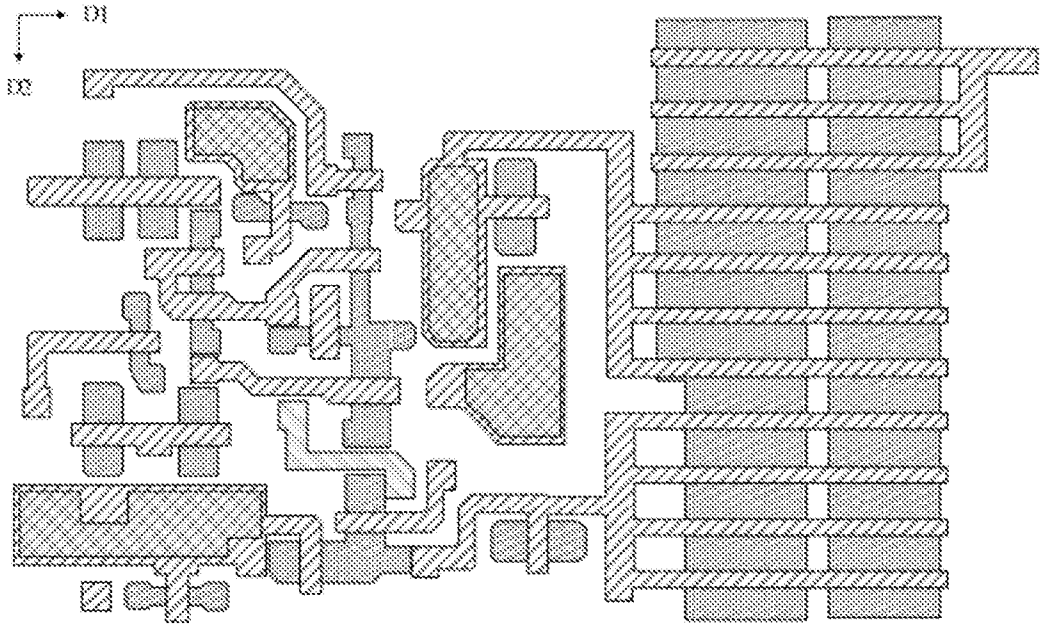
[图 30]


D1
D2

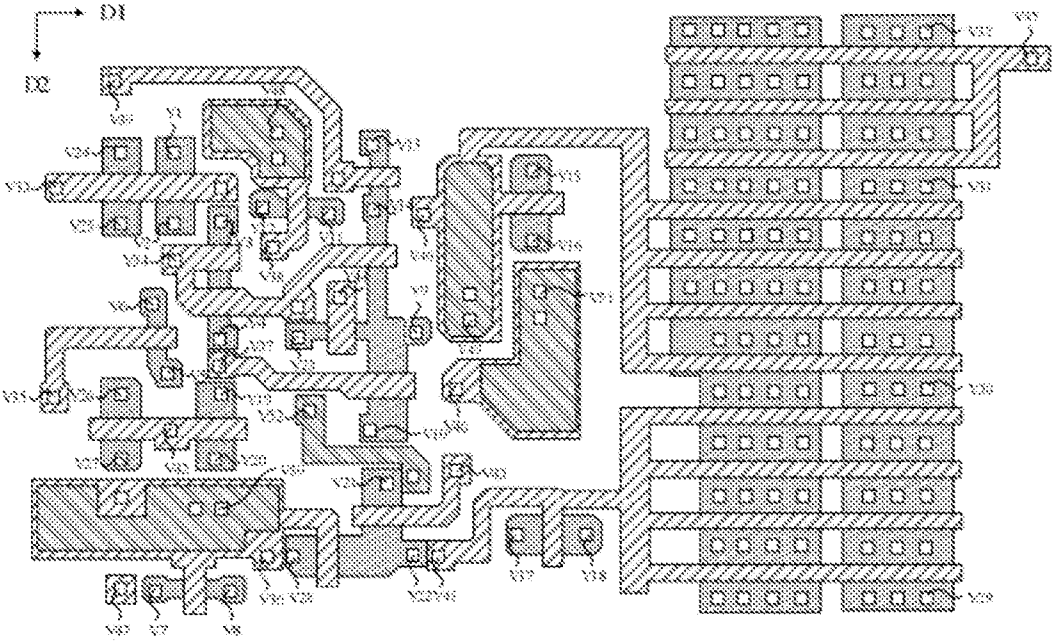
[图 31]



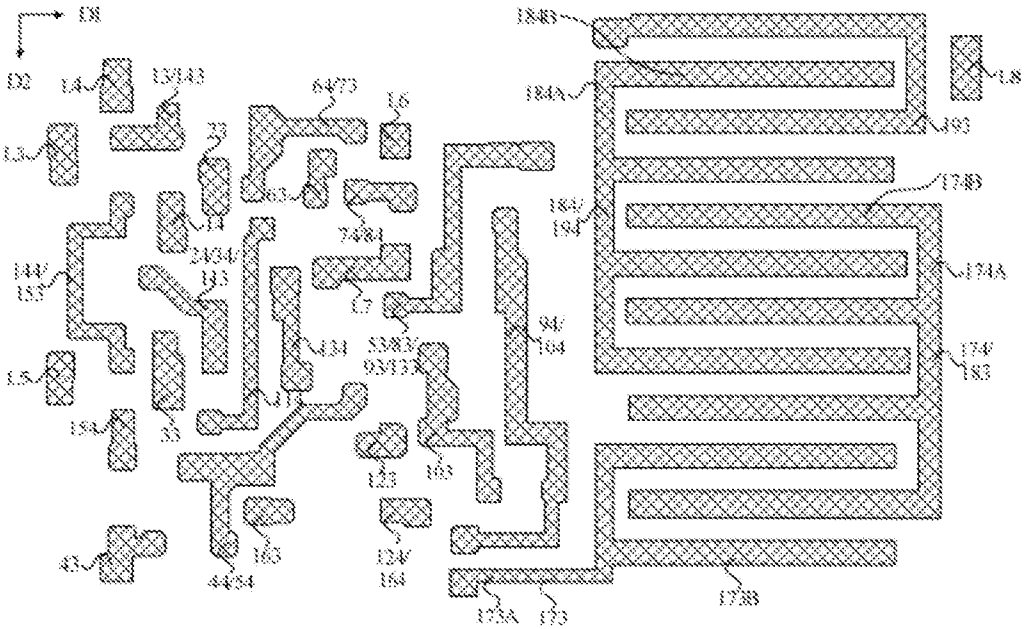
[图 32]



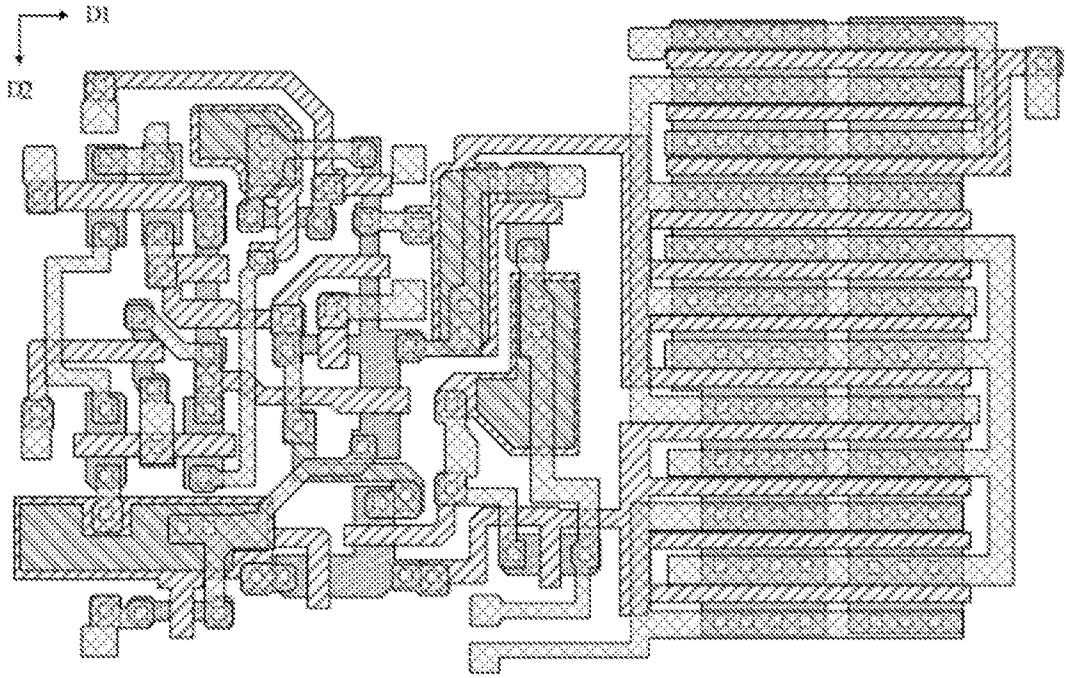
[图 33]



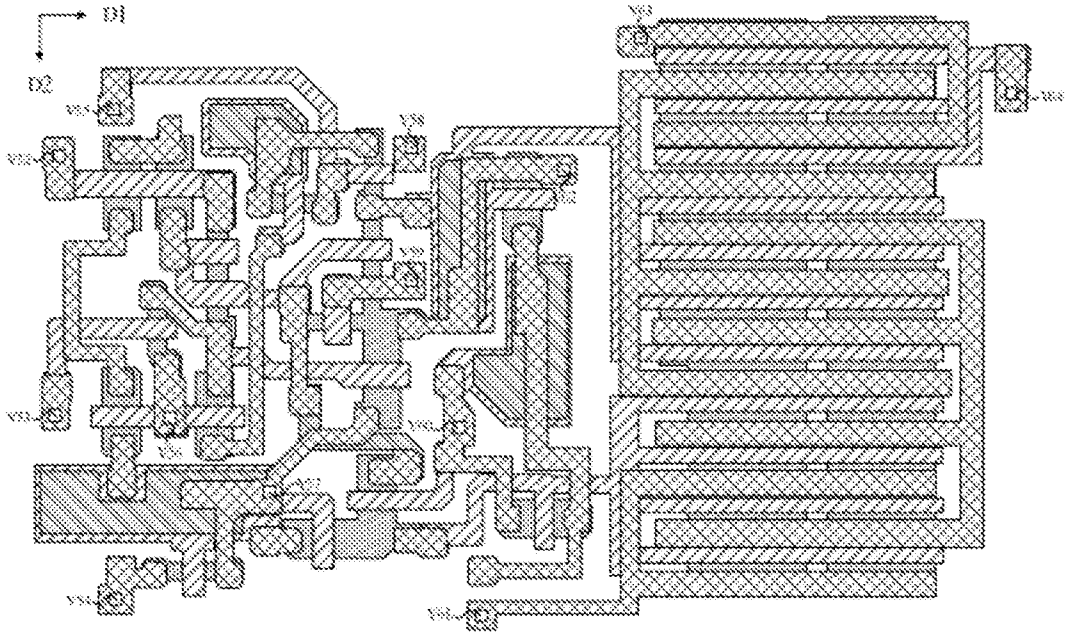
[图 34]



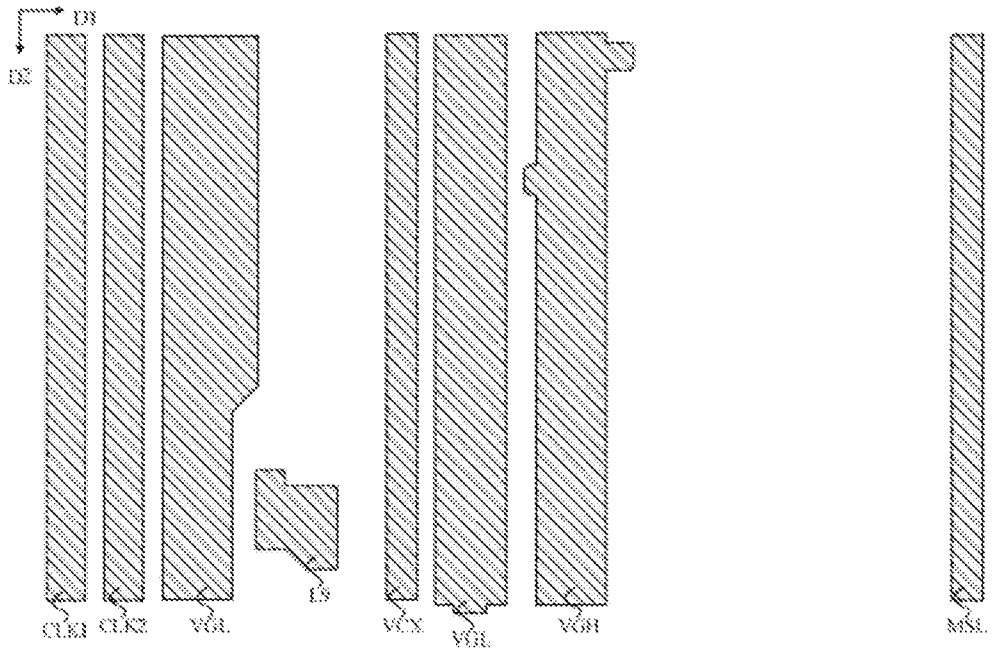
[图 35]



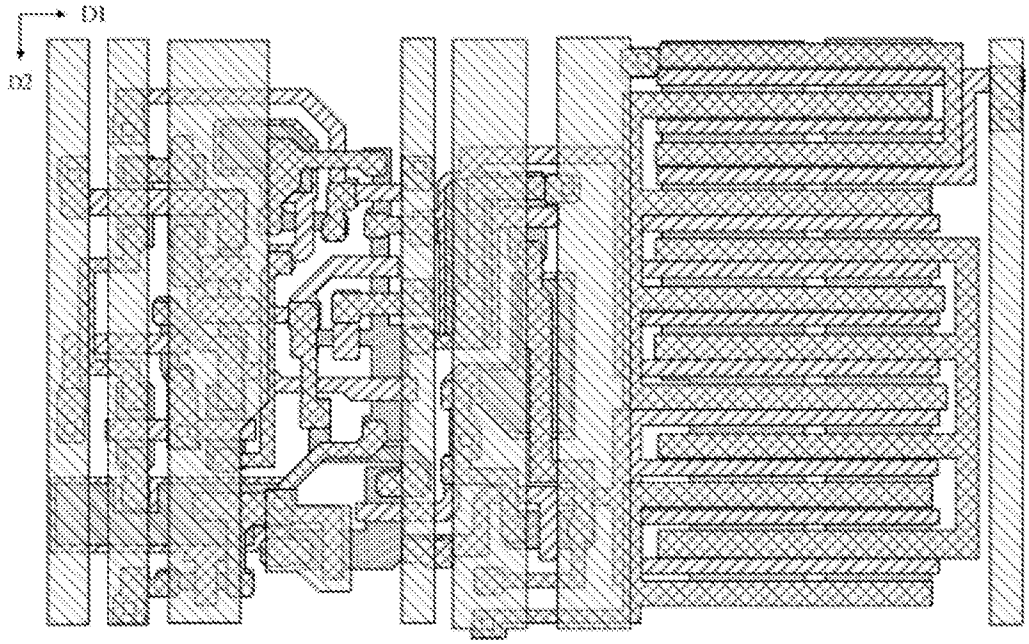
[图 36]



[图 37]



[图 38]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2023/112593

A. CLASSIFICATION OF SUBJECT MATTER

G11C 19/28(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G11C19/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT; VEN; ENTXT; ENTXTC; CNKI: 扫描, 输出, 寄存器, 移位, 时钟, 电源端, 第一节点, 第二节点, 级联, 显示, cascade, register, shift, node, scan, output-end, input-end, display, drive

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113851174 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 28 December 2021 (2021-12-28) entire document	1-24
A	CN 113793570 A (HEFEI BOE ZHUOYIN TECHNOLOGY CO., LTD. et al.) 14 December 2021 (2021-12-14) entire document	1-24
A	US 2019333595 A1 (XIAMEN TIANMA MICRO ELECTRONICS CO., LTD.) 31 October 2019 (2019-10-31) entire document	1-24
A	CN 111681700 A (XIAMEN TIANMA MICRO-ELECTRONICS CO., LTD.) 18 September 2020 (2020-09-18) entire document	1-24
A	CN 113763886 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 07 December 2021 (2021-12-07) entire document	1-24

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
25 March 2024	**03 April 2024**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **China No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2023/112593

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113851174	A	28 December 2021	None			
CN	113793570	A	14 December 2021	None			
US	2019333595	A1	31 October 2019	US	10770162	B2	08 September 2020
				CN	108573673	A	25 September 2018
				CN	108573673	B	30 July 2021
CN	111681700	A	18 September 2020	CN	111681700	B	19 August 2022
				US	2020394951	A1	17 December 2020
				US	11443684	B2	13 September 2022
CN	113763886	A	07 December 2021	None			

国际检索报告

国际申请号
PCT/CN2023/112593

A. 主题的分类

G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:G11C19/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNTXT;VEN;ENTXT;ENTXTC;CNKI:扫描，输出，寄存器，移位，时钟，电源端，第一节点，第二节点，级联，显示，cascade，register，shift，node，scan，output-end，input-end，display，drive

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 113851174 A (京东方科技集团股份有限公司等) 2021年12月28日 (2021 - 12 - 28) 全文	1-24
A	CN 113793570 A (合肥京东方卓印科技有限公司等) 2021年12月14日 (2021 - 12 - 14) 全文	1-24
A	US 2019333595 A1 (XIAMEN TIANMA MICRO ELECTRONICS CO LTD) 2019年10月31日 (2019 - 10 - 31) 全文	1-24
A	CN 111681700 A (厦门天马微电子有限公司) 2020年9月18日 (2020 - 09 - 18) 全文	1-24
A	CN 113763886 A (京东方科技集团股份有限公司等) 2021年12月7日 (2021 - 12 - 07) 全文	1-24

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：
"A" 认为不特别相关的表示了现有技术一般状态的文件
"D" 申请人在国际申请中引证的文件
"E" 在国际申请日的当天或之后公布的在先申请或专利
"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）
"O" 涉及口头公开、使用、展览或其他方式公开的文件
"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件
"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性
"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性
"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2024年3月25日	2024年4月3日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088	受权官员 马驰 电话号码 (+86) 62412168

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2023/112593

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113851174	A	2021年12月28日	无			
CN	113793570	A	2021年12月14日	无			
US	2019333595	A1	2019年10月31日	US	10770162	B2	2020年9月8日
				CN	108573673	A	2018年9月25日
				CN	108573673	B	2021年7月30日
CN	111681700	A	2020年9月18日	CN	111681700	B	2022年8月19日
				US	2020394951	A1	2020年12月17日
				US	11443684	B2	2022年9月13日
CN	113763886	A	2021年12月7日	无			