

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年9月22日(22.09.2016)

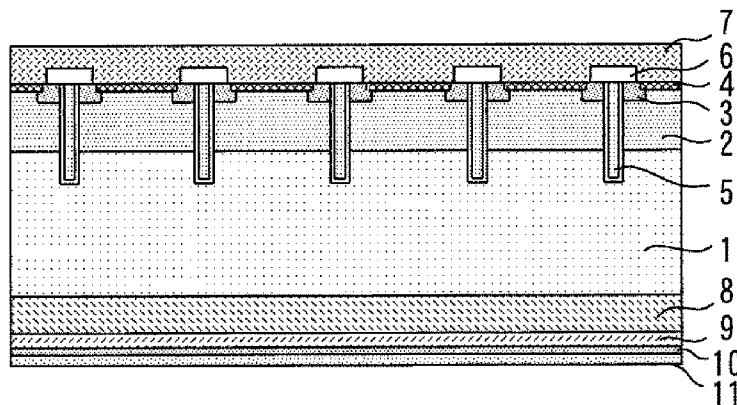


(10) 国際公開番号
WO 2016/147264 A1

- (51) 国際特許分類:
H01L 29/739 (2006.01) H01L 29/861 (2006.01)
H01L 21/336 (2006.01) H01L 29/868 (2006.01)
H01L 29/78 (2006.01)
 - (21) 国際出願番号: PCT/JP2015/057539
 - (22) 国際出願日: 2015年3月13日(13.03.2015)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP).
 - (72) 発明者: 鈴木 健司(SUZUKI, Kenji); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 檜崎 敦司(NARAZAKI, Atsushi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 上馬場 龍(KAMIBABA, Ryu); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 深田 祐介(FUKADA, Yusuke); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 中村 勝光(NAKAMURA, Katsumi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP).
 - (74) 代理人: 高田 守, 外(TAKADA, Mamoru et al.); 〒1040045 東京都中央区築地1丁目12番22号 コンワビル7階 特許業務法人 高田・高橋国際特許事務所 Tokyo (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

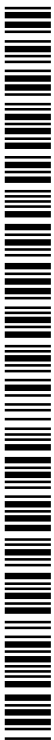
(54) 発明の名称: 半導体装置及びその製造方法



(57) Abstract: A p type base layer (2) is formed on the front surface of an n type silicon substrate (1). First and second n⁺ type buffer layers (8, 9) are formed on the rear surface of the n type silicon substrate (1). The first n⁺ type buffer layer (8) is formed by means of proton injections of a plurality of times at different acceleration voltages, and has a plurality of peak concentrations at different depths from the rear surface of the n type silicon substrate (1). The second n⁺ type buffer layer (9) is formed by means of phosphorus injection. The peak concentration positions of phosphorus are shallower than the peak concentration positions of proton from the rear surface of the n type silicon substrate (1). The phosphorus peak concentrations are higher than the proton peak concentrations. At the peak concentration position of proton, the proton concentrations are higher than the phosphorus concentrations.

(57) 要約:

[続葉有]



WO 2016/147264 A1



n型シリコン基板（1）の表面にp型ベース層（2）が形成されている。n型シリコン基板（1）の裏面に第1及び第2のn⁺型バッファ層（8, 9）が形成されている。第1のn⁺型バッファ層（8）は加速電圧が異なる複数回のプロトンの注入で形成され、n型シリコン基板（1）の裏面からの深さが異なる複数のピーク濃度を有する。第2のn⁺型バッファ層（9）はリンの注入で形成されている。リンのピーク濃度の位置はプロトンのピーク濃度の位置よりもn型シリコン基板（1）の裏面から浅い。リンのピーク濃度はプロトンのピーク濃度よりも高い。プロトンのピーク濃度の位置においてプロトンの濃度がリンの濃度よりも高い。

明 細 書

発明の名称：半導体装置及びその製造方法

技術分野

[0001] 本発明は、ダイオード又は絶縁ゲート型バイポーラトランジスタ（IGBT）などの半導体装置及びその製造方法に関し、特にリーク電流を減らし、ターンオフ時やリカバリ時での発振を抑制でき、一般的な半導体工場でも容易にプロトン注入でn型バッファ層を形成することができる半導体装置及びその製造方法に関する。

背景技術

[0002] 省エネの観点から、汎用インバータ・ACサーボ等の分野で三相モータの可変速制御を行なうためのパワーモジュール等にIGBTやダイオードが使用されている。インバータ損失を減らすために、IGBTやダイオードにはスイッチング損失とオン電圧が低いデバイスが求められている。

[0003] オン電圧の大半は耐圧保持に必要な厚いn型ベース層の抵抗であり、その抵抗を低減させるためにはウエハを薄くすることが有効である。しかし、ウエハを薄くした場合、コレクタに電圧が印加されると空乏層が裏面に届き、耐圧の低下やリーク電流の増大が発生する。このため、一般的に基板裏面に、基板濃度よりも濃くて、浅いn⁺型バッファ層をイオン注入機で形成している。

[0004] しかし、IGBTの製造技術の技術革新に伴い、ウエハ厚みが耐圧を確保できる厚み付近まで薄くなってきたことから、浅いn⁺型バッファ層ではIGBTやダイオードがスイッチング動作する時に、電源電圧+ $L * di / dt$ で決まるサージ電圧がコレクターエミッタ間やカソードーアノード間に印加され、空乏層が裏面側に到達すると、キャリアが枯渇し、電圧及び電流の発振が発生してしまう。発振が起きると、放射ノイズが発生し、周辺の電子機器に悪影響を及ぼしてしまう。

[0005] 一方、基板裏面に濃度が低く、30 μ m程度の深いn⁺型バッファ層を形成

することで、スイッチング時にコレクタ又はカソードに大きな電圧が印加されても、空乏層を緩やかに止めることができる。その結果、裏面側のキャリアの枯渇を防ぎ、滞留させることで、急峻な電圧の上昇を防ぐことができる。

[0006] 図23は、デバイスシミュレーションで耐圧1200VクラスのIGBTで実施したL負荷スイッチングのターンオフ波形を示す図である。スイッチング条件は、リンで形成されたn⁺型バッファ層の深さが2 μ mと30 μ m、 $V_{ce}=900V$ 、 $I_c=150A$ である。深さ2 μ mでは波形が発振しているが、30 μ mでは発振は起こっていない。

[0007] 30 μ m程度の深いn⁺型バッファ層をリンの拡散で作ると、1100 $^{\circ}C$ のような一般的な熱処理温度では24時間以上掛かり、量産性が低い。他にはサイクロトロンやバンデグラフなどの加速器を用いる方法がある（例えば、特許文献1参照）。例えば8MeVの加速電圧でシリコン基板にプロトンを照射した場合、飛程は約480 μ mで、半値幅は約20 μ mとなる。飛程の位置を調整するために、直接シリコン基板に打ち込むのではなく、アブソーバ越しに打ち込むことで、照射エネルギーを減速させ、シリコンの表面付近にブロードなプロトンのピークを作ることができる。その後350~450 $^{\circ}C$ で1~5時間の熱処理を実施することで、プロトンが活性化しn型領域を形成することができる。なお、プロトンの活性化率は注入条件や熱処理条件にもよるが、1%程度である。

先行技術文献

特許文献

[0008] 特許文献1：日本特開2013-138172号公報

発明の概要

発明が解決しようとする課題

[0009] プロトンがn型にドナー化するメカニズムは、注入された水素原子、注入時に形成された結晶欠陥、基板に残留している酸素原子の複合的な要因で決

まり、シリコン基板の形成方法、固溶している酸素濃度、プロトン注入条件などで活性化率が変動する。プロトン注入で形成されたn⁺型バッファ層の濃度が増加すると、リーク電流やオン電圧のばらつき増大、短絡耐量の悪化などが生じる。

[0010] また、IGBTやダイオードに関して、深さが30 μ m程度のブロードな裏面n⁺型バッファ層を作製するためには、8MeV程度の高い加速電圧で半値幅を大きくして、プロトンを注入する必要がある。これに対し、従来はサイクロトロンやバンデグラフなどの加速器が用いられていた。しかし、これらの加速器本体は放射線の問題で、1~4m厚さのコンクリート遮蔽体で囲む必要があり、通常の半導体工場内では容易に使用することはできない。

[0011] 本発明は、上述のような課題を解決するためになされたもので、その目的はリーク電流を減らし、ターンオフ時やリカバリ時での発振を抑制でき、一般的な半導体工場でも容易にプロトン注入でn型バッファ層を形成することができる半導体装置及びその製造方法を得るものである。

課題を解決するための手段

[0012] 本発明に係る半導体装置は、半導体基板と、前記半導体基板の表面に形成されたp型層と、前記半導体基板の裏面に形成された第1及び第2のn型バッファ層とを備え、前記第1のn型バッファ層は加速電圧が異なる複数回のプロトンの注入で形成され、前記半導体基板の裏面からの深さが異なる複数のピーク濃度を有し、前記第2のn型バッファ層はリンの注入で形成され、前記リンのピーク濃度の位置は前記プロトンのピーク濃度の位置よりも前記半導体基板の裏面から浅く、前記リンのピーク濃度は前記プロトンのピーク濃度よりも高く、前記プロトンのピーク濃度の位置においてプロトンの濃度がリンの濃度よりも高いことを特徴とする。

発明の効果

[0013] 本発明では、プロトン注入で形成された低濃度で拡散深さが深い第1のn型バッファ層でIGBTのターンオフ時やダイオードのリカバリ時の発振を防止することができる。また、リンが注入された高濃度の第2のn型バッフ

ァ層で空乏層を止めて、リーク電流の増加を防止することができる。また、サイクロトロンを使用せず一般的な半導体工場でも容易にプロトン注入でn型バッファ層を形成することができる。

図面の簡単な説明

- [0014] [図1]本発明の実施の形態1に係る半導体装置を示す断面図である。
- [図2]本発明の実施の形態1に係る半導体装置の裏面プロファイルを示す図である。
- [図3]本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。
- 。
- [図4]本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。
- 。
- [図5]本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。
- 。
- [図6]本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。
- 。
- [図7]本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。
- 。
- [図8]本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。
- 。
- [図9]本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。
- 。
- [図10]本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。
- [図11]比較例1に係る半導体装置を示す断面図である。
- [図12]比較例1に係る半導体装置の裏面プロファイルを示す図である。
- [図13]本発明の実施の形態2に係る半導体装置を示す断面図である。
- [図14]本発明の実施の形態2に係る半導体装置の裏面プロファイルを示す図である。

[図15]本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

[図16]本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

[図17]本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

[図18]本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

[図19]本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

[図20]本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。

[図21]比較例2に係る半導体装置を示す断面図である。

[図22]比較例2に係る半導体装置の裏面プロファイルを示す図である。

[図23]デバイスシミュレーションで耐圧1200VクラスのIGBTで実施したL負荷スイッチングのターンオフ波形を示す図である。

発明を実施するための形態

[0015] 本発明の実施の形態に係る半導体装置及びその製造方法について図面を参照して説明する。同じ又は対応する構成要素には同じ符号を付し、説明の繰り返しを省略する場合がある。

[0016] 実施の形態1.

図1は、本発明の実施の形態1に係る半導体装置を示す断面図である。この半導体装置はIGBTである。n型シリコン基板1の表面にp型ベース層2が形成されている。p型ベース層2上にn⁺型エミッタ層3とp⁺型コンタクト層4が形成されている。p型ベース層2とn⁺型エミッタ層3を貫通するトレンチ内にゲート絶縁膜を介してトレンチゲート5が形成されている。トレンチゲート5上に層間絶縁膜6が形成されている。エミッタ電極7がn型シリコン基板1の表面に形成され、p⁺型コンタクト層4に接続されている。

- [0017] n型シリコン基板1の裏面に第1及び第2のn⁺型バッファ層8, 9が形成されている。第1のn⁺型バッファ層8は加速電圧が異なる複数回のプロトンの注入で形成されている。第2のn⁺型バッファ層9はリンの注入で形成されている。第1及び第2のn⁺型バッファ層8, 9よりもn型シリコン基板1の裏面から浅い位置に深さ1.0 μ m程度のp型コレクタ層10が形成されている。コレクタ電極11がn型シリコン基板1の裏面に形成され、p型コレクタ層10に接続されている。
- [0018] 図2は、本発明の実施の形態1に係る半導体装置の裏面プロファイルを示す図である。第1のn⁺型バッファ層8のプロトンはn型シリコン基板1の裏面からの深さが異なる複数のピーク濃度を有する。第2のn⁺型バッファ層9のリンのピーク濃度の位置は、第1のn⁺型バッファ層8のプロトンのピーク濃度の位置よりもn型シリコン基板1の裏面から浅い。リンのピーク濃度はプロトンのピーク濃度よりも高い。プロトンのピーク濃度の位置においてプロトンの濃度がリンの濃度よりも高い。
- [0019] 図3から図10は、本発明の実施の形態1に係る半導体装置の製造工程を示す断面図である。まず、図3に示すように、通常のプロセスによりIGBTの表面構造を形成する。この時点でウエハ厚みは700 μ m程度でベアウエハとほぼ同じである。
- [0020] 次に、図4に示すように、n型シリコン基板1の裏面側をグラインダーやウェットエッチングで、所望の厚みにまで研磨する。次に、図5に示すように、一般的な半導体製造用イオン注入装置を用いて、n型シリコン基板1の裏面にプロトンを500keV以上1.5MeV以下の異なる加速電圧で複数回注入する。プロトンの飛程は500keVで6 μ m、1500keVで30 μ m程度である。
- [0021] 次に、図6に示すように、350 $^{\circ}$ C~450 $^{\circ}$ Cのファーネスアニールでプロトンの活性化を実施して第1のn⁺型バッファ層8を形成する。次に、図7に示すように、加速電圧1MeV以下でリンをn型シリコン基板1の裏面の浅い領域に注入する。次に、図8に示すように、リンの活性化をレーザーア

ニールで実施して第2のn⁺型バッファ層9を形成する。

[0022] 次に、図9に示すように、n型シリコン基板1の裏面にBを注入する。次に、図10に示すように、レーザーアニールを実施してp⁺型コンタクト層4を形成する。その後、n型シリコン基板1の裏面に、Al/Ti/Ni/AuやAlSi/Ti/Ni/Auなどのコレクタ電極11をスパッタで形成する。最後に、コレクタ電極11とn型シリコン基板1のオーミック接触を取ってコンタクト抵抗を低減するために350℃程度の熱処理を実施する。この時、プロトンの活性化のための熱処理も兼ねて同一工程で実施することで、熱処理工程を1回削減することができるため、加工費を削減することができる。

[0023] 続いて、本実施の形態の効果を比較例と比較して説明する。図11は、比較例1に係る半導体装置を示す断面図である。図12は、比較例1に係る半導体装置の裏面プロファイルを示す図である。比較例1では、サイクロトロンやバンデグラフなどの加速器を用いたプロトン注入により、n⁺型バッファ層12を30μm程度と深く形成している。

[0024] 1.5MeVでプロトンを注入した場合は、飛程は30μm程度で、発振抑制効果が期待できる深いバッファ層を形成することができる。一般的な半導体製造用イオン注入装置でも1.5MeV程度までは加速電圧を上げることができる。しかし、半導体製造用イオン注入装置により低加速電圧で形成した拡散層は半値幅が小さいので、サイクロトロンで作製したようなブロードな拡散層を作ることが困難である。

[0025] そこで、本実施の形態では、500keV、1000keV、1500keVのように異なる加速電圧で複数回のプロトン注入を実施することで、図2のように比較的ブロードなプロファイルを持つ第1のn⁺型バッファ層8を形成することができる。

[0026] しかし、複数回の注入を実施すると、基板裏面から浅いほど非常に多くの結晶欠陥が入る。プロトンの活性化には結晶欠陥量にも依存しているので、n型層の濃度がばらつく可能性がある。そこで、裏面の近くにリン注入で形

成された高濃度の第2のn⁺型バッファ層9を形成することで、電圧印加時に空乏層がコレクタ側に到達するのを防止し、耐圧の低下やリーク電流の増大を抑えることができる。

[0027] また、リンはプロトンと比べて原子半径が大きく、注入時には原子核の衝突により、注入損傷が多数発生し、プロトンの注入プロファイルにリンの注入プロファイルが重なると、プロトンのドナー化に影響を与える可能性がある。そこで、本実施の形態では、プロトンのピーク濃度の位置でプロトンの濃度がリンの濃度よりも高くなるようにピークの位置を設定する。これにより、互いの干渉を防止することができ、プロトンの活性化によって形成される第1のn⁺型バッファ層8を所望の濃度にする事ができる。

[0028] 以上説明したように、本実施の形態では、プロトン注入で形成された低濃度で拡散深さが深い第1のn⁺型バッファ層8でIGBTのターンオフ時の発振を防止することができる。また、リンが注入された高濃度の第2のn⁺型バッファ層9で空乏層を止めてリーク電流の増加を防止することができる。

[0029] また、一般的な半導体製造用イオン注入装置を用いて異なる加速電圧で複数回のプロトン注入を実施して第1のn⁺型バッファ層8を形成する。これにより、サイクロトロンを使用せず一般的な半導体工場でも容易にプロトン注入で第1のn⁺型バッファ層8を形成することができる。

[0030] また、複数回のプロトン注入において、加速電圧が高くなるほど、注入量を下げることが好ましい。これにより、複数回のプロトン注入で形成する第1のn⁺型バッファ層8のプロファイルをガウス分布に近付けることができる。

[0031] また、複数回のプロトン注入の中で最も加速電圧が高いプロファイルの注入量とその次に加速電圧が高いプロファイルの注入量が同じであることが好ましい。これにより勾配が非常に緩やかなプロファイルを形成することで、IGBTのターンオフ時やダイオードのリカバリ時に拡がる空乏層を緩やかに止めることができ、キャリアが急峻に掃き出され、枯渇するのを防止することができる。

[0032] また、リンの注入量はプロトンの注入量よりも低く、リンの活性化をレーザーアニールで実施し、プロトンの活性化を350℃～450℃のファーネスアニールで実施する。このようにリンの活性化をレーザーアニールで実施することで、活性化率は70%程度に上がる。一方、プロトンのファーネスアニールによる活性化率は1%程度である。このため、リンの注入量をプロトンの注入量より下げても、リンのピーク濃度をプロトンのピーク濃度よりも十分高くすることができる。この結果、リン注入によるダメージの影響を抑えつつ、リン注入領域と近接しているプロトン注入領域のドナー化を実施することができる。

[0033] 実施の形態2.

図13は、本発明の実施の形態2に係る半導体装置を示す断面図である。この半導体装置はダイオードである。n型シリコン基板1の表面にp型アノード層13が形成されている。アノード電極14がn型シリコン基板1の表面に形成され、p型アノード層13に接続されている。実施の形態1と同様にn型シリコン基板1の裏面に第1及び第2のn⁺型バッファ層8, 9が形成されている。カソード電極15がn型シリコン基板1の裏面に形成され、第2のn⁺型バッファ層9に接続されている。

[0034] 図14は、本発明の実施の形態2に係る半導体装置の裏面プロファイルを示す図である。実施の形態1と同様に、第1のn⁺型バッファ層8のプロトンはn型シリコン基板1の裏面からの深さが異なる複数のピーク濃度を有する。第2のn⁺型バッファ層9のリンのピーク濃度の位置は、第1のn⁺型バッファ層8のプロトンのピーク濃度の位置よりもn型シリコン基板1の裏面から浅い。リンのピーク濃度はプロトンのピーク濃度よりも高い。プロトンのピーク濃度の位置においてプロトンの濃度がリンの濃度よりも高い。

[0035] 図15から図20は、本発明の実施の形態2に係る半導体装置の製造工程を示す断面図である。まず、図15に示すように、通常の方法によりダイオードの表面構造を形成する。この時点でウエハ厚みは700μm程度でベアウエハとほぼ同じである。

- [0036] 次に、図16に示すように、n型シリコン基板1の裏面側をグラインダーやウェットエッチングで、所望の厚みにまで研磨する。次に、図17に示すように、一般的な半導体製造用イオン注入装置を用いて、n型シリコン基板1の裏面にプロトンを500keV以上1.5MeV以下の異なる加速電圧で複数回注入する。プロトンの飛程は500keVで6 μ m、1500keVで30 μ m程度である。
- [0037] 次に、図18に示すように、350 $^{\circ}$ C~450 $^{\circ}$ Cのファーネスアニールでプロトンの活性化を実施して第1のn⁺型バッファ層8を形成する。次に、図19に示すように、加速電圧1MeV以下でリンをn型シリコン基板1の裏面の浅い領域に注入する。次に、図20に示すように、リンの活性化をレーザーアニールで実施して第2のn⁺型バッファ層9を形成する。
- [0038] その後、n型シリコン基板1の裏面に、Al/Ti/Ni/AuやAlSi/Ti/Ni/Auなどのカソード電極15をスパッタで形成する。最後に、カソード電極15とn型シリコン基板1のオーミック接触を取ってコンタクト抵抗を低減するために350 $^{\circ}$ C程度の熱処理を実施する。この時、プロトンの活性化のための熱処理も兼ねて同一工程で実施することで、熱処理工程を1回削減することができるため、加工費を削減することができる。
- [0039] 続いて、本実施の形態の効果と比較例と比較して説明する。図21は、比較例2に係る半導体装置を示す断面図である。図22は、比較例2に係る半導体装置の裏面プロファイルを示す図である。比較例2では、サイクロトロンやバンデグラフなどの加速器を用いたプロトン注入により、n⁺型バッファ層12を30 μ m程度と深く形成している。
- [0040] これに対して、本実施の形態では、実施の形態1と同様に、プロトン注入で形成された低濃度で拡散深さが深い第1のn⁺型バッファ層8でダイオードのリカバリ時の発振を防止することができる。また、リンが注入された高濃度の第2のn⁺型バッファ層9で空乏層を止めてリーク電流の増加を防止することができる。また、サイクロトロンを使用せず一般的な半導体工場でも容易にプロトン注入で第1のn⁺型バッファ層8を形成することができる。

[0041] なお、半導体基板は、珪素によって形成されたものに限らず、珪素に比べてバンドギャップが大きいワイドバンドギャップ半導体によって形成されたものでもよい。ワイドバンドギャップ半導体は、例えば、炭化珪素、窒化ガリウム系材料、又はダイヤモンドである。このようなワイドバンドギャップ半導体によって形成されたパワー半導体素子は、耐電圧性や許容電流密度が高いため、小型化できる。この小型化された素子を用いることで、この素子を組み込んだ半導体モジュールも小型化できる。また、素子の耐熱性が高いため、ヒートシンクの放熱フィンを小型化でき、水冷部を空冷化できるので、半導体モジュールを更に小型化できる。また、素子の電力損失が低く高効率であるため、半導体モジュールを高効率化できる。

符号の説明

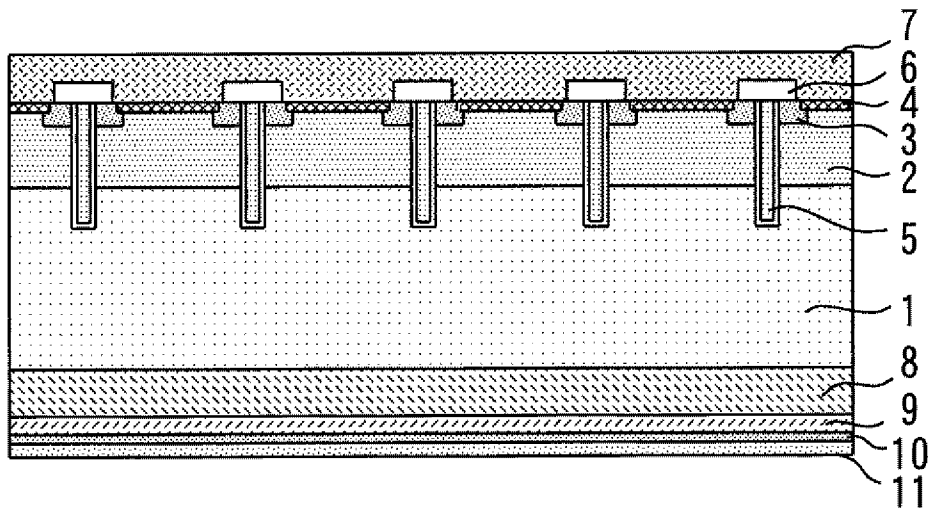
[0042] 1 n型シリコン基板（半導体基板）、2 p型ベース層（p型層）、8 第1のn⁺型バッファ層（第1のn型バッファ層）、9 第2のn⁺型バッファ層（第2のn型バッファ層）、11 コレクタ電極（裏面電極）、13 p型アノード層（p型層）、15 カソード電極（裏面電極）

請求の範囲

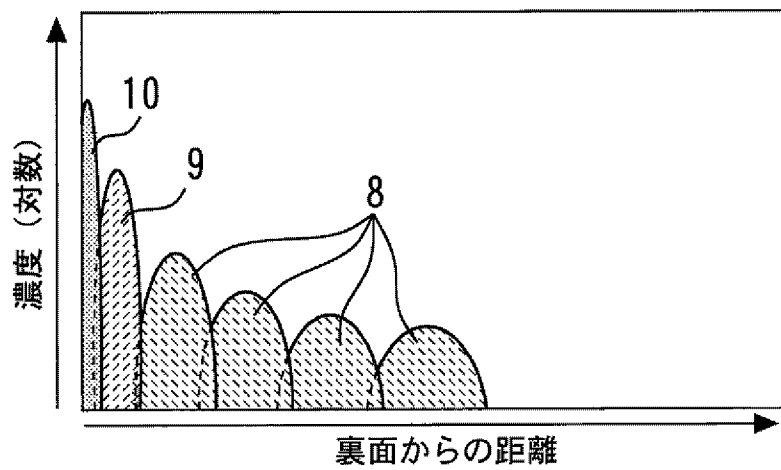
- [請求項1] 半導体基板と、
前記半導体基板の表面に形成されたp型層と、
前記半導体基板の裏面に形成された第1及び第2のn型バッファ層とを備え、
前記第1のn型バッファ層は加速電圧が異なる複数回のプロトンの注入で形成され、前記半導体基板の裏面からの深さが異なる複数のピーク濃度を有し、
前記第2のn型バッファ層はリンの注入で形成され、
前記リンのピーク濃度の位置は前記プロトンのピーク濃度の位置よりも前記半導体基板の裏面から浅く、
前記リンのピーク濃度は前記プロトンのピーク濃度よりも高く、
前記プロトンのピーク濃度の位置においてプロトンの濃度がリンの濃度よりも高いことを特徴とする半導体装置。
- [請求項2] 前記半導体装置はダイオード又は絶縁ゲート型バイポーラトランジスタであることを特徴とする請求項1に記載の半導体装置。
- [請求項3] 請求項1又は2に記載の半導体装置の製造方法であって、
半導体製造用イオン注入装置を用いて異なる加速電圧で複数回のプロトン注入を実施して前記第1のn型バッファ層を形成することを特徴とする半導体装置の製造方法。
- [請求項4] 前記複数回のプロトン注入において加速電圧が高くなるほど注入量を下げること特徴とする請求項3に記載の半導体装置の製造方法。
- [請求項5] 前記複数回のプロトン注入の中で最も加速電圧が高いプロファイルの注入量とその次に加速電圧が高いプロファイルの注入量が同じであることを特徴とする請求項3に記載の半導体装置の製造方法。
- [請求項6] リンの注入量はプロトンの注入量よりも低く、リンの活性化をレーザーアニールで実施することを特徴とする請求項3～5の何れか1項に記載の半導体装置の製造方法。

- [請求項7] 前記プロトンの活性化を 350°C ～ 450°C のファーネスアニールで実施することを特徴とする請求項3～6の何れか1項に記載の半導体装置の製造方法。
- [請求項8] 前記リンの注入の加速電圧は 1 MeV 以下であることを特徴とする請求項3～7の何れか1項に記載の半導体装置の製造方法。
- [請求項9] 前記プロトンの注入の加速電圧は 500 keV 以上 1.5 MeV 以下であることを特徴とする請求項3～8の何れか1項に記載の半導体装置の製造方法。
- [請求項10] 前記半導体基板の裏面に裏面電極を形成し、
前記プロトンの活性化のための熱処理と前記裏面電極と前記半導体基板のオーミック接触を取るための熱処理を同一工程で実施することを特徴とする請求項3～9の何れか1項に記載の半導体装置の製造方法。

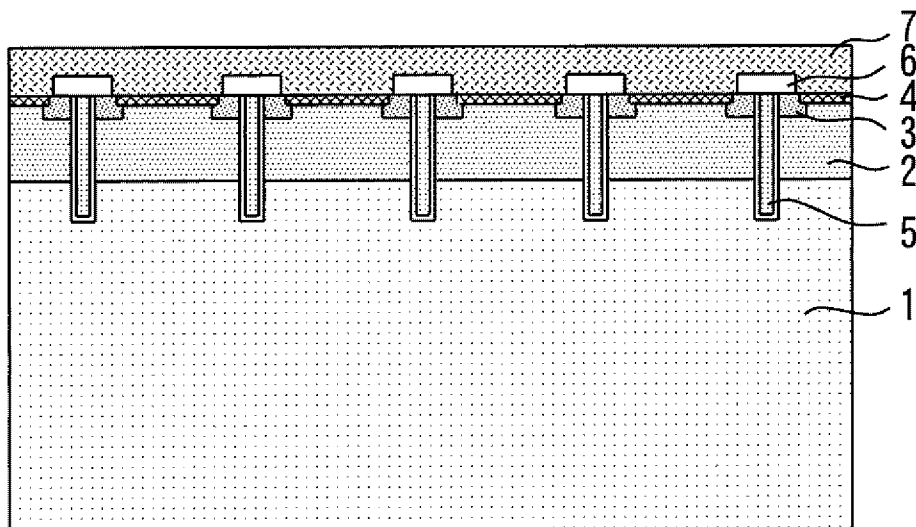
[図1]



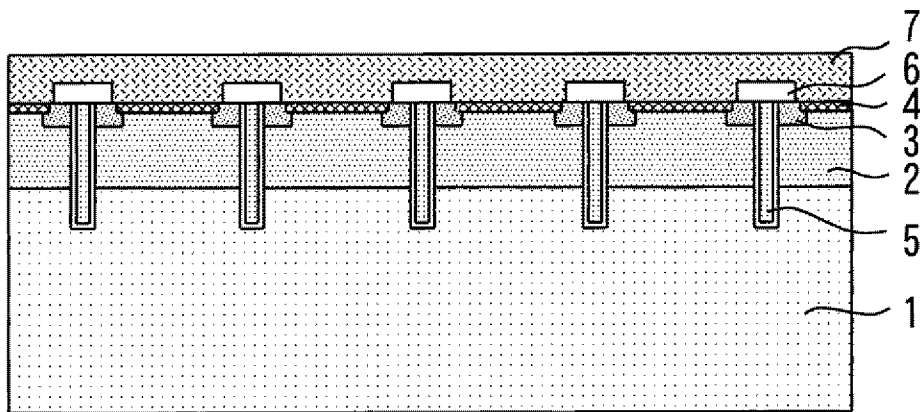
[図2]



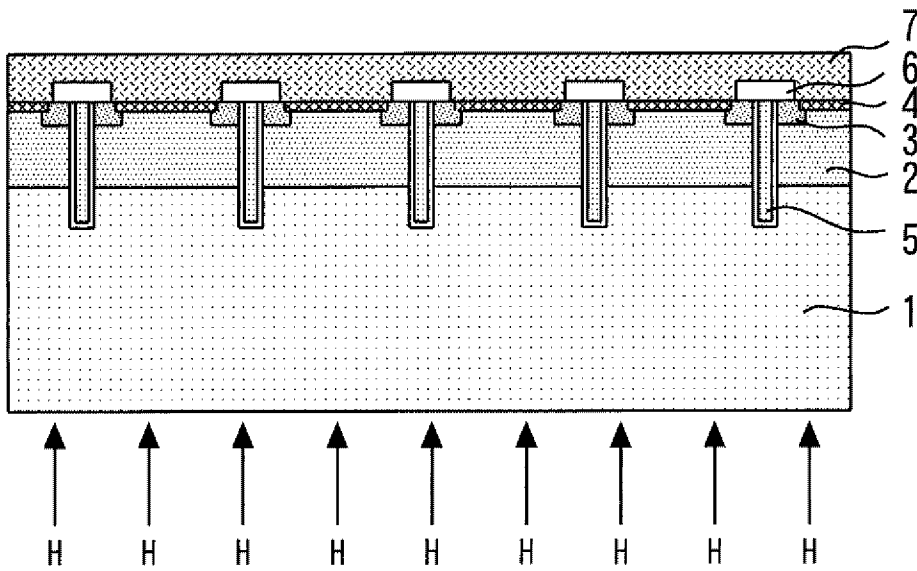
[図3]



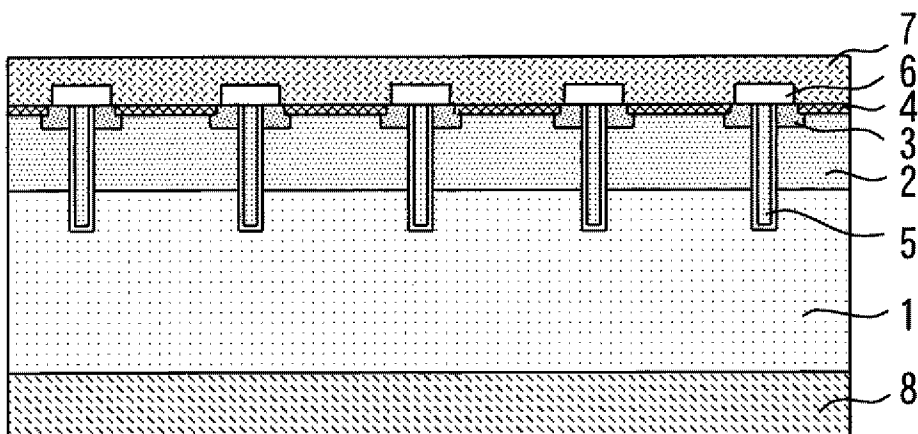
[図4]



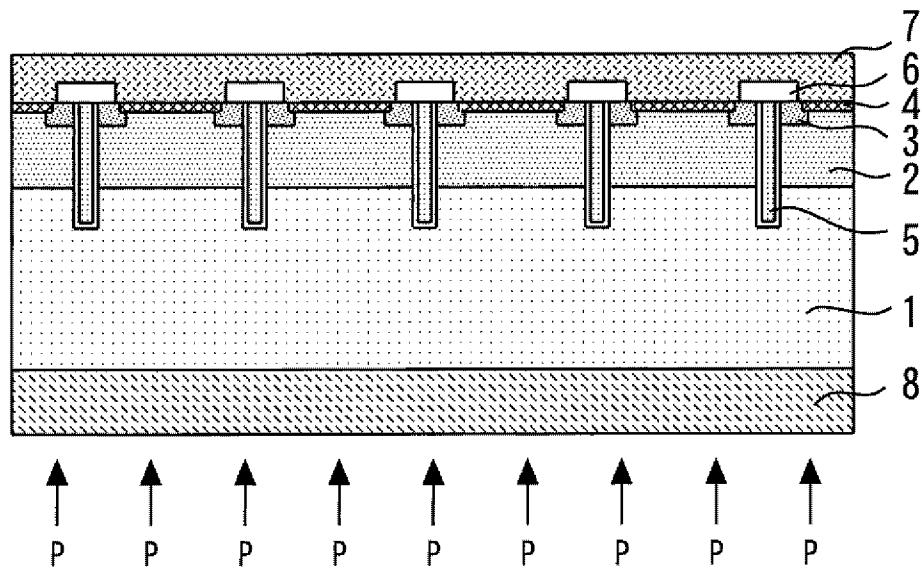
[図5]



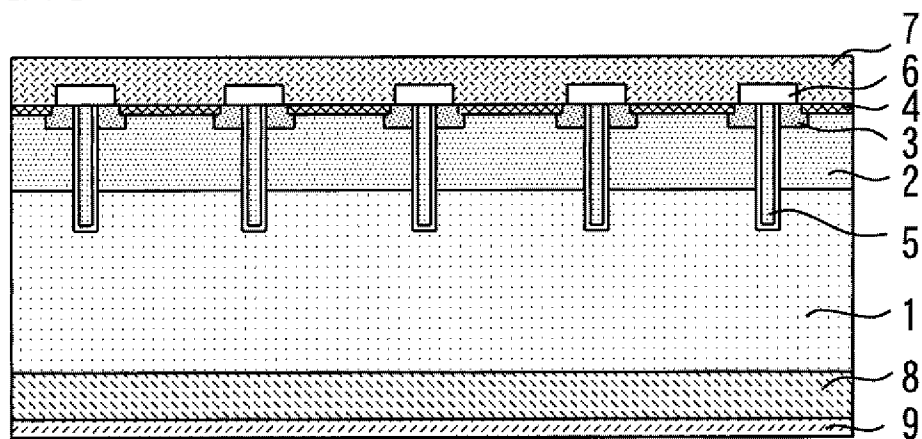
[図6]



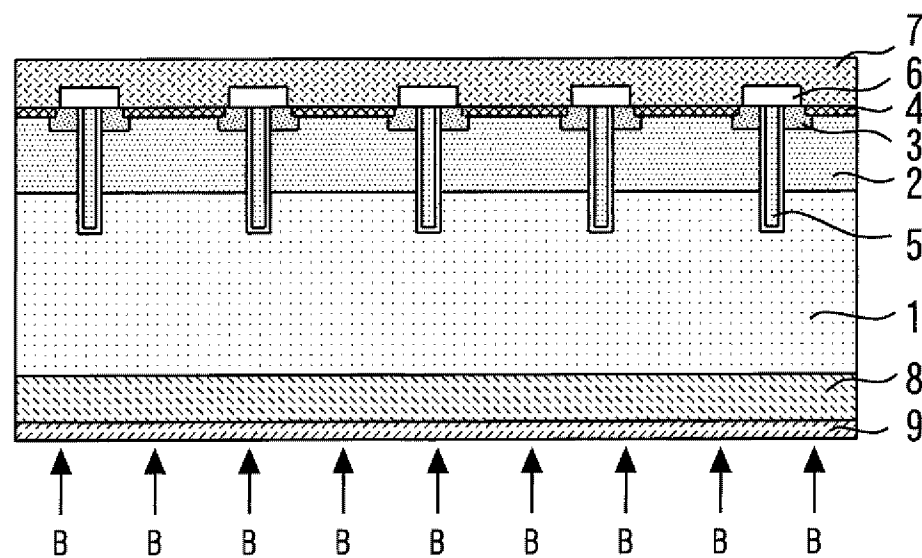
[図7]



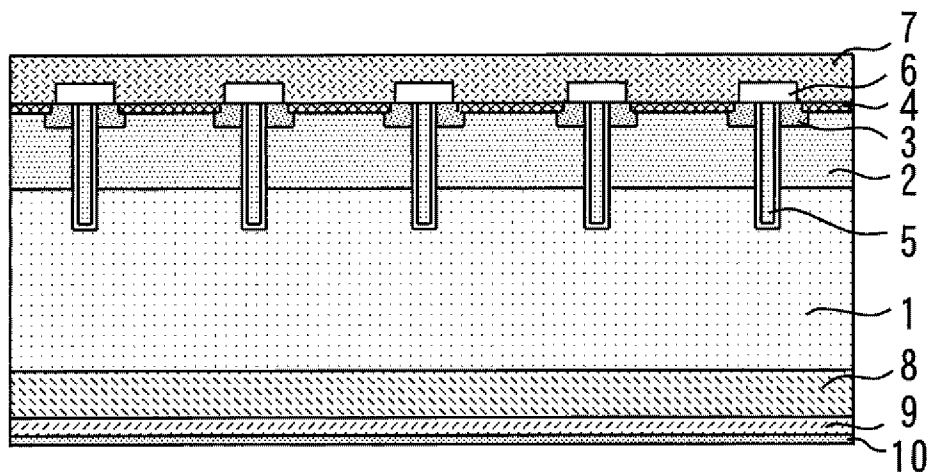
[図8]



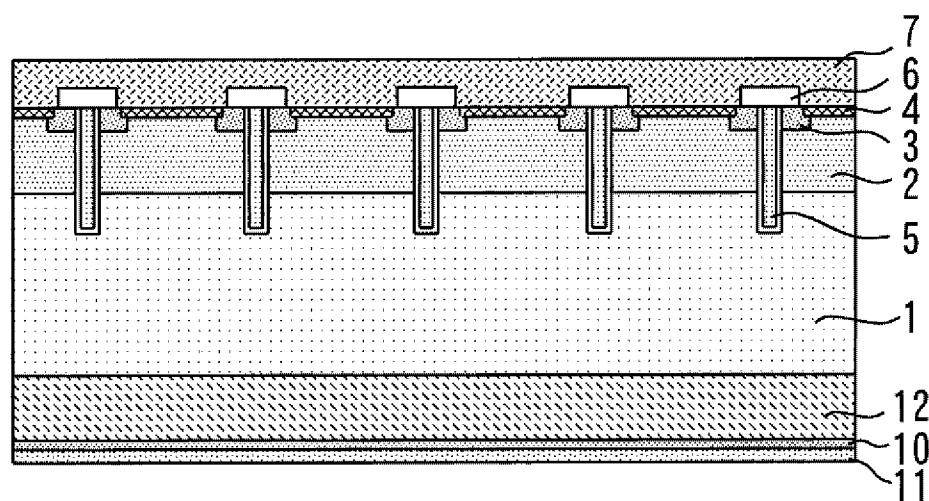
[図9]



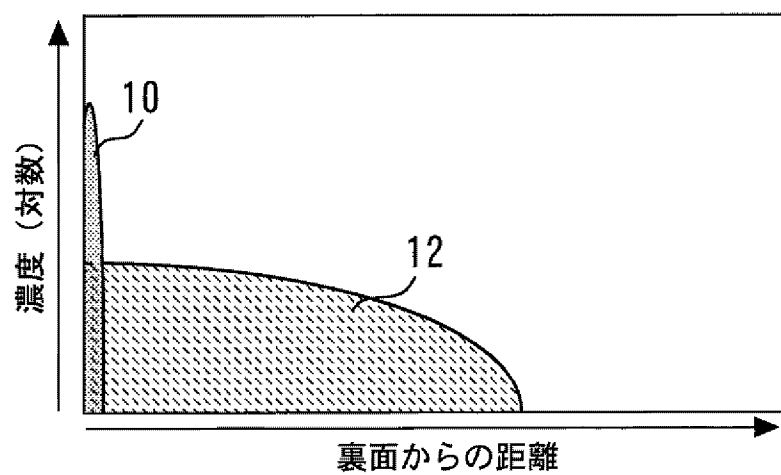
[図10]



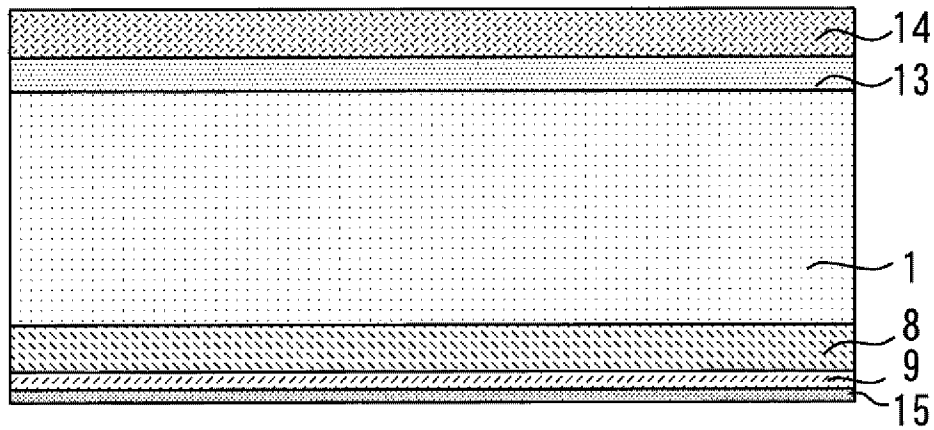
[図11]



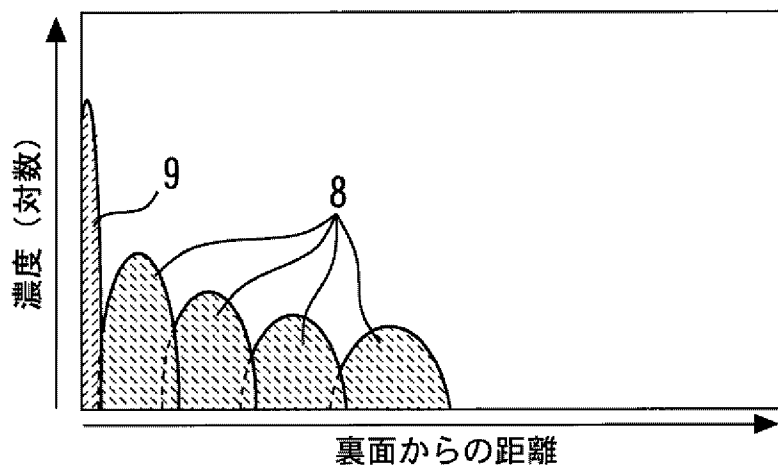
[図12]



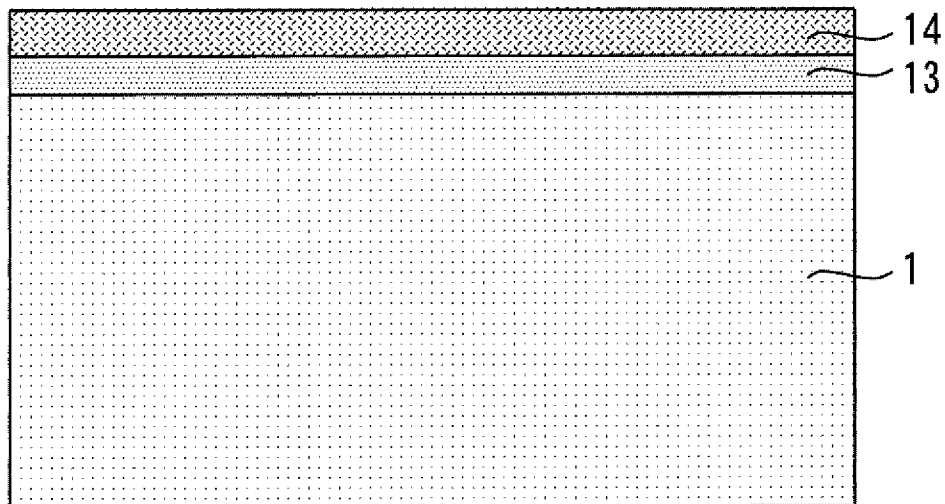
[図13]



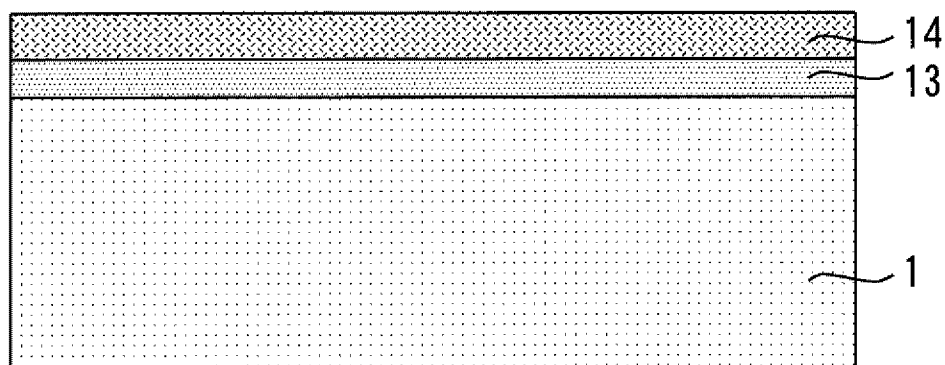
[図14]



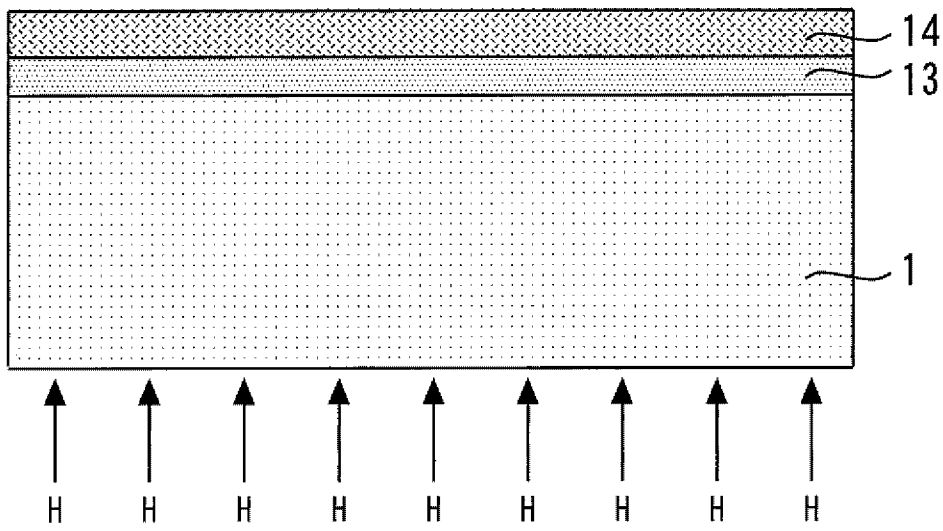
[図15]



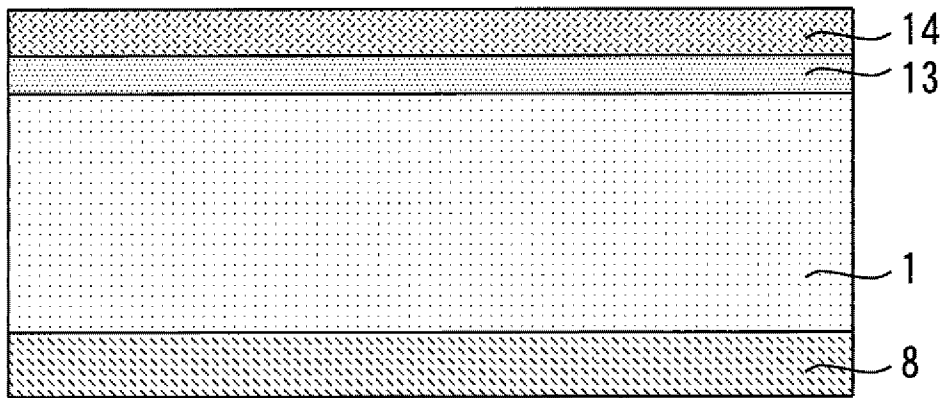
[図16]



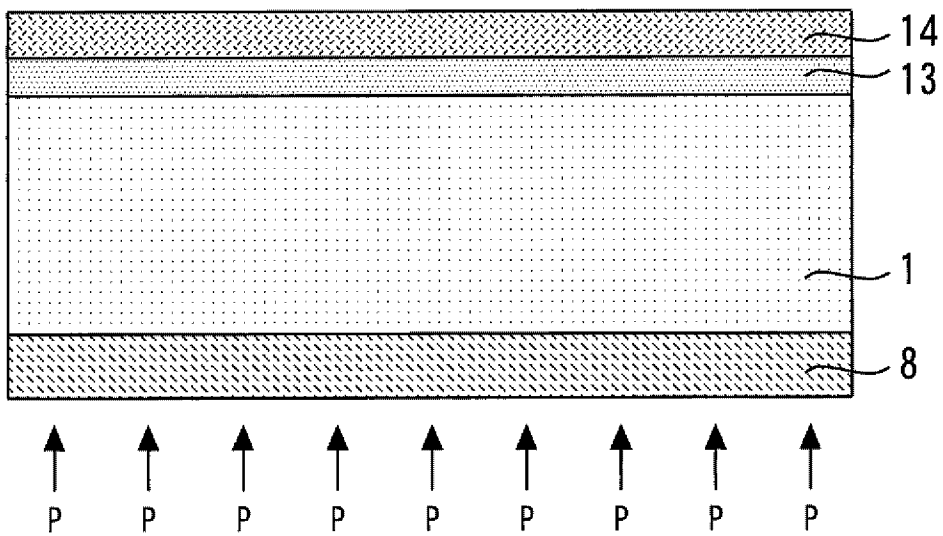
[図17]



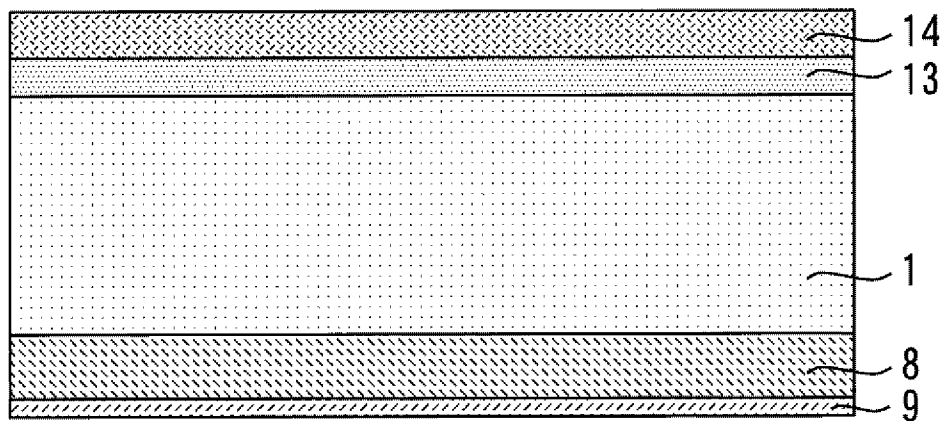
[図18]



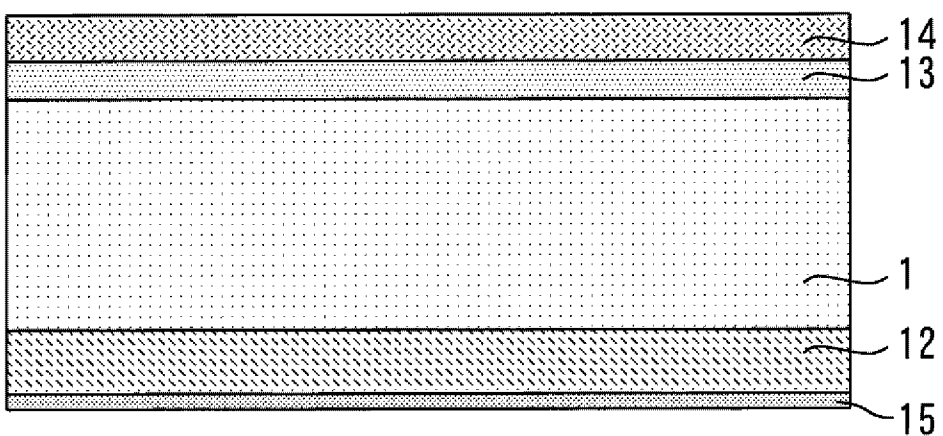
[図19]



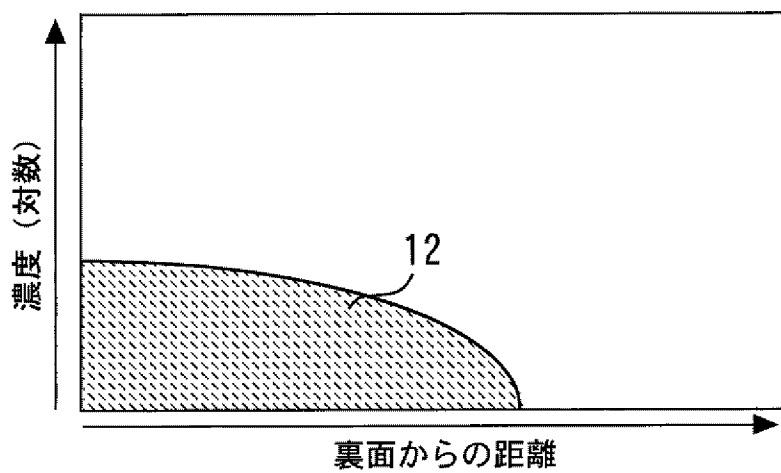
[図20]



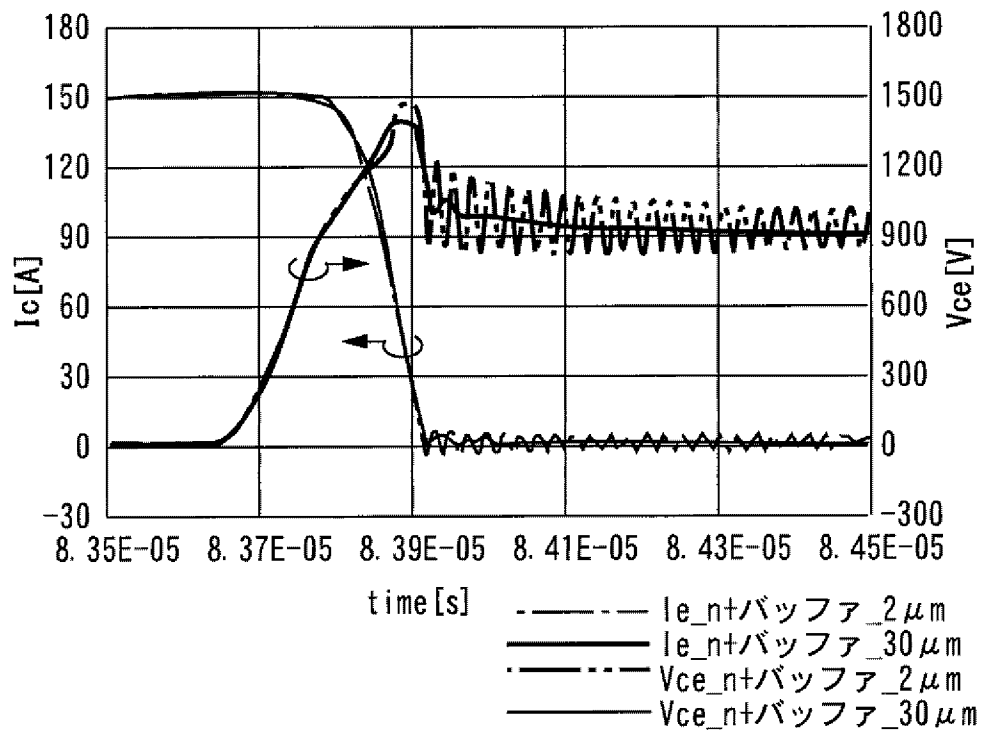
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/057539

A. CLASSIFICATION OF SUBJECT MATTER
H01L29/739(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i,
H01L29/861
(2006.01)i, H01L29/868(2006.01)i

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
H01L29/739, H01L21/336, H01L29/78, H01L29/861, H01L29/868

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2015
Kokai Jitsuyo Shinan Koho 1971-2015 Toroku Jitsuyo Shinan Koho 1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2013-138172 A (Denso Corp.), 11 July 2013 (11.07.2013), fig. 1 to 2; paragraphs [0012], [0026], [0038] & US 2014/0299915 A1 & WO 2013/080417 A1 & DE 112012004985 T5 & CN 103959473 A	1-10
Y	JP 4128777 B2 (International Rectifier Corp.), 23 May 2008 (23.05.2008), fig. 6; paragraphs [0011], [0015], [0035] to [0036] & JP 2003-533047 A & US 6482681 B1 & US 2002/0190281 A1 & WO 01/086712 A1 & EP 1297567 A1 & AU 5725101 A & CN 1439172 A	1-10

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 24 April 2015 (24.04.15)	Date of mailing of the international search report 12 May 2015 (12.05.15)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/057539

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-507058 A (Harris Corp.), 05 March 2002 (05.03.2002), paragraph [0078] & US 6274892 B1 & US 6194290 B1 & US 6153495 A & WO 1999/046809 A1 & EP 1062692 A1	7-10 1-6
Y A	WO 2013/147274 A1 (Fuji Electric Co., Ltd.), 03 October 2013 (03.10.2013), fig. 1; paragraphs [0052], [0059] & EP 2790209 A1 & CN 104145326 A & KR 10-2014-0138598 A & US 2014/0374793 A1	9-10 1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L29/739(2006.01)i, H01L21/336(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i, H01L29/868(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L29/739, H01L21/336, H01L29/78, H01L29/861, H01L29/868		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2013-138172 A (株式会社デンソー) 2013.07.11, 図1-2、段落0012, 0026, 0038 & US 2014/0299915 A1 & WO 2013/080417 A1 & DE 112012004985 T5 & CN 103959473 A	1-10
Y	JP 4128777 B2 (インターナショナル・レクチファイヤー・コーポレーション) 2008.05.23, 図6、段落0011, 0015, 0035-0036 & JP 2003-533047 A & US 6482681 B1 & US 2002/0190281 A1 & WO 01/086712 A1 & EP 1297567 A1 & AU 5725101 A & CN 1439172 A	1-10
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 24.04.2015	国際調査報告の発送日 12.05.2015	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 儀同 孝信 電話番号 03-3581-1101 内線 3516	5 F 3566

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2002-507058 A (ハリス コーポレーション) 2002.03.05, 段落 0078 & US 6274892 B1 & US 6194290 B1 & US 6153495 A & WO 1999/046809 A1 & EP 1062692 A1	7-10 1-6
Y A	WO 2013/147274 A1 (富士電機株式会社) 2013.10.03, 図1、段落0 052, 0059 & EP 2790209 A1 & CN 104145326 A & KR 10-2014-0138598 A & US 2014/0374793 A1	9-10 1-8