

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3596830号
(P3596830)

(45) 発行日 平成16年12月2日(2004.12.2)

(24) 登録日 平成16年9月17日(2004.9.17)

(51) Int. Cl.⁷

F I

H O 1 L 21/822

H O 1 L 27/04 H

H O 1 L 27/04

H O 1 L 27/06 3 1 1 A

H O 1 L 27/06

請求項の数 4 (全 29 頁)

(21) 出願番号	特願平7-307591	(73) 特許権者	503121103
(22) 出願日	平成7年11月27日(1995.11.27)		株式会社ルネサステクノロジ
(65) 公開番号	特開平9-148527		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成9年6月6日(1997.6.6)	(74) 代理人	100064746
審査請求日	平成14年10月16日(2002.10.16)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100098316
			弁理士 野田 久登
		(74) 代理人	100109162
			弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体装置の入力保護回路

(57) 【特許請求の範囲】

【請求項1】

外部から供給される電源電位を受けて内部へ伝達する外部電源ノード、
前記外部電源ノードから供給される外部電源電圧を変換して内部電源ノード上に内部電源電圧を発生する内部電源電圧発生手段、および
前記外部電源ノードに結合される第1のノードと、前記内部電源ノードに結合される第2のノードとを有し、前記第1のノードへの前記外部電源電圧の通常時の電圧よりも高い電圧の印加時に導通して前記第1のノードと前記第2のノードとを電氣的に接続する高電圧導通機構を備え、
前記高電圧導通機構は、
前記第1のノードに接続されかつ前記外部電源電圧を使用する回路素子が形成される第1の基板領域と、
前記第1の基板領域と平面レイアウトにおいて隣接しかつ間をおいて配置される、前記第2のノードに接続される拡散領域とを備え、
前記第1の基板領域に形成される回路素子は、前記内部電源電圧を生成する内部電源電圧発生手段を含み、
前記拡散領域は、前記内部電源電圧を利用する内部回路が形成される領域と電氣的に接続される、半導体装置の入力保護回路。

【請求項2】

前記拡散領域は前記基板領域を取り囲むように形成される、請求項1記載の半導体装置の

入力保護回路。

【請求項 3】

前記拡散領域は、前記基板領域内に形成される、請求項 1 記載の半導体装置の入力保護回路。

【請求項 4】

前記第 1 の基板領域と前記第 1 のノードとを電氣的に接続する配線と、
前記配線を前記第 1 の基板領域に電氣的に接続するコンタクトと、
前記コンタクト領域において前記第 1 の基板領域下部に形成される前記第一の基板領域よりも低濃度でかつ前記第 1 の基板領域と同一導電型の不純物領域をさらに備える、請求項 1 記載の半導体装置の入力保護回路。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、半導体装置の電源入力端子および信号入出力端子に外部から印加される過渡的高電圧サージから内部回路を保護する入力保護回路に関し、特に、半導体集積回路の電源入力端子に印加される高電圧サージから内部回路を保護するための構成に関する。

【0002】

【従来の技術】

図 26 は、従来のたとえばダイナミック・ランダム・アクセス・メモリである半導体装置の電源入力部のレイアウトおよび断面構造を示す図である。図 26 (A) において、たとえばアルミニウム (A1) で構成される電源入力パッド 1 に対し、図示しない外部ピン端子を介して外部から電源電圧 V_{cc} が印加される。この電源入力パッド 1 に、比較的幅の広いたとえばアルミニウムで構成される電源線 2 が接続され、内部回路へ外部から与えられる電源電位 V_{cc} を伝達する。この電源線 2 と平行して比較的幅の広い、たとえばアルミニウムで構成される接地電位 GND を伝達するための接地線 3 が配設される。この接地線 3 は、図示しない接地電位入力パッドに接続される。

20

【0003】

この電源線 2 および接地線 3 が互いに隣接してかつ平行して配置される領域において、これらの電源線 2 および接地線 3 下に、高濃度不純物領域で構成されるフィールド領域 4 および 5 が形成される。このフィールド領域 4 および 5 は、それぞれコンタクト孔 (またはパイホール) 4a および 5a を介して接続される。図 26 (A) においては、フィールド領域 4 および 5 は、N 型不純物領域で構成されるように示される。

30

【0004】

図 26 (B) において、フィールド領域 4 および 5 は、P 型半導体基板 6 の表面上に互いに間をおいて形成される。このフィールド領域 4 および 5 の間には、素子分離用の、フィールド絶縁膜 7a が形成される。このフィールド絶縁膜 7a は、通常、LOCOS (シリコン局所酸化膜) で形成される。フィールド領域 4 および 5 外部に、他の領域と分離するための LOCOS 分離酸化膜 7b が形成される。

【0005】

このフィールド領域 4 および 5 ならびにフィールド絶縁膜 7a は、通常フィールドトランジスタと称される素子を構成する。このフィールド絶縁膜 7a 上にゲート電極層が形成されて、このゲート電極層がフィールド領域 5 に電氣的に接続されてもよい。フィールド領域 4 は、ノード 4b を介して外部から与えられる電源電位 V_{cc} を受けるように接続され、またフィールド領域 5 は、ノード 5b を介して接地電位 GND を受けるように接続される。ノード 4b は、図 26 (A) に示す電源線 2 および電源入力パッド 1 のいずれかのノードである。また、このノード 4b は外部電源端子であってもよい。同様、接地電位 GND を受けるノード 5b は、接地線 3 上のいずれかのノードまたは接地入力パッドまたは外部接地入力端子である。

40

【0006】

フィールド領域 4 および 5 ならびにフィールド絶縁膜 7a が電源入力パッド 1 またはノー

50

ド4bへ与えられる過渡的高電圧サージに対する入力保護回路を形成する。次に、この入力保護回路の動作について簡単に説明する。

【0007】

電源入力パッド1またはノード4b上に過渡的高電圧サージが印加された場合、フィールド領域4の電位が高くなり、フィールド領域4と基板6の間の接合面に逆バイアスが印加される。このフィールド領域4へ印加される高電圧により、空乏層が広がり、フィールド領域4、基板6およびフィールド領域5を、それぞれコネクタ、ベースおよびエミッタとするnpn構造ラトラル寄生バイポーラトランジスタがパンチスルー現象を起こして導通し、この電源入力パッド1またはノード4bへ印加された高電圧サージがフィールド領域4、基板領域6およびフィールド領域5を介してノード5bへ伝達され、次いでこのノード5bから接地線3へ送電され、高電圧サージが吸収される。この寄生バイポーラトランジスタ導通時、また、フィールド領域4と基板6の間の接合に降伏現象を生じ、このフィールド領域4から基板6へ電流が流れ、ノード4bまたは電源入力パッド1へ印加された高電圧サージが基板6を介して吸収される(ここで、基板6は、接地電位または電圧Vbなどの所定電位レベルにバイアスされている)。

10

【0008】

上述のような、入力保護回路を電源入力パッドに対し設けることにより、この電源入力パッド1に印加される電源電位Vccを使用する回路に高電圧が印加されるのを防止し、この電源電圧Vccを使用する内部回路の破壊を防止することが図られる。

【0009】

20

【発明が解決しようとする課題】

過渡的高電圧サージが印加されたとき、高速でこの高電圧サージを吸収する必要がある。この電源線2から接地線3へ高速で高電圧サージを放電するために、このフィールドトランジスタのチャンネル幅(図26(A)におけるフィールド領域4および5が互いに対向する部分の長さ)を十分に大きくする必要がある。このため、入力保護回路に対して、大きなレイアウト面積が必要とされる。このフィールドトランジスタは、電源線2および接地線3が互いに隣接しかつ対向して配置される部分を利用して形成される。しかしながら、一般に、このような電源線2および接地線3が互いに対向してかつ隣接して配置されるような領域を確保するのが困難であり、特に高集積化された半導体集積回路においては、このような電源線2および接地線3を互いに対向してかつ隣接して配置させる領域を確保するのが困難であり、このフィールドトランジスタのチャンネル幅を十分大きくすることができず、十分なサージ吸収力を有する保護回路を設けるのが困難となるという問題が生じる。

30

【0010】

最近の半導体記憶装置においては、図27に示すように、電源入力パッド1へ与えられる外部電源電位Vccを内部降圧回路8で変換して内部電源電位Vintを生成して内部電源線9上に伝達することが行なわれる。この内部電源線9上の内部電源電位Vintを用いて内部回路を動作させる。半導体記憶装置の低消費電力化および高速動作化を図り、かつ外部装置の動作電源電位との互換性および従来の半導体記憶装置との互換性を維持するためである。

40

【0011】

また内部回路の動作を安定化するために、図28に示すように、半導体記憶装置の回路部をグループ化し、各グループに対しそれぞれ電源入力パッドを別々に設けることが行なわれる。

【0012】

図28において、半導体記憶装置(ダイナミック・ランダム・アクセス・メモリ)は、電源入力パッド1aへ外部から与えられる電源電位Vccを電源線2aを介して受けて動作する内部回路11と、電源入力パッド1bへ外部から与えられる電源電位Vccを電源線2bを介して受けて動作し、図示しない経路を介して与えられる内部データから外部読出データを生成してデータ出力パッド13へ読出データQを出力するデータ出力回路12を

50

含む。

【0013】

このデータ出力回路12は、データ出力パッド13に接続する外部回路および外部配線などの大きな負荷を高速で駆動するために、大きな電流駆動力が必要とされ、より大きな電流を消費する。このデータ出力回路12のデータ出力動作による電源線2b上の電源電位Vcc(VQcc)の変動が、内部回路11の動作に対し悪影響を及ぼさないように、電源入力パッド1aおよび1bが別々に設けられる。

【0014】

この図27および図28に示すような構成の場合、それぞれ必要とされる回路近傍に電源入力パッド1、1aおよび1bが設けられ、応じて外部電源電位VccおよびVQccを伝達する電源線2、2aおよび2bも長さが短くされる。また、1つの電源入力パッドから半導体記憶装置10内部の回路すべてへ電源電位Vccを供給する構成に比べ、これらが対象とする回路は限られており、電源線2、2aおよび2bも、少し小さくされる。このような場合、電源線2、2aおよび2bの配線浮遊容量は小さくなる。

10

【0015】

高電圧サージが入力される場合、そのサージ印加期間は比較的短時間であり、その短時間内に大量の電荷が供給される。このような電源線2、2aおよび2bの配線浮遊容量が小さい場合に一定電荷がサージとして供給された場合、 $V = Q / C$ の関係から、浮遊容量Cの値が小さくなるため、Qの値が一定であり、配線に大きな電圧Vが印加され、電源線2、2aおよび2bの破壊が生じ、応じてサージ耐性が弱くなるという問題が生じる。

20

【0016】

また、この図27および図28に示すように、電源線2、2aおよび2bの長さが短くされるため、図26に示すようなフィールドトランジスタを配置する領域も応じて狭くなり、十分なレイアウト面積を有するフィールドトランジスタまたは入力保護回路を配置することができなくなるという問題が生じる。この入力保護回路のレイアウト面積が小さくなる場合、このチャンネル幅が小さくなり、大電流を供給することができず、高速で高電圧サージを放電することができず、図26(B)に示すフィールド領域4と基板6の間の接合に対し大きな逆バイアス電圧が印加され、この接合が破壊され、サージ耐性が低下するという問題があった。

【0017】

それゆえ、この発明の目的は、チップサイズを増加させることなく容易に外部端子、特に電源入力端子のサージ耐性を大幅に改善することのできる入力保護回路を提供することである。

30

【0021】

請求項4に係る入力保護回路は、外部から各々に電源電位が印加される複数の外部電源供給パッドと、これら複数の外部電源供給パッドのうちの第1のパッドに結合される第1のノードと、これら複数の外部電源供給パッドのうちの第1のパッドと異なる第2のパッドに結合される第2のノードとを有し、第1のノードへの外部電源電位の通常時の電圧レベルよりも高い電位の印加時に導通して第1および第2のノードを電氣的に結合する高電圧導通機構を備える。

40

この高電圧導通機構は、半導体基板領域表面上に形成されかつ第1のノードに接続される第1の不純物領域と、この半導体基板領域表面上に第1の不純物領域と隣接してかつ間をおいて配置され、かつさらに第2のノードに電氣的に接続される第2の不純物領域とを備える。第1の不純物領域は第1導電型を有し、半導体基板領域および第2の不純物領域は第1の導電型と異なる第2導電型を有する。

【0035】

【課題を解決するための手段】

請求項1に係る入力保護回路は、外部から供給される電源電圧を受けて内部へ伝達する外部電源ノードと、この外部電源ノードから供給される外部電源電圧を変換して内部電源ノードに内部電源電圧を発生する内部電源電圧発生手段と、外部電源ノードに結合される第

50

1のノードと、内部電源ノードに結合される第2のノードとを有し、第1のノードへの外部電源電圧の通常時の電圧よりも高い電圧の印加時に導通して第1のノードと第2のノードとを電気的に接続する高電圧導通機構を備える。

高電圧導通機構は、第1のノードに接続されかつ外部電源電圧を使用する回路素子が形成される第1の基板領域と、この基板領域と平面レイアウトにおいて隣接してかつ間を置いて配置される、第2のノードに接続される拡散領域とを備える。

基板領域に形成される回路素子は、外部電源電圧から内部電源電圧を生成する内部電源電位発生手段を含む。拡散領域は、この内部電源電圧を利用する回路が形成される領域と電気的に接続される。

【0036】

請求項2に係る入力保護回路は、請求項1の拡散領域が、基板領域を取り囲むように形成される。

【0037】

請求項3に係る入力保護回路は、請求項1の拡散領域が、この基板領域内に形成される。請求項4に係る入力保護回路は、請求項1の回路が、さらに、第1のノードに電気的に接続する配線と、この配線と第1の基板領域とを電気的に接続するコンタクトと、このコンタクト領域において第1の基板領域下部に形成される第1の基板領域と同一導電型でかつ不純物濃度の低い不純物領域を備える。

【0040】

外部からの電源電位が印加されるノードに対し、この外部電源線近傍に平行して配置される固定電位が供給される導電線を利用することにより、従来と異なり、電源線と接地線とが並設される部分にのみ入力保護回路を設ける必要がなく、容易に必要な面積を確保することができ、応じてサージ耐性に優れた入力保護回路を実現することができる。

【0041】

【発明の実施の形態】

[実施の形態1]

図1は、この発明の実施の形態1に従う半導体装置の全体の構成を概略的に示す図である。図1において、半導体装置100は、外部から与えられる外部電源電位 V_{cc} を外部電源端子101を介して受けて内部へ伝達する外部電源線102と、外部から与えられる接地電位 GND を外部接地端子103を介して受けて内部へ伝達する接地線104と、外部電源線102および接地線104上の電位を両動作電源電位として動作し、その外部電源線102上の外部電源電位 V_{cc} を変換して内部電源線106上に内部電源電位 V_{int} を発生する内部降圧回路105と、内部電源線106上の内部電源電位 V_{int} と接地線104上の接地電位 GND とを両動作電源電位として動作して所定の機能を実現する内部電源使用回路107と、外部電源線102上の外部電源電位 V_{cc} および接地線104上の接地電位 GND を両動作電源電位として動作し、内部電源使用回路107と装置外部(外部端子109)との間で信号の入出力を行なう外部電源使用回路108を含む。外部電源使用回路108は、この半導体装置100が半導体記憶装置の場合、データの入出力を行なうデータ入出力回路ならびに制御信号およびアドレス信号を入力する入力バッファ回路を含む。これらのデータ入出力回路および入力バッファ回路の装置外部とのインタフェースとなる部分が外部電源電位 V_{cc} を使用する。内部電源使用回路107は、この半導体装置100が半導体記憶装置の場合、メモリセルアレイを駆動する回路部分を含む。メモリセルアレイの周辺に設けられる周辺回路(デコーダ等)が内部電源電位を使用するか、または外部電源電位を使用するかは、この適用される半導体記憶装置の構成により決定される。

【0042】

半導体装置100は、さらに、外部電源線102と内部電源線106の間に配置される高電圧導通機構110を含む。この高電圧導通機構110は、外部電源線102に結合される一方導通ノード(第1のノード)と、内部電源線106に結合される他方導通ノード(第2のノード)とを有し、外部電源線102に高電圧サージが印加されると導通し、この

10

20

30

40

50

外部電源線102と内部電源線106とを電氣的に接続する。外部電源線102と内部電源線106とは、通常、図1に示すように、長距離にわたって互いに平行して配置されることが多い(電源線レイアウトの容易化のため)。

【0043】

したがって、接地線104と外部電源線102とが離れて配置され、これらが互いに平行して配置される領域を確保することができない場合においても、高電圧導通機構110は、十分なレイアウト面積を有することができる。外部電源線102に過渡的高電圧サージが印加されて、この高電圧サージが内部電源線106へ放電されても、内部電源線106には、それ自身の大きな浮遊容量および内部電源使用回路107の有する寄生容量が存在するため、この内部電源線106は、大きな負容量を有しており、十分にこの過渡高電圧サージを吸収することができる。

10

【0044】

図2は、図1に示す内部降圧回路105の詳細構成を示す図である。図2において、内部降圧回路105は、内部電源線106上の内部電源電位 V_{int} とたとえば2.5Vである基準電位 V_{ref} とを比較する比較器105aと、外部電源線102と内部電源線106との間に接続されかつそのゲートに比較器105aの出力信号を受けるpチャネルMOSトランジスタ(絶縁ゲート型電界効果トランジスタ)で構成されるドライブトランジスタ105bとを含む。比較器105aは、内部電源線106上の内部電源電位 V_{int} が基準電位 V_{ref} よりも高いときには、Hレベルの信号を出力し、ドライブトランジスタ105bをオフ状態とし、一方、内部電源電位 V_{int} の基準電位 V_{ref} よりも低い場合には、比較器105aはその出力信号をLレベルとして、ドライブトランジスタ105bのコンダクタンスを大きくする。これによりドライブトランジスタ105bが外部電源線102から内部電源線106へ電流を供給して、内部電源電位 V_{int} の電位レベルを上昇させる。したがって、内部電源電位 V_{int} は、基準電位 V_{ref} と同じ電位レベルに保持される。この基準電位 V_{ref} は、通常、外部電源電位 V_{cc} から生成される。

20

【0045】

外部電源線102に、この外部電源電位 V_{cc} の通常の電位レベル(たとえば3.3V)よりも高い電圧レベルの過渡高電圧サージ(パルス状の高電圧ノイズであり、KVオーダを有する)が印加されると、高電圧導通機構110が導通し、この外部電源線102と内部電源線106とを電氣的に接続する。内部電源線106には、内部電源使用回路107等により与えられる浮遊容量 C_p が存在し、この過渡高電圧サージにより与えられる電荷 q が、浮遊容量 C_p に吸収される。浮遊容量 C_p は十分な大きさを有しているため、内部電源線106上の内部電源電位 V_{int} の電位レベルに悪影響を及ぼすことなくこの高電圧サージを吸収することができ、図1に示す内部電源使用回路107および外部電源使用回路108がこの過渡高電圧サージにより破壊されるのを防止することができる。

30

【0046】

図3は、図1および図2に示す高電圧導通機構の構成をより詳細に示す図である。図3(A)において、外部電源線102は、たとえばアルミニウム(A1)で構成され、図1に示す外部電源端子101に接続される電源入力パッド101aに、たとえばアルミニウム配線で構成される導電層102aを介して接続されてこの電源入力パッド101aから外部電源電位 V_{cc} を受けて内部へ伝達する。この外部電源線102と平行に、たとえばアルミニウムで形成される内部電源線106が配設される。

40

【0047】

高電圧導通機構110は、この外部電源線102にコンタクト孔(またはバイヤ孔)120aを介して電氣的に接続されるフィールド領域120と、内部電源線106に、コンタクト孔(またはバイヤ孔)122aを介して電氣的に接続されるフィールド領域122を含む。このフィールド領域120および122は、互いに平行にかつ間をおいて配置される。このフィールド領域120および122の間隔は、約3 μ m以下とされる(高電圧印加時パンチスルーが生じ、これらのフィールド領域120および122が電氣的に接続されやすくするためである)。

50

【0048】

図3(B)は、図3(A)に示すラインA-Aに沿った断面構造を示す図である。図3(B)において、フィールド領域120および122は、p型半導体基板112表面上に、間を置いて形成される高濃度n型不純物領域で形成される。フィールド領域120は第1のノード121を介して電源入力パッド101aに与えられた外部電源電位 V_{cc} を受ける。フィールド領域122は、第2のノード123を介して内部電源電位 V_{int} を受けるように接続される。この第1および第2のノード121および123は、それぞれ、電源線102および106上のノードを示す。

【0049】

フィールド領域120および122の間の半導体基板112表面上に、たとえば熱酸化法を用いて形成されるフィールド絶縁膜124が形成される。このフィールド絶縁膜124上にゲート電極層が形成されていてもよい。このフィールド領域120および122外部に、LOCOS酸化膜126aおよび126bが形成される。フィールド領域120、半導体基板112およびフィールド領域122により、ラテラルnpn寄生バイポーラトランジスタが形成される。第1のノード121に、過渡高電圧サージが印加されてその電圧レベルが上昇したとき、フィールド領域120の電位が上昇して空乏層が広がり、フィールド領域120および122が電氣的に導通するいわゆるパンチスルー現象が生じ、この第1のノードに生じた高電圧サージが、フィールド領域122を介して第2のノード123へ伝達され、内部電源線106により吸収される。この過渡高電圧サージが高い場合には、フィールド領域120とp型半導体基板112との間に形成されるn+/p接合の降伏現象が生じ、フィールド領域120から半導体基板112へ電荷が供給されて、この半導体基板112により吸収される。ここで、半導体基板112は、図示しないが、たとえば接地電位GNDまたは負電位 V_{bb} などの所定電位レベルにバイアスされている。

【0050】

図3(A)に示すように、外部電源線102と内部電源線106とは、長距離にわたって互いに隣接して配置される。したがって、このフィールド領域120および122も、長距離にわたって互いに隣接してかつ対向して配置することができ、十分な大きさの幅を持つことができ、応じてフィールド領域120からフィールド領域122へ高速で大きな電流(電荷量)を流すことができ、安定に過渡高電圧サージを吸収することができる。外部電源線102も長距離にわたって延在するため、その寄生容量も大きく、過渡高電圧サージが印加されても、この電荷を吸収して電圧レベルの上昇を抑制することができる($V = q/C$)、この外部電源線102のサージ耐性を改善することができる。これは、内部電源線106においても、同様である。なお、フィールド領域120も、その幅を十分大きくとることができ、応じて接合容量も大きくなり、過渡高電圧サージ印加時においても、そのフィールド領域120の電圧レベルの上昇を抑制することができ、フィールド領域120と半導体基板112との間に形成される接合がサージ印加時破壊されるのを防止することができ、サージ耐性が改善される。

【0051】

なお、この実施の形態1において、外部電源線102と、接地線104が隣接してかつ平行に配置される領域において、従来と同様の入力保護回路が設けられていてもよい。

【0052】

以上のように、この発明の実施の形態1に従えば、外部電源線と内部電源線とをこの外部電源線への過渡高電圧印加時に電氣的に接続するように構成したため、外部電源線および内部電源線が長距離にわたって平行に配設されるため、十分な幅を有するフィールド領域を容易に形成することができ、サージ耐性に優れかつ確実に過渡高電圧サージを吸収することのできる入力保護回路を得ることができる。

【0053】

[実施の形態2]

図4(A)および(B)は、この発明の実施の形態2に従う入力保護回路部分の平面レイアウトおよび断面構造を示す図である。図4(A)において、高電圧導電機構110は、

10

20

30

40

50

外部電源線 102 下に、これと平行して形成されるフィールド領域 120 と、この外部電源線 102 と平行してかつ隣接して配置される内部電源線 106 下にこの内部電源線 106 と平行に形成されるフィールド領域 122 と、フィールド領域 120 および 122 の間に形成されるたとえば第 1 層ポリシリコンで形成されるゲート電極層 126 を含む。このゲート電極層 126 はバイヤホール 124 a を介して内部電源線 106 に接続される。フィールド領域 120 および 122 の間の距離は約 3 μm 以下とされる。これは、以下の実施形態においても同様である。

【0054】

フィールド領域 120 および 122 は、それぞれコンタクト孔（またはワイヤ孔）120 a および 122 a を介して外部電源線 102 および内部電源線 106 にそれぞれ接続される。したがって、このゲート電極層 126 は、ワイヤ孔 124 a、内部電源線 106、コンタクト孔 122 a を介してフィールド領域 122 に電氣的に接続される。

10

【0055】

図 4 (B) は、図 4 (A) に示すライン A - A に沿った断面構造を示す図である。図 4 (B) において、実施の形態 1 と同様 p 型半導体基板 112 表面上に、高濃度 n 型不純物領域で形成されるフィールド領域 120 および 122 が間をおいて形成される。このフィールド領域 120 および 122 の間の半導体基板 112 表面上に、ゲート絶縁膜（図示せず）を介してゲート電極層 126 が形成される。このゲート電極層 126 は、第 2 のノード 123 に接続される。他の構成は、実施の形態 1 と同じであり、対応する部分には同一の参照番号を付す。

20

【0056】

この図 4 (A) および (B) に示す構成においても、第 1 のノードに過渡高電圧サージが発生した場合、ゲート電極層 126 下の短チャネル領域にパンチスルーが生じ、このフィールド領域 120 および 122 が電氣的に接続され、高電圧サージがフィールド領域 120 および基板領域 112 を介してフィールド領域 122 へ伝達されて、続いて第 1 のノード 121 を介して内部電源線 106 に伝達されてそこで吸収される。この第 1 のノード 121 へ印加される過渡高電圧サージが高い場合、フィールド領域 120 と半導体基板 112 より形成される n + / p 接合の降伏現象が生じ、実施の形態 1 と同様、所定電位レベルにバイアスされた半導体基板 112 により吸収される。

【0057】

この図 4 (A) および (B) に示すように、高電圧導通機構として短チャネルの、通常の MOS トランジスタ（ゲート絶縁膜は比較的厚くして、その耐压特性を保持する必要がある）を用いても、実施の形態 1 と同様、第 1 のノードに発生した過渡高電圧サージは、寄生バイポーラトランジスタの導通（空乏層の広がりによるパンチスルー）により、第 2 のノード 123 を介して内部電源線 106 に吸収される。この MOS トランジスタのチャネル幅は十分広く確保することができるため、サージ耐性に優れた、かつ高速で過渡高電圧サージを吸収することのできる入力保護回路を実現することができる。なお、フィールド領域 120、122 を p + 型領域とし、基板 112 が n 型基板（Vcc バイアス）とし、かつゲートがノード 121 に接続されても同様の効果が得られる。

30

【0058】

[変更例 1]

図 5 は、この発明の実施の形態 2 の第 1 の変更例の構成を示す図である。図 5 において、高電圧導通機構 110 は、n 型半導体基板 114 表面上に形成される低不純物濃度の島状不純物領域（以下、ウェル領域と称す）116 と、このウェル領域 116 表面に形成される高濃度 n 型不純物領域で形成されるフィールド領域 120 と、高濃度 p 型不純物領域で構成されるフィールド領域 128 と、フィールド領域 120 および 128 の間に形成されるフィールド絶縁膜 124 を含む。フィールド領域 120 および 128 の外側には、LOCOS 酸化膜 126 a および 126 b が形成される。フィールド領域 120 は、第 1 のノード 121 に接続され、フィールド領域 128 は、第 2 のノード 123 に接続される。この図 5 に示す構成において、第 1 のノードに過渡高電圧サージが印加されると、フィー

40

50

ルド領域 120 とウェル領域 116 の間の $n + / p$ 接合に降伏現象が生じ、そのフィールド領域 120 からウェル領域 116 に電流が流れ込み、このウェル領域 116 に流れ込んだ電流は、フィールド領域 128 を介して第 2 のノード 123 へ伝達される。この第 2 のノード 123 は、内部電源線 106 に接続されており、第 1 のノード 121 上に発生した過渡高電圧サージは、内部電源線 106 により吸収される。

【0059】

このとき、またフィールド領域 120、ウェル領域 116 および半導体基板 114 により、パーチカル npn 寄生バイポーラトランジスタが形成されており、ウェル領域 116 の電位が上昇すると、この寄生バイポーラトランジスタが導通し、フィールド領域 120 からウェル領域 116 を介して半導体基板 114 へ電流が流れる。これにより、過渡高電圧サージの高い場合においても、確実にこのサージを吸収することができる。なお、図 5 においては、この高電圧導通機構の平面レイアウトは示していないが、フィールド領域 120 および 128 は、それぞれ外部電源線および内部電源線に平行して十分な幅を有するように形成される。

10

【0060】

[変更例 2]

図 6 は、この発明の実施の形態 2 の第 2 の変形例の構成を示す図である。図 6 に示す構成において、フィールド領域 120 および 122 の間の p 型半導体基板 112 表面のチャンネル領域 125 に、高濃度に p 型不純物が注入される。チャンネル領域 125 上に、図示しない十分厚いゲート絶縁膜を介してゲート電極層 136 が形成され、このゲート電極層 136 は、第 1 のノード 121 に接続される。

20

【0061】

チャンネル領域 125 への高濃度の p 型不純物イオン注入により、厚いゲート絶縁膜の効果に加えてこの MOS トランジスタのしきい値電圧は十分高くされる。この第 1 のノード 121 に過渡高電圧サージが発生した場合、第 1 のノード 121 と第 2 のノード 123 の電位差が、この MOS トランジスタのしきい値電圧よりも高くなると、この MOS トランジスタが導通し、第 1 のノード 121 から第 2 のノード 123 へ電流が流れ、第 2 のノード 123 を介して内部電源線 106 へ電荷が伝達され、サージが吸収される。この図 6 に示すような、十分に高いしきい値電圧を有する MOS トランジスタを用いても、同様の効果を得ることができる。

30

【0062】

このチャンネル領域 125 においては、図示のようにゲート絶縁膜に代えて、図 5 に示すフィールド絶縁膜 124 が形成されてもよい。なおこの図 6 に示す構成においても、第 1 のノードに過渡高電圧サージが発生し、フィールド領域 120 と半導体基板 112 の間の $n + / p$ 接合に降伏現象が生じた場合、フィールド領域 120 から半導体基板 112 へ電流が流れ、同様、サージがこの半導体基板 112 により吸収される。

【0063】

以上のように、この発明の実施の形態 2 に従えば、フィールドトランジスタに代えて、MOS トランジスタまたは $n + / p$ 接合を用いて入力保護機構を構成しているため、過渡高電圧サージ発生時、MOS トランジスタのパンチスルー現象（寄生バイポーラトランジスタのオン状態）または n / p 接合の降伏現象により、この過渡高電圧サージを吸収することができ、内部回路を確実に保護することができる。

40

【0064】

[実施の形態 3]

図 7 (A) は、この発明の実施の形態 3 に従う入力保護回路の平面レイアウトを示し、図 7 (B) は、図 7 (A) のライン A - A に沿った断面構造を示す図である。

【0065】

図 7 (A) において、高電圧導通機構は、電源入力パッド 101 a に導電配線 102 a を介して接続される外部電源線 102 と、この外部電源線 102 と平行してかつ間において配置される一定の電位を伝達する導電配線 140 と、この外部電源線 102 に、コンタク

50

ト孔 1 4 2 a を介して接続されるフィールド領域 1 4 2 と、導電配線 1 4 0 にコンタクト孔 1 4 4 a を介して接続されるフィールド領域 1 4 4 を含む。このフィールド領域 1 4 2 および 1 4 4 は、それぞれ、外部電源線 1 0 2 および導電配線 1 4 0 と平行にかつそれらの下部に形成される。フィールド領域 1 4 2 および 1 4 4 は、それぞれ十分な幅を有するように形成される。

【 0 0 6 6 】

図 7 (B) において、フィールド領域 1 4 2 および 1 4 4 は、それぞれ、高濃度 n 型不純物領域で構成される。フィールド領域 1 4 2 は、コンタクト孔 1 4 2 a に形成されたコンタクト 1 4 2 b を介して外部電源線 1 0 2 に接続される。このコンタクトとフィールド領域 1 4 2 との接触部の下部に、このフィールド領域 1 4 2 外部にかつフィールド領域 1 4 2 と接して低不純物濃度の n 型不純物領域 (下部ウェルと以下称す) 1 4 5 が形成される。フィールド領域 1 4 4 は、コンタクト孔 1 4 4 a に形成されたコンタクト 1 4 4 b を介して導電配線 1 4 0 に接続される。フィールド領域 1 4 4 とコンタクト 1 4 4 b との接触部の下部のフィールド領域 1 4 4 の外部に、このフィールド領域 1 4 4 と接して下部ウェル 1 4 6 が形成される。これらの下部ウェル 1 4 5 および 1 4 6 ならびにフィールド領域 1 4 2 および 1 4 4 は、p 型半導体基板 1 1 2 表面に形成される。

10

【 0 0 6 7 】

導電配線 1 4 0 は、実施の形態 1 または実施の形態 2 の内部電源線であってもよく、また別系統の外部電源線が設けられている場合、この別系統の外部電源線であってもよい。または、この導電配線 1 4 0 は、接地電位を伝達する接地線であってもよい。

20

【 0 0 6 8 】

外部電源線 1 0 2 に過渡高電圧サージが発生した場合、このフィールド領域 1 4 2 に対し、コンタクト 1 4 2 b を介して大電流が流れる。この大電流により、フィールド領域 1 4 2 の電位が上昇したとき、フィールド領域 1 4 2 と基板 1 1 2 との間に高電界が生じる。しかしながら、下部ウェル 1 4 5 を設けることにより、このフィールド領域 1 4 2 と基板 1 1 2 との間の不純物濃度勾配が緩やかとなり、高電界が発生しやすい部分において、この不純物濃度の勾配により、空乏層が狭くなるのを防止することができ、p / n + 接合面に高電界が印加されるのを防止することができ、接合耐圧を改善することができる。これにより、サージ印加時における接合破壊を防止することができる。また、コンタクト 1 4 2 b に大電流が流れ、このコンタクト 1 4 2 b を構成する金属が溶融してフィールド領域 1 4 2 で拡散しても、この溶融金属は下部ウェル 1 4 5 にまで拡散するだけであり、この溶融金属によるコンタクト 1 4 2 b と基板 1 1 2 との短絡を防止することができる (突き抜け現象の防止) 。これにより、サージ発生時におけるフィールド領域 1 4 2 における接合破壊を防止することができ、サージ耐性を増加させることができる。

30

【 0 0 6 9 】

また、サージ発生時において、フィールド領域 1 4 2 から基板 1 1 2 を介して大電流が流れ込むとき、フィールド領域 1 4 4 に大電流が流れ、同様高電界が発生する可能性があるもの、この下部ウェル 1 4 6 を設けることにより、フィールド領域 1 4 4 における高電界の発生を抑制することができ、また大電流によるコンタクト 1 4 4 b 溶融時においても、その溶融金属の拡散を下部ウェル 1 4 6 内で停止させることができ、コンタクト 1 4 4 b と基板 1 1 2 との短絡を防止することができる。

40

【 0 0 7 0 】

また、この導電配線 1 4 0 に対しても、下部ウェル 1 4 6 を設けておくことにより、たとえば導電配線 1 4 0 が別系統の動作電源配線または接地線の場合、この導電配線 1 4 0 において発生した過渡高電圧サージを、安定に外部電源線 1 0 2 で吸収することができ、外部電源線 1 0 2 および導電配線 1 4 0 いずれにおいて過渡高電圧サージが発生した場合においても、確実にこのサージを吸収することができる。

【 0 0 7 1 】

[変更例 1]

図 8 は、この発明の実施の形態 3 の第 1 の変更例の構成を示す図である。図 8 に示す構成

50

においては、フィールドトランジスタに代えて、MOSトランジスタが用いられる。すなわち、フィールド領域142および144間の半導体基板112表面上に、ゲート絶縁膜(図示せず)を介してゲート電極層147が形成される。このゲート電極層147は、導電配線140に接続される。他の構成は、図7(B)に示す構成と同じであり、対応する部分には同一の参照番号を付す。

【0072】

この図8に示す構成においては、外部電源配線102において過渡高電圧サージが発生した場合、大電流がコンタクト142bを介して流れても、このコンタクト142bの熔融金属の半導体基板112への拡散を防止することができ、またこのフィールド領域142の接合界面における電界集中を緩和することができ、接合破壊を防止することができる。10

【0073】

なお、この図8に示す構成において、下部ウェル145は、ゲート電極層147下部にまで形成され、いわゆるLDD(ライトリードプドレイン)構造と同様の構成がとられてもよい。これはフィールド領域142においても同様である。

【0074】

[変更例2]

図9は、この発明の実施の形態3の第2の変更例の構成を示す図である。図9に示す構成においては、n型半導体基板114表面に、低不純物濃度のp型ウェル領域116が形成される。このウェル領域116表面に、間をおいて高濃度n型不純物領域で構成されるフィールド領域142と、高濃度p型不純物領域で形成されるフィールド領域149が形成される。フィールド領域142は、コンタクト142bを介して外部電源線102に接続され、フィールド領域149は、コンタクト144bを介して導電配線140に接続される。フィールド領域142および149の間のウェル領域116表面に、フィールド絶縁膜124が形成される。この図9に示す構成は、p/n接合ダイオードを用いて、外部電源線102に発生した高電圧サージを導電配線140により吸収している。フィールド領域149は、ウェル領域116と電気的に接続されており、したがってこのウェル領域116とフィールド領域149の間の接合(p+/p接合)においては、何ら高電界は印加されない。したがって、このフィールド領域149においては下部ウェルは設けられていない。一方、フィールド領域142においては、このフィールド領域142はn型不純物領域で構成されているため、高電圧サージが外部電源線102において発生したときに生じるn+/p接合面における高電界集中を下部ウェル145により緩和する。また、この下部ウェル145により、コンタクト142bの熔融金属のウェル116への拡散を防止し、フィールド領域142に対する金属突き抜け現象を防止する。これにより、安定に外部電源線102において発生した過渡高電圧サージを吸収することができる。20

【0075】

またこの図9に示す構成においては、下部ウェル145を設けることにより、下部ウェル145とn型半導体基板114との間の距離が短くなる。したがって、フィールド領域142および下部ウェル145をコレクタとし、pウェル領域116をベースとし、n型半導体基板114をエミッタとするパーティカル寄生バイポーラトランジスタのベース領域の長さが短くされ、このパーティカル寄生バイポーラトランジスタの電流増幅率が高くされ、フィールド領域142からウェル領域116へ電流が流れ込んだとき、この寄生バイポーラトランジスタが高速でオン状態とされ、ウェル領域116から半導体基板114へ電流を流すことにより、サージを、導電配線140および半導体基板114両方で吸収することができ、高速かつ確実に過渡高電圧サージを吸収することができる。40

【0076】

[変更例3]

図10は、この発明の実施の形態3の第3の変更例の構成を示す図である。図10において、n型半導体基板114表面に高濃度p型不純物領域で形成されるフィールド領域15 50

2 および 1 5 4 が形成される。このフィールド領域 1 5 2 および 1 5 4 は、それぞれ、コンタクト 1 5 2 b および 1 5 4 b を介して接地線 1 5 0 および導電配線 1 4 0 に接続される。コンタクト 1 5 2 b とフィールド領域 1 5 2 との接触部下部に、低不純物濃度の p 型不純物領域（下部ウェル）1 5 5 が形成され、またコンタクト 1 5 4 b とフィールド領域 1 5 4 b の接触部下部にこのフィールド領域 1 5 4 と接して下部ウェル 1 5 6 が形成される。フィールド領域 1 5 2 および 1 5 4 間の半導体基板 1 1 4 の表面上に、図示しないゲート絶縁膜を介してゲート電極層 1 5 7 が形成される。このゲート電極層 1 5 7 は、接地線 1 5 0 に接続される。p 型基板 1 1 4 は、導電配線 1 4 0 に伝達される電圧と同程度の電圧レベルのバイアス電位 V_b にバイアスされる。

【 0 0 7 7 】

この図 1 0 に示す構成の場合、接地線 1 5 0 において負の高電圧サージが発生した場合、フィールド領域 1 5 2 と半導体基板 1 1 4 間の接合が降伏して、基板 1 1 4 からフィールド領域 1 5 2、コンタクト 1 5 2 b を介して接地線 1 5 0 に電流が流れる。このときまた、フィールド領域 1 5 2 および 1 5 4 の間がパンチスルー状態となり（ラテラル寄生バイポーラトランジスタがオン状態とされる）、導電配線 1 4 0 からフィールド領域 1 2 4、を介してフィールド領域 1 5 2 へ電流が供給され、この接地線 1 5 0 上に発生した負の高電圧サージを吸収することができる。

【 0 0 7 8 】

この図 1 0 に示す構成においても、大電流が流れて、コンタクトが溶融しても、この溶融金属が半導体基板 1 1 4 へ拡散するのを防止することができ、接合破壊を確実に防止することができる。また、大電流が生じて下部ウェル 1 5 5 および 1 5 6 により、大電流が発生する領域、すなわち高電界が発生する可能性が最も高い領域において下部ウェルを設けているため、この高電界を緩和することができ、フィールド領域 1 5 2 および 1 5 4 の接合破壊を防止することができる。

【 0 0 7 9 】

なお、この図 1 0 に示す構成においても、下部ウェル 1 5 5 および 1 5 6 は、ゲート電極層 1 5 7 下部にまで形成されてもよい。

【 0 0 8 0 】

以上のように、この実施の形態 3 に従えば、電源線とコンタクトを介して接続されるフィールド領域のコンタクト下部に、低不純物濃度のウェル領域（不純物領域）を設けたため、過渡高電圧サージにより大電流が生じた場合においても、このフィールド領域の接合破壊を防止することができ、サージ耐性の高い入力保護回路を得ることができる。

【 0 0 8 1 】

[実施の形態 4]

図 1 1 は、この発明の実施の形態 4 に従う半導体装置の構成を概略的に示す図である。図 1 1 (A) において、半導体装置 2 0 0 は、メモリセルアレイおよびその周辺回路を含むアレイ内部回路 2 1 0 と、このアレイ内部回路 2 1 0 により処理されるデータを外部と授受するためのデータ入出力回路 2 1 5 を含む。

【 0 0 8 2 】

このアレイ内部回路 2 1 0 に対しては、専用の外部電源端子 2 0 1 および接地端子 2 0 3 が設けられ、またデータ入出力回路 2 1 5 に対しては専用の外部電源端子 2 0 2 および接地端子 2 0 4 が設けられる。外部電源端子 2 0 2 の電源電位には、データを入出力するために用いられることを示すために、外部電源電位 V_{ccQ} という符号を用いる。このアレイ内部回路 2 1 0 およびデータ入出力回路 2 1 5 に対する電源配線（電源線および接地線両者を含む）を別々に設けることにより、大きな電力を消費するデータ入出力回路 2 1 5 の動作時における電源電位の変動（電源バンプ）の影響がアレイ内部回路 2 1 0 の動作に及ぼされるのを防止し、アレイ内部回路 2 1 0 を安定に動作させるとともに、データ入出力回路 2 1 5 に対し安定に電源電位 V_{ccQ} および接地電位 GND を供給する。

【 0 0 8 3 】

図 1 1 (B) において、半導体装置内部の電源パッドの配置が示される。この図 1 1 (B

10

20

30

40

50

）においては、いわゆるLOC（リード・オン・チップ）構造のパッド配置が一例として示される。外部電源電位 V_{cc} を受けるパッド201aと、外部電源電位 V_{ccQ} を受ける電源パッド202aが隣接して配置されるように示される。この電源パッド201aから電源線222が延在し、アレイ内部回路210に含まれるセンスアンプおよびデコーダなどのアレイ周辺回路210aへ電源電位が供給される。一方、電源パッド202aに対し、この電源線222と平行に電源線224が配設され、データ入出力回路215に対し電源電位 V_{ccQ} を供給する。ここで図11（B）において、接地線は示していない。また電源パッド201aから内部降圧回路を介して電源線222に内部電源電位 V_{int} が供給されてもよく、また外部電源電位 V_{cc} が電源線222にそのまま供給されてもよい（内部降圧回路が設けられていない場合）。

10

【0084】

図11（B）に示すように、このような電源線222および224が別々に設けられている場合においても、長距離にわたってこれらの電源線222および224が平行に配設される。したがって、図12に示すようにこれらの電源線222および224を用いて容易に十分なレイアウト面積を有する入力保護回路を形成することができる。

【0085】

図12において、データ入出力回路215に対し外部からの電源電位 V_{ccQ} を伝達する外部電源配線224と電源線222の間に、入力保護回路（高電圧導通機構）225が設けられる。この電源線222は外部電源端子201に電氣的に結合される。

【0086】

データ入出力回路215は、図12においては、出力部が外部電源電位 V_{ccQ} を受ける。大きな負荷を高速で駆動するため、データ出力部が最も消費電流が大きいためである。データ入出力回路215は、内部から読出されたデータを増幅する（レベル変換機能を有してもよい）インバータ回路215aと、電源線224とデータ出力端子215dの間に接続されかつそのゲートにインバータ回路215aの出力信号を受けるnチャンネルMOSトランジスタ215bと、データ出力端子215dと接地端子（接地線、接地ノード）204との間に接続されかつそのゲートにインバータ回路215aの出力信号を受けるnチャンネルMOSトランジスタ215cを含む。データ出力端子215dには、したがって電源電位 V_{ccQ} レベルのデータまたは接地電位GNDレベルのデータが出力される。データ入出力端子215dに現われるデータ信号の振幅を外部電源電位 V_{ccQ} （= V_{cc} ）

20

30

【0087】

入力保護回路225は、図12においては、寄生npnバイポーラトランジスタで構成されるように示される。電源線224上に過渡高電圧サージが発生したとき、この入力保護回路225に含まれるバイポーラトランジスタが導通し、電源線222上へこの過渡高電圧サージによる電流（電荷）を放電し、この電源線222により高電圧サージを吸収する。電源線222には多くの回路が接続されており、電源線222は大きな浮遊容量を有しており、安定にこの過渡高電圧サージにより生じた電荷を吸収することができる。

【0088】

図13（A）および（B）は、図12に示す入力保護回路の平面レイアウトおよび断面構造を示す図である。図13（A）において、外部電源電位 V_{ccQ} を受ける電源入力パッド202aが、導電配線224aを介して電源線224に接続される。この電源線224と隣接してかつ平行して別の電源線222が配置される。電源線224下部にこの電源線224と平行してフィールド領域234が形成され、また電源線222下部にこの電源線222と平行してフィールド領域232が形成される。フィールド領域232および234は、それぞれコンタクト孔232aおよび234aを介して電源線222および224にそれぞれ接続される。電源線222および224が比較的長距離にわたって平行して配線されているため、フィールド領域232および234の対向する部分の長さを十分に大きくとることができる。これにより、先の実施の形態1ないし3と同様、サージ耐性に優れかつ高速でサージ電流を吸収することのできる入力保護回路を得ることができる。

40

50

【0089】

図13(B)は、図13(A)のラインA-Aに沿った断面構造を概略的に示す図である。フィールド領域232は、高濃度n型不純物領域により構成され、フィールド領域234は、高濃度n型不純物領域により構成される。これらのフィールド領域232および234は、p型半導体基板112表面上に形成される。フィールド領域232および234の間の基板112の表面上にフィールド絶縁膜239が形成される。フィールド領域234は、第1のノード237に接続されかつフィールド領域232は、第2のノード238に接続される。これらのノード237および238にはそれぞれ電源電位 V_{ccQ} および V_{cc} が印加される。この図13(A)および(B)の入力保護回路の構成は、先の実施の形態1ないし3に示す高電圧導通機構と同じであり、第1のノード237に電源電位 V_{ccQ} の通常動作時に与えられる電圧レベルよりも高い過渡高電圧サージが印加されたとき、このフィールド領域234、半導体基板112およびフィールド領域232により形成される寄生npnバイポーラトランジスタが導通し(フィールド領域234および232のパンチスルーおよびフィールド領域234の接合の降伏)、高電圧サージがフィールド領域232を介して第2のノード238へ伝達され、また基板112へ伝達されてこの高電圧サージが吸収される。

10

【0090】

この電源線222は、外部電源電位 V_{cc} が伝達される電源線ではなく、内部電源電位 V_{int} が伝達される内部電源線であってもよく、また接地電位 GND (出力回路用の $GNDQ$)が伝達される接地線であってもよい。

20

【0091】

図14は、図11(B)に示すアレイ周辺回路210aの具体的構成の一例を示す図である。図14において、アレイ周辺回路は、ビット線対 BL および ZBL に対して設けられ、このビット線 BL および ZBL の電位を差動的に増幅するセンスアンプ SA と、電源線222a上の外部電源電位 V_{cc} を一方動作電源電位として動作し、センスアンプ SA を活性化するセンス活性化信号 SP および SN を出力するセンス活性化回路260を含む。ビット線対 BL および ZBL と交差する方向にワード線 WL が配置される。ワード線 WL とビット線対 BL および ZBL の交差部に対してメモリセル MC が配置される。図14においては、ビット線 BL とワード線 WL の交差部に配置されるメモリセル MC を代表的に示す。メモリセル MC が行および列のマトリクス状に配設され、メモリセルの各行に対応してワード線 WL が配置され、メモリセルの各列に対応してビット線対 BL および ZBL が配置される。メモリセル MC は、情報を格納するキャパシタ CM と、ワード線 WL 上の信号電位に应答して導通してキャパシタ CM をビット線 BL に電氣的に接続するアクセストラジスタ MT を含む。

30

【0092】

センスアンプ SA は、ビット線対 BL および ZBL の間に交差結合された1対のnチャンネル MOS トランジスタ NQ と、ビット線対 BL および ZBL の間に互いに交差結合される1対のpチャンネル MOS トランジスタ PQ を含む。このセンスアンプ SA に対し、センス活性化回路260からのセンス活性化信号 SP に应答して導通し、電源線222a上の電源電位 V_{cc} をpチャンネル MOS トランジスタ PQ の接続部へ伝達する活性化トランジスタ PT と、センス活性化回路260からのセンス活性化信号 SN に应答して導通して、接地電位 GND を1対のnチャンネル MOS トランジスタの接続部へ供給する活性化トランジスタ NT を含む。この電源線222aは、ノード201aに接続される。このノード201aは電源パッドであってもよく、また外部ピン端子であってもよい。

40

【0093】

この図14に示す構成において、センスアンプ SA の活性化時、すなわち活性化トランジスタ PT および NT の導通時、pチャンネル MOS トランジスタ PQ がビット線 BL および ZBL の高電位のビット線を電源電位 V_{cc} レベルにまで上昇させ、一方nチャンネル MOS トランジスタ NQ が、低電位のビット線を接地電位 GND レベルにまで放電する。この図14に示す構成においては、ビット線 BL および ZBL の電位振幅は、電源電位 V_{cc}

50

レベルとされる。したがってこの図 1 4 に示す半導体装置の場合、内部降圧回路は設けられておらず、外部から与えられる電源電位が内部動作電源電位として利用される。センスアンプ S A は、ビット線対 B L および Z B L それぞれに対して設けられる。したがって、センスアンプ S A の動作時、多くのビット線 B L および Z B L の充放電が行なわれるため、電源線 2 2 2 a の消費電流は大きくなる。電源線 2 2 2 a の専用の電源ピン端子からノード 2 0 1 a を介して電源電位を供給することにより、安定にセンス動作を行なうことができる。この場合、多くのセンスアンプを駆動するため電源線 2 2 2 a の幅および寄生容量は大きく、サージ吸収用の電源線として用いられても、安定に過渡高電圧サージを吸収することができる。

【 0 0 9 4 】

以上のように、この実施の形態 4 に従えば、外部電源配線と別の一定電位が供給される導電配線との間に高電圧導通機構を設けたため、これらの電源線および導電配線が長距離にわたって平行して並設されるため、容易に高電圧導通機構を配設するための必要十分な面積を確保することができ、何ら占有面積を増加させることなく確実にサージ吸収用の入力保護回路を実現することができる。

【 0 0 9 5 】

[実施の形態 5]

図 1 5 (A) および (B) は、この発明の実施の形態 5 に従う入力保護回路部分の平面レイアウトおよび断面構造を示す図である。図 1 5 (A) において、高電圧導通機構は、電源入力パッド 3 0 0 に導電配線 3 0 2 a を介して接続される電源線 3 0 2 と、この電源線 3 0 2 下部に、電源線 3 0 2 と平行に形成されるフィールド領域 3 1 2 と、フィールド領域 3 1 2 と平行に配設されるフィールド領域 3 1 4 を含む。このフィールド領域 3 1 4 は半導体基板 3 0 4 に電氣的に接続される。フィールド領域 3 1 2 は、コンタクト孔 3 1 2 a を介して電源線 3 0 2 に電氣的に接続され、またフィールド領域 3 1 4 は、コンタクト孔 3 1 6 a を介してゲート電極層 3 1 6 に接続される。このゲート電極層 3 1 6 は、フィールド領域 3 1 2 および 3 1 4 間の領域にこれらのフィールド領域 3 1 2 および 3 1 4 と平行にかつ電源線 3 0 2 および 3 0 4 より下層に配設される。

【 0 0 9 6 】

図 1 5 (B) は、図 1 5 (A) のライン A - A に沿った断面構造を示す図である。図 1 5 (B) において、p 型半導体基板 3 0 4 表面上に、高濃度 n 型不純物領域で構成されるフィールド領域 3 1 2 と、高濃度 p 型不純物領域で構成されるフィールド領域 3 1 4 が配設される。これらのフィールド領域 3 1 2 および 3 1 4 の間の基板 3 0 4 表面上に、図示しないゲート絶縁膜を介してゲート電極層 3 1 6 が配設される。このゲート電極層 3 1 6 は、フィールド領域 3 1 4 と電氣的に接続される。フィールド領域 3 1 4 および半導体基板 3 0 4 は同じ導電型であり、フィールド領域 3 1 4 は、半導体基板 3 0 4 よりも高不純物濃度を有しており、フィールド領域 3 1 4 は、半導体基板 3 0 4 と電氣的に接続される。フィールド領域 3 1 2 は、第 1 のノード 3 0 1 に電氣的に接続される。第 1 のノード 3 0 1 は、電源入力パッド 3 0 0 または外部電源端子であってもよく、また導電配線 3 0 2 a または電源線 3 0 2 の任意の場所であってもよい。半導体基板 3 0 4 は、一定のバイアス電位 (接地電位または負電位) V_b を受ける。

【 0 0 9 7 】

第 1 のノード 3 0 1 に過渡高電圧サージが発生した場合、このフィールド領域 3 1 2 の n + / p 接合が降伏現象を起こし、半導体基板 3 0 4 表面に沿って、フィールド領域 3 1 2 から、フィールド領域 3 1 4 へ電荷が流れ、このフィールド領域 3 1 4 へ流れ込んだ電荷が、半導体基板 3 0 4 により吸収される。第 1 のノード 3 0 1 に与えられた高電圧サージが大きいとき、また、このフィールド領域 3 1 2 と半導体基板 3 0 4 の間の接合の降伏現象が生じ、フィールド領域 3 1 2 から基板 3 0 4 へ直接電流が流れる。

【 0 0 9 8 】

図 1 5 (A) および (B) に示す構成の場合、高電圧導通機構は、その第 2 のノードが、半導体基板に電氣的に接続されている。したがって、電源線 3 0 2 と平行に配設される導

10

20

30

40

50

電配線（接地線、内部電源線または基準電源線）が存在しない場合においても、この電源線302下部に形成されたフィールド領域312と平行に対向してフィールド領域314を半導体基板304表面に形成することにより、十分な幅を有する高電圧導通機構を実現することができる。したがって、必要とされる配線が存在しない場合においても、容易に必要とされる面積を有する高電圧導通機構を実現することができる。

【0099】

半導体基板304は、十分大きな容量を有しているため、安定に高電圧サージを吸収することができる。またこの電源線302は、任意の形状をとることができるため（第2のノードに接続される導電配線が存在しないため）、必要とされる幅方向の長さをフィールド領域312はとることができ、応じて、電源線302の浮遊容量を十分に大きくすることができ、サージ耐性に優れた入力保護回路を実現することができる。

10

【0100】**[変更例]**

図16は、この発明の実施の形態5の変更例を示す図である。図16に示す構成において、図15(B)に示す構成と異なり、フィールド領域312および314の間の半導体基板304表面に、フィールド絶縁膜317が形成される。このフィールド領域312および314外周にLOCOS膜315aおよび315bが形成される。フィールド領域314に、基板バイアス電位Vd（接地電位または負電位）が印加される。この図16に示す構成においても、第1のノード301に過渡高電圧サージが発生した場合、このフィールド領域312、半導体基板304およびフィールド領域314で形成されるn+/p/p+ダイオードが導通し、第1のノード301に発生した過渡高電圧サージを半導体基板304で吸収することができる。

20

【0101】

なお、この実施の形態5において、第1のノード301を、p型の不純物領域からなるフィールド領域へ接続し、半導体基板をn型として、このフィールド領域312をn型高濃度不純物領域より形成することにより、この高電圧サージを吸収する保護回路を実現することができる。

【0102】

以上のように、この発明の実施の形態5に従えば、過渡高電圧サージを半導体基板で吸収するように構成したため、電源配線と導電配線が平行して配置されていない領域においても、この電源線を一方ノードとした高電圧導通機構を基板上空き領域を利用して形成ことができ、何ら面積増加を伴うことなく必要とされる面積を有する入力保護回路（高電圧導通機構）を実現することができる。

30

【0103】**[実施の形態6]**

図17(A)は、この発明の実施の形態6に従う入力保護回路の要部の構成を示す平面レイアウト図であり、図17(B)は、図17(A)のラインA-Aに沿った断面構造を示す図である。図17(A)において、入力保護回路は、外部から与えられる電源電位Vccを受ける電源入力パッド400と、この電源入力パッド400に導電配線401を介して接続され、外部電源電位Vccを内部へ伝達する外部電源線402と、この外部電源線402と平行してかつ隣接して延在して配置される導電配線404とを含む。この導電配線404は、先の実施の形態4または5と同様、別に設けられた外部電源線、接地線、内部電源線、データ出力部に対して設けられた接地線のいずれであってもよい。動作電源電位としての接地電位GNDまたは電源電位VccまたはVintを伝達する導電配線であればよい。

40

【0104】

高電圧導通機構は、この電源線402下部に、この電源線402と平行して形成されかつこの電源線402にコンタクト孔（またはバイア孔）414bを介して接続されるフィールド領域412と、導電配線404と平行してこの導電配線404下部に、フィールド領域412と狭い間（約3μm以下）をおいて配置されるフィールド領域414を含む。こ

50

のフィールド領域 4 1 4 は、コンタクト孔（またはビア孔）4 1 4 a を介して導電配線 4 0 4 に接続される。

【0105】

図 1 7 (B) において、フィールド領域 4 1 2 および 4 1 4 は、低濃度 p 型不純物領域で構成されるウェル領域 4 2 0 に形成される。このフィールド領域 4 1 2 および 4 1 4 間のウェル領域 4 2 0 表面に、フィールド絶縁膜 4 1 7 が形成される。フィールド領域 4 1 2 は、高濃度 n 型不純物領域で構成され、フィールド領域 4 1 4 は、高濃度 p 型不純物領域で構成される。フィールド領域 4 1 2 は、コンタクト孔 4 1 4 b に形成されたコンタクト 4 0 2 a を介して電源線 4 0 2 に接続される。フィールド領域 4 1 4 は、コンタクト孔 4 1 4 a に形成されたコンタクト 4 0 4 a により導電線 4 0 4 に接続される。フィールド領域 4 1 2 のコンタクト 4 0 2 a との接触部の下部に、このフィールド領域 4 1 2 と接して低濃度 n 型不純物領域で構成される下部ウェル 4 1 5 が形成される。ウェル領域 4 2 0 は、n 型半導体基板 4 2 2 表面に形成される。このウェル領域 4 2 0 は、LOCOS 膜 4 1 9 a および 4 1 9 b により他の回路部分から分離される。半導体基板 4 2 2 は、外部電源電位 V_{cc} または接地電位レベルのバイアス電位 V_b に固定される。

10

【0106】

この図 1 7 (A) および (B) に示す構成においても、電源線 4 0 2 において過渡高電圧サージが発生した場合、このフィールド領域 4 1 2 とウェル領域 4 2 0 との間の接合の降伏現象（またはフィールド領域間パンチスルー）が生じ、フィールド領域 4 1 2 からウェル領域 4 2 0 を介してフィールド領域 4 1 4 へ電流が流れ、この高電圧サージにより生じた電流が導電配線 4 0 4 により吸収される。またこのとき、フィールド領域 4 1 2、下部ウェル 4 1 5、ウェル領域 4 2 0 および半導体基板 4 2 2 により形成されるラテラル npn バイポーラトランジスタが導通し、この下部ウェル 4 1 5 から、ウェル領域 4 2 0 を介して基板 4 2 2 へ電流が流れ、この高電圧サージが半導体基板 4 2 2 により吸収される。図 1 7 (B) においては、下部ウェル 4 1 5 が、寄生バイポーラトランジスタのエミッタ領域を構成するように示される。しかしながら、この寄生バイポーラトランジスタは、過渡高電圧サージ発生時に導通するため、下部ウェル 4 1 5 は、この寄生バイポーラトランジスタのコレクタ領域を形成してもよい。この寄生バイポーラトランジスタのベース領域は、下部ウェル 4 1 5 が設けられているため、その長さが小さくされ、電流増幅率が大きくなり、より多くの電流を、高速で半導体基板 4 2 2 へ流すことができ、高速で高電圧サージを吸収することができる。

20

30

【0107】

なお、図 1 7 (B) において、示される導電型をすべて逆とすれば、電源線 2 0 2 に代えて、接地線に対する負の高電圧サージに対する保護回路を実現することができる。

【0108】

[変更例]

図 1 8 は、この発明の実施の形態 6 の変更例の構成を示す図である。図 1 8 に示す構成においては、フィールド領域 4 1 4 に代えて高濃度 n 型不純物領域で形成されるフィールド領域 4 2 4 が用いられ、このフィールド領域 4 2 4 とコンタクト 4 0 4 a との接触部の下部にこのフィールド領域 4 2 4 と接して、低濃度 n 型不純物領域で構成される下部ウェル 4 2 2 が形成される。すなわち、この図 1 8 に示す構成においては、図 1 7 に示す n + / p ダイオードに代えて、フィールドトランジスタ（ゲート電極はあってもなくてもよい）が高電圧導通機構として用いられる。他の構成は、図 1 7 (B) に示す構成と同じである、対応する部分には同一参照番号を付す。

40

【0109】

この図 1 8 に示す構成においては、電源線 4 0 2 において過渡高電圧サージが発生した場合、フィールドトランジスタのパンチスルー現象（寄生バイポーラトランジスタの導通）により、導電配線 4 0 4 により過渡高電圧サージが吸収される。このとき、また下部ウェル 4 1 5、およびフィールド領域 4 2 4 に対する下部ウェル 4 2 2 を設けることにより、コンタクト 4 0 4 a に対して集中して流れる電流によるフィールド領域 4 2 4 の電界集中

50

およびコンタクト404aの熔融金属の接合の突き抜けを防止することができ、サージ耐性に優れた入力保護機構を実現することができる。

【0110】

なお、この図18に示す構成においても、寄生バイポーラトランジスタとしては、下部ウェル415および422が、コレクタとして作用しかつ半導体基板422のエミッタとして作用する寄生バイポーラトランジスタが形成されてもよい。また、示される導電型をすべて逆とし、基板バイアス電位を接地電位または負電位とすることにより、接地線に対する負の高電圧サージを吸収する入力保護回路を実現することができる。

【0111】

以上のように、この実施の形態6に従えば、いわゆるトリプルウェル構造を用いて、高電圧サージを半導体基板またはウェル領域で吸収するように構成しているため、ウェル領域および半導体基板の大きな寄生容量に、安定に過渡高電圧サージによる電荷を吸収することができ、サージ耐性に優れた入力保護回路を実現することができる。

10

【0112】

なお、この実施の形態6においても、フィールドトランジスタに代えてMOSトランジスタが用いられても同様の効果を奏することができる。

【0113】

[実施の形態7]

図19(A)は、この発明の実施の形態7の入力保護回路部分の平面レイアウトを概略的に示す図であり、図19(B)は、図19(A)に示すラインB-Bに沿った断面構造を概略的に示す図である。図19(A)において、外部電源電位 V_{cc} を第1のノード504を介して受ける不純物領域500と、この不純物領域500と所定の間隔(約 $3\mu m$ 以下)をおいてこの不純物領域500を取り囲むように形成される不純物領域502とが設けられる。この不純物領域500は、高濃度不純物領域(拡散領域)または低濃度不純物領域(ウェル領域)のいずれでもよい。以下の説明においては、不純物領域は、この高濃度不純物領域(拡散領域)および低濃度不純物領域(ウェル領域)両者を示すものとして用いる。

20

【0114】

不純物領域502は、第2のノード506を介して内部電源電位または接地電位であるバイアス電位 V_b に固定される。

30

【0115】

図19(B)において、不純物領域500が、p型半導体基板512の表面に形成される。この不純物領域500は、n型の導電型を有する。この不純物領域500の両側に、フィールド絶縁膜510aおよび510bを間においてn型不純物領域502aおよび502bが形成される。この不純物領域502aおよび502bは連続的に形成されて、バイアス電位 V_b をそれぞれノード506aおよび506bを介して受ける。なお、不純物領域500がウェル領域で構成される場合、第1のノード504に接続する部分は、高濃度不純物領域(拡散領域)で形成される。また、不純物領域502aおよび502bが、ウェル領域で構成される場合、バイアス電位 V_b に接続される部分は、高濃度不純物領域(拡散領域)で形成される。

40

【0116】

この不純物領域502aおよび502bの外周に、LOCOS膜509aおよび509bが形成される。

この図19(A)および(B)に示す構成においても、第1のノード504において過渡高電圧サージが発生した場合、フィールド絶縁膜510aおよび510bの下の領域を介して不純物領域500と不純物領域502aおよび502bとの間にパンチスルー現象(不純物領域500と基板512との間の接合の降伏(ブレイクスルー))が生じ、不純物領域500と不純物領域502aおよび502bとが電氣的に接続し、過渡高電圧サージが、第2のノード506aを介して吸収される。

【0117】

50

この図19(A)および(B)に示す構成の場合、何ら電源線および導電配線を互いに平行して配設する必要はなく、半導体基板表面に形成された不純物領域を用いて入力保護回路を形成することができる。また不純物領域500の外周に沿って、不純物領域502が形成されるため、この過渡高電圧サージ電流が流れる領域の幅を十分大きくとることができ、半導体基板表面の、任意の領域において、小占有面積で大きなチャンネル幅を有するフィールドトランジスタを等価的に形成することができ、応じて小占有面積でサージ耐性の高い入力保護回路を実現することができる。

【0118】

[変更例1]

図20は、この発明の実施の形態7の変更例1の構成を示す図である。図20においては、断面構造のみが示される。図20においては、不純物領域500の外周に沿って、フィールド絶縁膜510aおよび510bを間において、高濃度p型不純物領域522aおよび522bが形成される。この高濃度p型不純物領域522aおよび522bは、不純物領域500を取り囲むように形成され、したがってその平面レイアウトは図19(A)に示すものと同じとなる。他の構成は、図19(B)に示すものと同じであり、対応する部分には同一の参照番号を付す。

10

【0119】

この図20に示す構成の場合、不純物領域522aおよび522bは、p型半導体基板512に電氣的に接続される。したがって、第1のノード504において過渡高電圧サージが発生した場合、この不純物領域500と不純物領域522aおよび522bの間で接合の降伏現象(またはパンチスルー)が生じて過渡高電圧サージによる電流が不純物領域500から半導体基板512ならびに不純物領域522aおよび522bへ流れかつこれらの不純物領域522aおよび522bから半導体基板512へサージ電流が流れてこの基板512によりサージ電流が吸収される。したがってこの場合においても、半導体基板512は、大きな浮遊容量を有しており、この過渡高電圧サージを安定に吸収することができる。この半導体基板512は、接地電位または負電位または内部電源電位の一定電位にバイアスされていてもよい。

20

【0120】

[変更例2]

図21(A)は、実施の形態7の変更例2の平面レイアウトを示し、図21(B)は、図21(A)のラインB-Bに沿った断面構造を示す図である。図21(A)において、外部電源電位Vccを第1のノード551を介して受ける不純物領域550の内側に、一定のバイアス電位Vbを第1のノード551を介して受ける不純物領域555が設けられる。すなわち、この変更例2の構成においては、負電位または接地電位または内部電源電位または外部電源電位であるバイアス電位Vbを受ける不純物領域555の外周に沿って、狭い間隔を以てこの不純物領域555を取り囲むように、外部電源電位Vccを受けると不純物領域550が形成される。

30

【0121】

図21(B)において、不純物領域555の外側に、フィールド絶縁膜557aおよび557bを間において、不純物領域550aおよび550bが形成される。不純物領域555と不純物領域550aおよび550bの導電型式は、同じであってもよく、また異なってもよい。この変更例2の構成においても、第1のノード551において過渡高電圧が発生した場合、パンチスルー現象(または降伏現象)により、不純物領域555および第2のノード556を介して過渡高電圧サージが吸収される。したがって、先の実施の形態7およびその変更例1と同様の小占有面積でサージ耐性に優れた入力保護回路を実現することができる。

40

【0122】

図22は、この図21(A)の平面レイアウトを実現する部分の具体的構成を示す図である。図22において、不純物領域550は、外部電源電位Vccを使用する回路部分が形成されるVcc使用回路形成領域550cと、このVcc使用回路形成領域550cの外

50

部電源電位 V_{cc} 印加領域（拡散領域またはウェル領域）と電氣的に接続される不純物領域 550d により、不純物領域 550 が形成される。この不純物領域 550d には、内部回路要素は形成されていなくてもよい。さらに、 V_{cc} 使用回路形成領域 550c も、外部電源電位 V_{cc} 印加領域と電氣的に接続されていればよく、したがって、不純物領域 550a は、拡散領域であってもよく、またウェル領域であってもよい。この場合、不純物領域 555 にはバイアス電位 V_b が印加され、この領域において別の内部回路構成要素が形成されていてもよい。この場合、回路構成要素形成領域に沿って、入力保護回路を形成することができて何ら占有面積を増加させることなく、また、レイアウトの変更を生じることなく、容易に十分なレイアウト面積を有する入力保護回路を形成することができ、サージ耐性に優れた入力保護回路を実現することができる。

10

【0123】

以上のように、この実施の形態 7 に従えば、外部電源電位が印加される領域と、これと過渡高電圧サージ吸収部に電氣的に接続される領域とを設けかつ、一方が他方を取り囲むように構成したため、少ない占有面積でかつ電源配線の配設されていない領域においても、容易に十分なレイアウト面積を有する入力保護回路を形成することができ、サージ耐性に優れた入力保護回路を実現することができる。

【0124】

[実施の形態 8]

図 23 (A) は、この発明の実施の形態 8 に従う半導体装置のチップレイアウトを示す図であり、図 23 (B) は、図 23 (A) のライン A - A に沿った断面構造を概略的に示す図であり、図 23 (C) は、図 23 (A) のライン B - B に沿った断面構造を概略的に示す図である。

20

【0125】

図 23 (A) において、半導体装置が形成されるチップ 600 外周に沿って、導電配線 602 が配設される。この導電配線 602 は、後に説明するように、このチップ 600 の構成する半導体基板と電氣的に接続される。半導体基板は、基準電位発生手段からの基準電位を受ける。この基準電位発生手段は、半導体基板が、p 型基板の場合には、負電位 V_b を発生する負電位発生回路かまたは、接地電位 GND を供給する接地線である。

【0126】

この導電配線 602 は、外部からの電源電位が印加される電源パッド 604 に入力保護回路 606 を介して結合される。この入力保護回路 606 の具体的構成は、実施の形態 1 ないし 7 のいずれであってもよい。

30

【0127】

図 23 (B) において、半導体チップ 600 を構成する p 型半導体基板 605 の表面に、高濃度 p 型不純物領域 606 が形成される。この不純物領域 606 は、コンタクト 607 を介して導電配線 602 に接続される。不純物領域 606 は、半導体基板 605 と同じ導電型であり、したがってこの不純物領域 606 と半導体基板 605 とは電氣的に接続される。したがって、導電配線 602 は、この不純物領域 606 を介して半導体基板 605 に電氣的に接続される。

【0128】

40

図 23 (C) において、入力保護回路 606 は、電源パッド 604 に接続される導電配線（第 1 のノード）619 と、半導体基板 605 表面に形成され、かつコンタクト 617 を介して導電配線 619 に接続される高濃度 n 型不純物領域 611 と、この高濃度 n 型不純物領域 611 とコンタクト 617 との接触部の下部に、この不純物領域 611 に接して形成される低濃度 n 型不純物領域（下部ウェル）612 と、半導体基板 605 表面に形成されかつコンタクト 618 を介して導電配線 602 に接続される高濃度 n 型不純物領域 614 を含む。これらの不純物領域 611 および 614、すなわちフィールド領域 611 および 614 の間に、フィールド絶縁膜 616 が形成される。フィールド領域 611 および 614 の幅は、十分大きくかつ両者間の距離は十分小さくされる。

【0129】

50

導電配線 602 は、半導体基板 605 表面に形成された高濃度 p 型不純物領域 606 にコンタクト 619 を介して接続される。このフィールド（不純物）領域 614 と高濃度不純物領域 606 の間に、LOCOS 膜 615 が形成される。

【0130】

チップ 600 の外周に沿って配設される導電配線 602 は、十分な長さおよび幅を有している。したがってこの導電配線 602 の浮遊容量は十分大きく、ノード 619 において発生した過渡高電圧サージを、確実に吸収することができる。また、この導電配線 602 は、一定電位に固定された半導体基板 605 に不純物領域 606 を介して接続されているため、この導電配線 602 上に生じた電荷は、半導体基板 605 により吸収され、導電配線 602 の電位の変動は確実に防止することができる。

10

【0131】

なお、この実施の形態 8 において、フィールド領域 611 は、高濃度不純物領域でなく、外部電源電位 V_{cc} が印加されるウェル領域であってもよい。また、不純物領域 606 は、チップ外周部全体に沿って形成される必要はなく、チップ 600 の適当な箇所において導電配線 602 と接続されていればよい。

【0132】

この実施の形態 8 の構成に従えば、不純物領域 611 および 612 の上部に両領域 611 および 612 と平行して電源線または導電配線を配設する必要はない。過渡高電圧サージを瞬時に吸収することのできる幅（図 23（C）の紙面垂直方向）を、不純物領域 611 および 614 ならびに不純物領域 614 上に形成されかつ導電配線 602 に接続される配線部分が有していればよい。何ら占有面積を増加せずチップ外周部の空き領域において、外部電源電位が供給される領域近傍に入力保護回路を配設することができ、小占有面積かつサージ耐性に優れた入力保護回路を実現することができる。

20

【0133】

[実施の形態 9]

図 24（A）は、この発明の実施の形態 9 の入力保護回路の平面レイアウトを示し、図 24（B）は、図 24（A）のライン A-A に沿った断面構造を概略的に示す図である。図 24（A）において、高電圧導通機構は、外部の電源電位 V_{cc} を第 1 のノード 701 を介して受ける不純物領域 702 と、この不純物領域 702 に隣接してかつ間において配置される不純物領域 703 とを含む。不純物領域 702 は、外部電源電位 V_{cc} を使用する回路要素が形成される領域の拡散領域またはウェル領域である。不純物領域 703 は、内部電源電位 V_{int} 、接地電位などを使用する回路要素の形成される拡散領域またはウェル領域である。この不純物領域 702 および 703 の境界部に高電圧印加時に導通する部分が形成される。

30

【0134】

図 24（B）において、不純物領域 702 は、高濃度 n 型不純物領域で形成されかつコンタクト 705 を介して外部電源電位 V_{cc} を受ける第 1 のノードとなる導電配線 701 に接続される。この不純物領域 702 下部に、低濃度 n 型不純物領域で形成される下部ウェル 704 が形成される。この下部ウェル 704 は、少なくともコンタクト 705 と不純物領域 702 との接触部下部に形成される。不純物領域 703 は、p 型半導体基板 700 表面に形成される低濃度 n 型ウェル領域 706 と、このウェル領域 706 表面に形成される高濃度 n 型不純物領域 707 を含む。高濃度不純物領域 707 は、コンタクト 708 を介して、内部電源 V_{int} などの固定電位を伝達する導電配線 709 に接続される。不純物領域 702 とウェル領域 706 の間は十分小さくされ、過渡高電圧サージ発生時においてこの不純物領域 702 とウェル領域 706 との間でパンチスルーが生じるようにされる。不純物領域 702 とウェル領域 706 の間に LOCOS 酸化膜 710b が形成され、不純物領域 702 および 707 外周部に沿って LOCOS 膜 710a および 710c が形成される。

40

【0135】

n ウェル領域 706 は、不純物領域 707 と電氣的に接続されており、導電線（第 2 のノ

50

ード) 709を介して与えられる内部電源電位Vintまたは接地電位である固定電位に固定される。このウェル領域706内に、内部電源電位Vintなどの固定電位を使用する回路が形成される。第1のノード701において過渡高電圧サージが発生した場合、不純物領域702とウェル領域706の間でパンチスルー現象が生じ、この過渡高電圧サージは、不純物領域702からウェル領域706へ流れ、次いで不純物領域707を介して第2のノード709へ流れて、この第2のノード709に接続される固定電位発生手段により吸収される。したがってこの実施の形態9の構成においても、確実に過渡高電圧サージを吸収することができる。また、外部電源配線および内部電源配線などの電源電位を伝達する導電配線を互いに平行して長距離にわたって配設する必要がなく、回路レイアウトの自由度が増加する。また、不純物領域702および703が長距離にわたって平行して配設されているため、この高電圧導通機構のチャンネル幅(ラインA-Aの直角方向)は十分大きくでき、応じてサージ耐性に優れた入力保護回路を実現することができる。

10

【0136】

図25は、不純物領域702および703に形成される回路構成要素の具体例を示す図である。図25において、第2のノード721に与えられる外部電源電位Vccを変換して内部電源電位Vintを生成する内部降圧回路の形成領域720と、これと隣接して、この内部電源電位Vintを内部電源線723を介して受けて動作するVint使用回路の形成領域725とが設けられる。内部降圧回路形成領域720においては、先に図2において示したように、ドライブトランジスタは、pチャンネルMOSトランジスタで構成される。また、比較回路105も、カレントミラー型回路の場合、カレントミラー回路はpチャンネルMOSトランジスタで構成される。このようなpチャンネルMOSトランジスタが外部電源電位Vccを一方導通ノードに受けるため、このpチャンネルMOSトランジスタが形成されるn型ウェル領域が、外部電源電位Vccにバイアスされる。したがってこのウェル領域を図24(A)に示す不純物領域702として用いる。内部電源電位Vint使用回路は、これを内部電源電位Vintを使用して動作する。この場合、pチャンネルMOSトランジスタが形成される領域が、同様、n型ウェル領域である。このn型ウェル領域は、したがって内部電源電位Vintにバイアスされる。これらのウェル領域を、図24(A)に示す不純物領域702および703として使用することにより、図25において斜線部で示す高電圧導通機構を容易に実現することができる。

20

【0137】

なお、領域720が、データ出力回路形成領域であり、また領域725は、内部読出データを増幅してデータ出力回路へ与えるプリアンプなどの内部データ読出回路の形成領域であつてもよい。

30

【0138】

以上のように、この実施の形態9に従えば、外部電源電位を使用する領域に隣接して内部電源電位等の固定電位を使用する回路領域を配置し、これらの境界領域を高電圧導通機構として利用したため、十分な幅を有する高電圧導通機構を形成することができ、小占有面積で、サージ耐性に優れた入力保護回路を実現することができる。また、単に回路構成要素形成領域を利用しているため、入力保護機構のための専用の領域を設ける必要がなく、レイアウトが容易となる。

40

【0139】

なお、実施の形態1ないし9において、不純物領域の導電型を逆とすれば、外部電源電位に代えて接地電位に対する負の高電圧サージを吸収する機構を実現することができる。

【0140】**【発明の効果】**

以上のように、この発明に従えば、サージ吸収のための高電圧導通機構として、固定電位伝達線または回路形成領域を利用しているため、何ら入力保護機構のための専用の領域を設ける必要がなく、小占有面積でかつサージ耐性に優れた入力保護回路を実現することができる。

【図面の簡単な説明】

50

【図 1】この発明の実施の形態 1 の半導体装置の全体の構成を概略的に示す図である。

【図 2】図 1 に示す内部降圧回路の構成の一例を示す図である。

【図 3】(A) は、図 1 に示す高電圧導通機構の平面レイアウトを示し、(B) は、(A) のライン A - A に沿った断面構造を概略的に示す図である。

【図 4】(A) は、実施の形態 2 の平面レイアウトを示し、(B) は、(A) のライン A - A に沿った断面構造を概略的に示す図である。

【図 5】この発明の実施の形態 2 の変更例 1 の構成を示す図である。

【図 6】この発明の実施の形態 2 の変更例 2 の構成を示す図である。

【図 7】(A) は、この発明の実施の形態 3 の入力保護回路の平面レイアウトを示し、(B) は、(A) のライン A - A に沿った断面構造を概略的に示す図である。

10

【図 8】この発明の実施の形態 3 の変更例 1 の構成を概略的に示す図である。

【図 9】この発明の実施の形態 3 の変更例 2 の構成を概略的に示す図である。

【図 10】この発明の実施の形態 3 の変更例 3 の構成を概略的に示す図である。

【図 11】(A) は、この発明の実施の形態 4 に従う半導体記憶装置の全体の構成を概略的に示し、(B) は、(A) に示す配置における電源線のレイアウトを示す図である。

【図 12】この発明の実施の形態 3 に従う入力保護回路の構成を具体的に示す図である。

【図 13】図 12 に示す高電圧導通機構の平面レイアウトおよび断面構造を概略的に示す図である。

【図 14】この発明の実施の形態 3 の変更例の構成を示す図である。

【図 15】(A) は、この発明の実施の形態 4 に従う入力保護回路の平面レイアウトを示し、(B) は、(A) のライン A - A に沿った断面構造を概略的に示す図である。

20

【図 16】この発明の実施の形態 5 の変更例の構成を概略的に示す図である。

【図 17】(A) は、この発明の実施の形態 6 に従う入力保護回路の平面レイアウトを概略的に示し、(B) は、(A) のライン A - A に沿った断面構造を概略的に示す図である。

【図 18】この発明の実施の形態 6 の変更例の構成を概略的に示す図である。

【図 19】(A) は、この発明の実施の形態 7 の入力保護回路の平面レイアウトを示し、(B) は、(A) のライン B - B に沿った断面構造を概略的に示す図である。

【図 20】この発明の実施の形態 7 の変更例 1 の構成を概略的に示す図である。

【図 21】(A) は、この発明の実施の形態 7 の変更例 1 の平面レイアウトを示し、(B) は、(A) のライン B - B に沿った断面構造を概略的に示す図である。

30

【図 22】この発明の実施の形態 7 の変更例 2 の構成を概略的に示す図である。

【図 23】(A) は、この発明の実施の形態 8 に従う入力保護回路のチップレイアウトを示し、(B) は、(A) のライン A - A に沿った断面構造を示し、(C) は、ライン B - B に沿った断面構造を概略的に示す図である。

【図 24】(A) は、この発明の実施の形態 9 に従う入力保護回路の平面レイアウトを示し、(B) は、(A) のライン A - A に沿った断面構造を概略的に示す図である。

【図 25】図 24 に示される不純物領域が形成される回路の具体例を示す図である。

【図 26】(A) は、従来の入力保護回路の平面レイアウトを示し、(B) は、(A) のライン A - A に沿った断面構造を概略的に示す図である。

40

【図 27】従来の外部電源線と内部電源線のレイアウトを概略的に示す図である。

【図 28】従来の半導体記憶装置における電源線のレイアウトを概略的に示す図である。

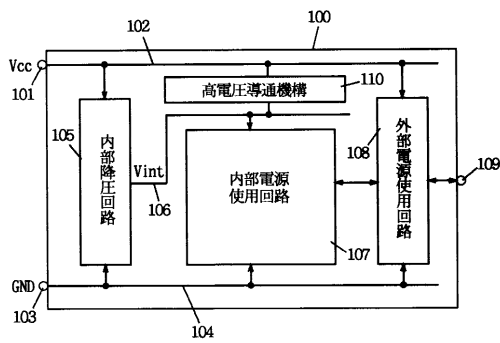
【符号の説明】

101 外部電源端子、102 外部電源線、105 内部降圧回路、106 内部電源線、110 高電圧導通機構、120, 122 フィールド領域、126 ゲート電極層、124 フィールド絶縁膜、142, 144 フィールド領域(不純物領域)、145, 146 下部ウェル、112 半導体基板、147 ゲート電極層、152, 154 フィールド領域(不純物領域)、155, 156 下部ウェル、114 半導体基板、116 ウェル領域、201 外部電源端子、202 データ出力用電源端子、215 データ入出力回路、222 内部回路用電源線、224 データ出力用電源線、225 入力保

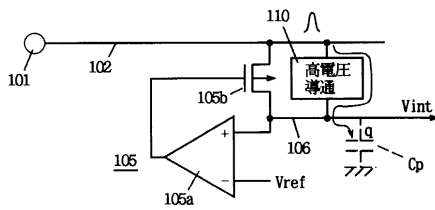
50

護回路、232, 234 フィールド領域、260 センス活性化回路、302 外部電源線、304 導電配線、312, 314 フィールド領域、304 半導体基板、317 フィールド絶縁膜、402 外部電源線、404 導電配線、412, 414 フィールド領域、420 ウェル領域、415 下部ウェル、422 半導体基板、423 下部ウェル、500 外部電源電位印加領域、502 固定電位印加領域、500, 502a, 502b 不純物領域、510a, 510b フィールド絶縁膜、512 半導体基板、522a, 522b 不純物領域、550 外部電源電位印加領域、555 固定電位印加領域、550c、外部電源電位使用回路形成領域、550d 不純物領域、600 半導体チップ、601 高電圧導通機構、602 導電配線、605 半導体基板、606 不純物領域、611, 614 不純物領域、612 下部ウェル、702 外部電源電位印加領域、703 固定電位印加領域、706 ウェル領域、700 半導体基板、720 内部降圧回路形成領域、725 内部電源電位使用回路形成領域。

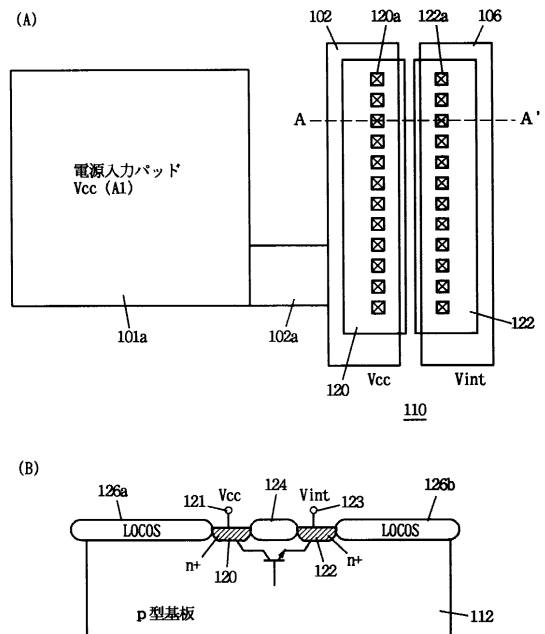
【図1】



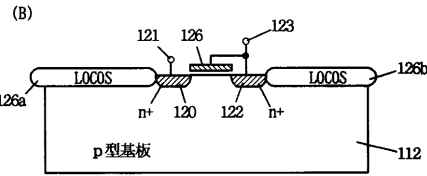
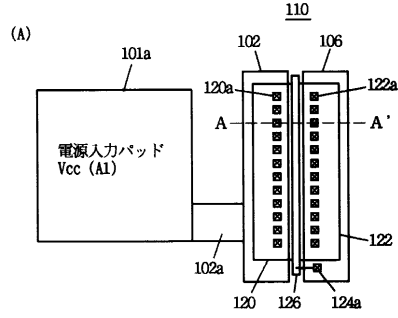
【図2】



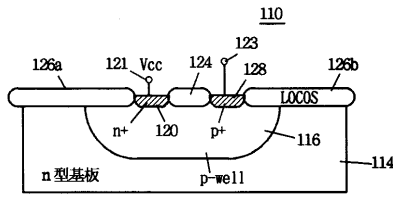
【図3】



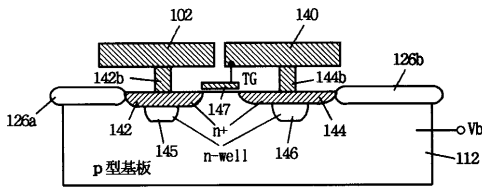
【 図 4 】



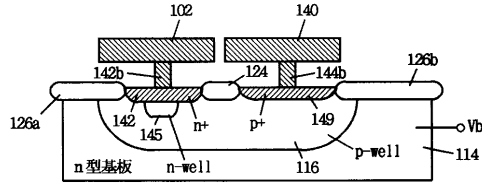
【 図 5 】



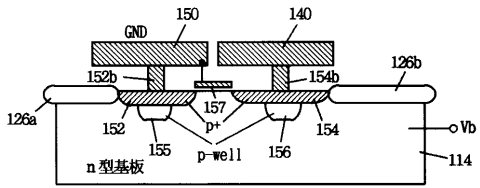
【 図 8 】



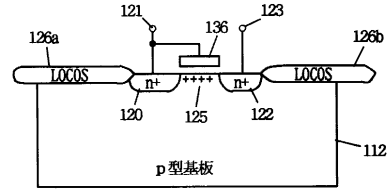
【 図 9 】



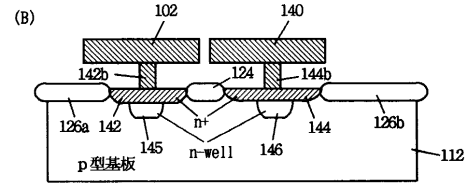
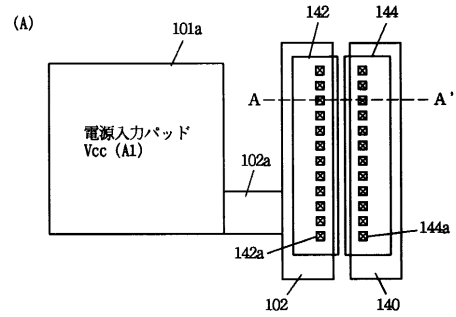
【 図 10 】



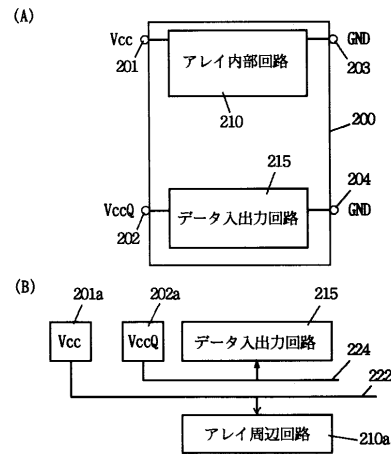
【 図 6 】



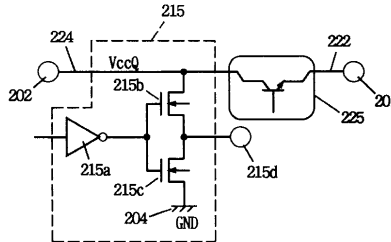
【 図 7 】



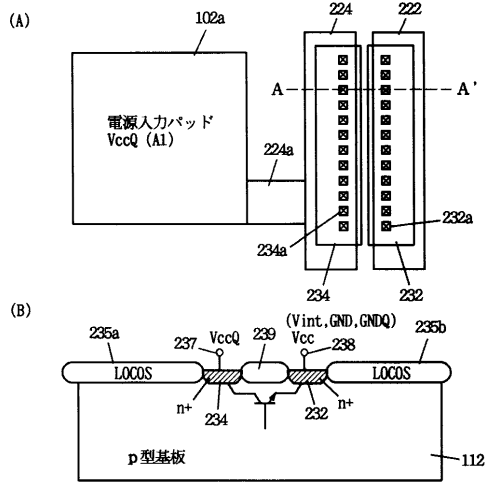
【 図 11 】



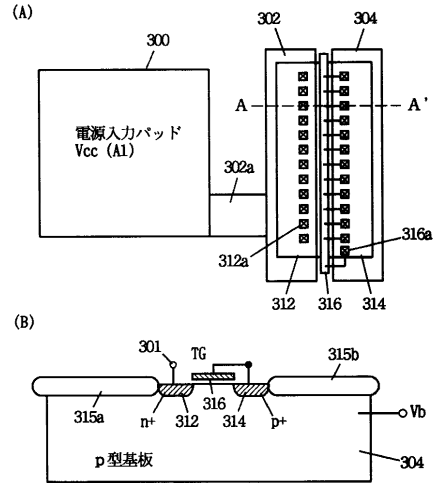
【 図 12 】



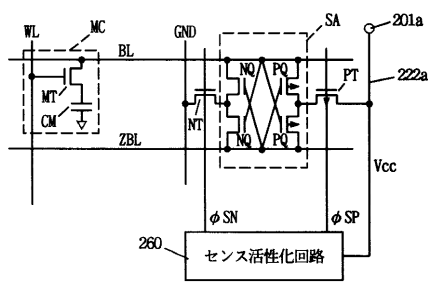
【図13】



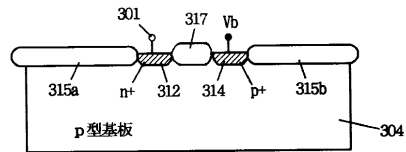
【図15】



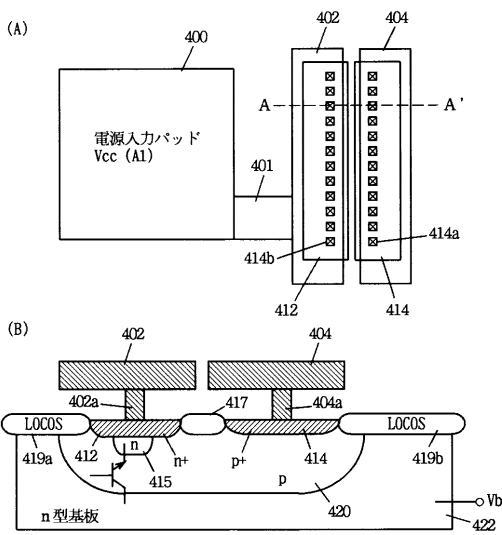
【図14】



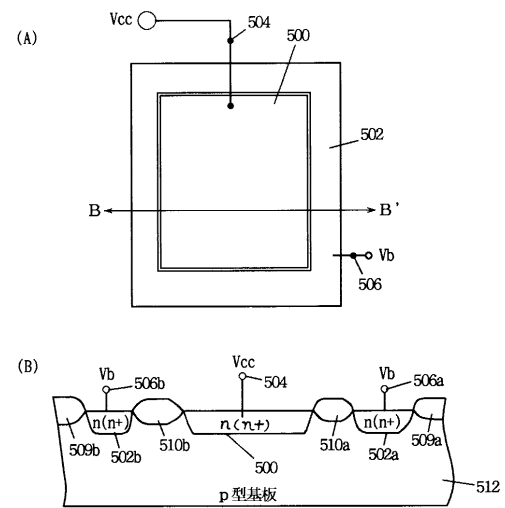
【図16】



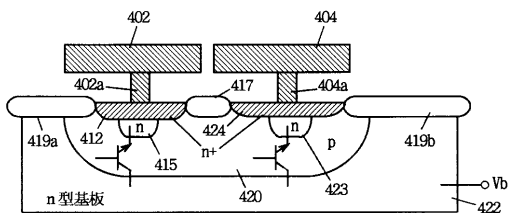
【図17】



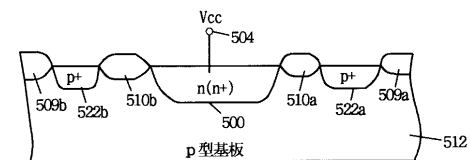
【図19】



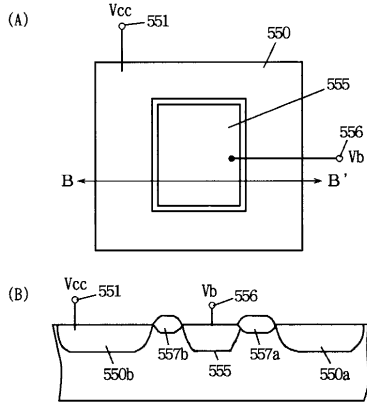
【図18】



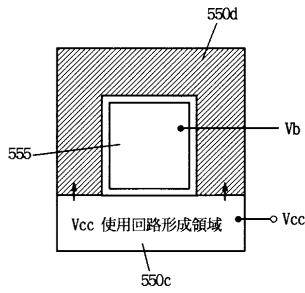
【図20】



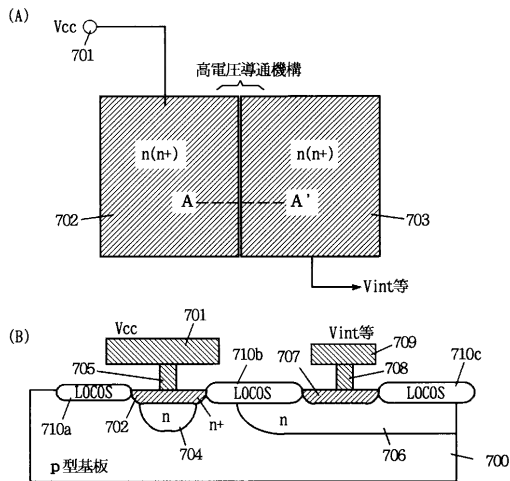
【図 2 1】



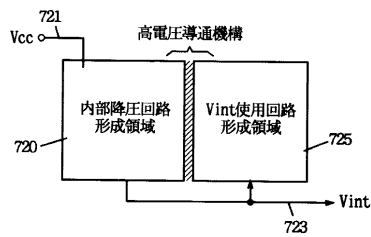
【図 2 2】



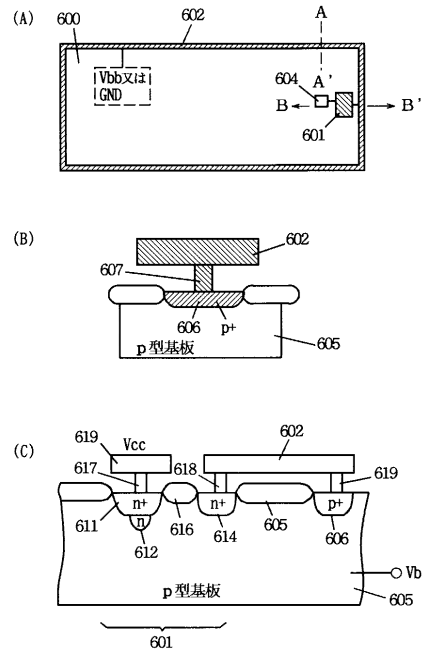
【図 2 4】



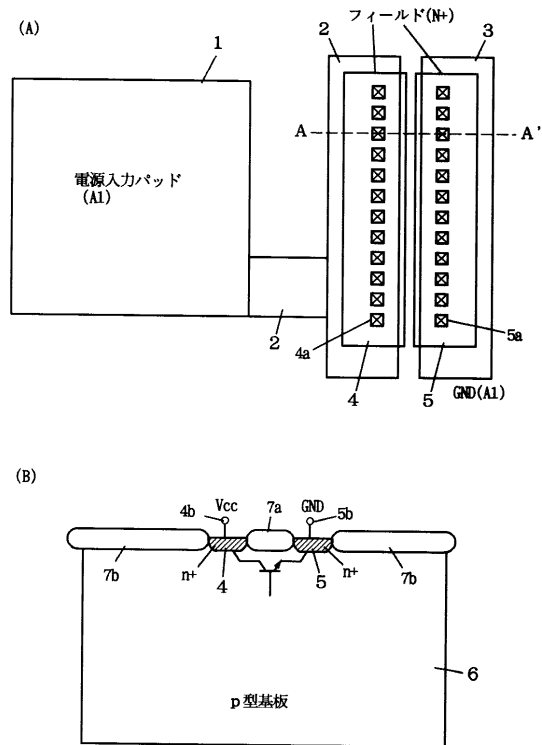
【図 2 5】



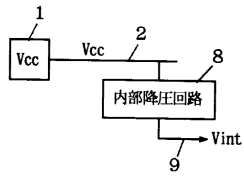
【図 2 3】



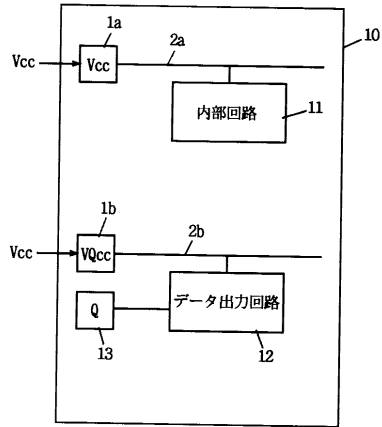
【図 2 6】



【図 27】



【図 28】



フロントページの続き

(72)発明者 日高 秀人

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 棚田 一也

- (56)参考文献 特開平04 - 094164 (JP, A)
実開平04 - 028453 (JP, U)
特開平03 - 030363 (JP, A)
特開平09 - 121453 (JP, A)
特開平07 - 106522 (JP, A)
特開平06 - 224372 (JP, A)
特開平03 - 072666 (JP, A)
特開平08 - 330521 (JP, A)
実開昭59 - 176149 (JP, U)
特開平06 - 177330 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 21/822

H01L 27/04

H01L 27/06 311