(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0102087
(43) 공개일자 2025년07월04일

(51) 국제특허분류(Int. Cl.)
H01G 4/012 (2006.01) *H01G 4/12* (2006.01)
H01G 4/232 (2006.01) *H01G 4/30* (2006.01)
(52) CPC특허분류
H01G 4/012 (2013.01)
H01G 4/12 (2021.01)
(21) 출원번호 10-2025-7018700
(22) 출원일자(국제) 2023년11월21일
심사청구일자 2025년06월05일
(85) 번역문제출일자 2025년06월05일
(86) 국제출원번호 PCT/JP2023/041870
(87) 국제공개번호 WO 2024/142679
국제공개일자 2024년07월04일
(30) 우선권주장
JP-P-2022-212598 2022년12월28일 일본(JP)

(71) 출원인
가부시키가이샤 무라타 세이사쿠쇼
일본국 교토후 나가오카쿄시 히가시코타리 1초메 10반 1고
(72) 발명자
이시즈카 아키라
일본국 교토 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시키가이샤 무라타 세이사쿠쇼 내
타나카 아키라
일본국 교토 나가오카쿄시 히가시코타리 1초메 10방 1고 가부시키가이샤 무라타 세이사쿠쇼 내
(74) 대리인
윤앤리특허법인(유한)

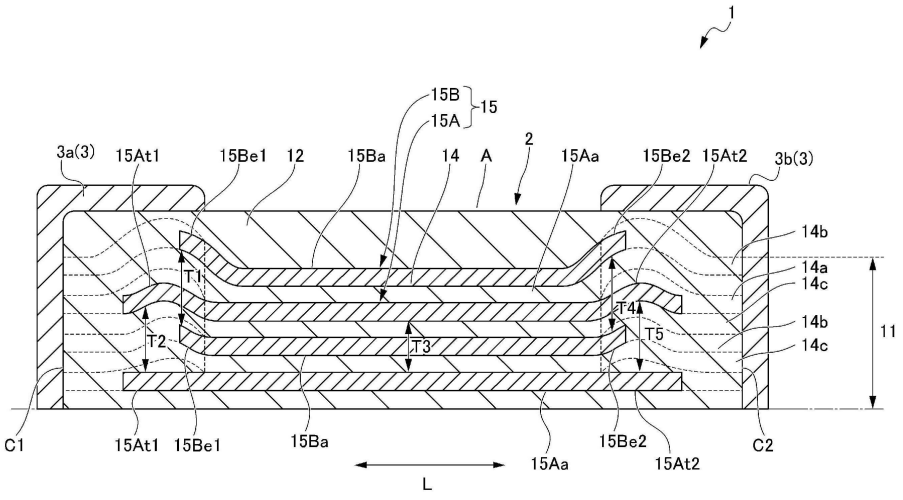
전체 청구항 수 : 총 4 항

(54) 발명의 명칭 **적층 세라믹 콘덴서**

(57) 요 약

복수개의 내부전극층과 복수개의 유전체층의 겹침 상태를 조정하여 신뢰성의 저하를 억제할 수 있는 적층 세라믹 콘덴서를 제공한다. 적층방향(T)으로 이웃하는 제2 내부전극층(15B) 간의 거리로서, 제1 가장자리변 영역(15Be1)에서 적층방향(T)으로 제1 내부전극층(15A)과 겹치는 제2 내부전극층(15B) 간의 거리인 제1 거리(T1)는, 적층방향(T)으로 이웃하는 제1 내부전극층(15A) 간의 거리로서, 제1 이행 영역(15At1)에서 적층방향(T)으로 제2 내부전극층(15B)와 겹치지 않는 제1 내부전극층(15A) 간의 거리인 제2 거리(T2)보다도 긴 부분을 가지는 적층 세라믹 콘덴서(1).

대 표 도



(52) CPC특허분류
H01G 4/232 (2013.01)
H01G 4/30 (2013.01)

명 세 서

청구범위

청구항 1

복수개의 적층된 유전체층과, 상기 유전체층 상에 적층된 복수개의 내부전극층을 가지며, 적층방향으로 마주보는 제1 주면(主面) 및 제2 주면과, 적층방향에 직교하는 길이방향으로 마주보는 제1 단면(端面) 및 제2 단면과, 상기 적층방향 및 상기 길이방향에 직교하는 폭방향으로 마주보는 제1 측면 및 제2 측면을 가지는 적층체와,

복수개의 외부전극을 가지는 적층 세라믹 콘덴서로서,

상기 복수개의 내부전극층은 복수개의 제1 내부전극층과 복수개의 제2 내부전극층을 가지며,

상기 제1 내부전극층은 상기 유전체층을 사이에 두고 상기 제2 내부전극층과 대향하는 제1 대향부와, 상기 제1 대향부로부터 연장되어 상기 적층체의 상기 제1 단면으로 인출되는 제1 인출부를 가지며,

상기 제1 인출부는 폭방향의 길이가 점진적으로 감소하는 제1 이행(移行) 영역과, 상기 제1 이행 영역으로부터 상기 제1 단면으로 연출(延出)되고, 폭방향의 길이가 상기 제1 대향부의 폭방향의 길이보다도 짧은 제1 연출 영역을 가지며,

상기 제2 내부전극층은 상기 제1 단면 측에 위치하는 제1 가장자리변 영역을 가지며,

상기 적층방향으로 이웃하는 상기 제2 내부전극층 간의 거리로서, 상기 제1 가장자리변 영역에서 상기 적층방향으로 상기 제1 내부전극층과 겹치는 상기 제2 내부전극층 간의 거리인 제1 거리(T1)는, 상기 적층방향으로 이웃하는 상기 제1 내부전극층 간의 거리로서, 상기 제1 이행 영역에서 상기 적층방향으로 상기 제2 내부전극층과 겹치지 않는 상기 제1 내부전극층 간의 거리인 제2 거리(T2)보다도 긴 부분을 가지는, 적층 세라믹 콘덴서.

청구항 2

제1항에 있어서,

상기 제1 거리(T1)는 상기 적층방향으로 이웃하는 상기 제1 내부전극층 간의 거리로서, 상기 제1 대향부의 중앙 영역에서 상기 적층방향으로 상기 제2 내부전극층과 겹치는 상기 제1 내부전극층 간의 거리인 거리(T3)보다도 긴 부분을 가지는, 적층 세라믹 콘덴서.

청구항 3

제1항 또는 제2항에 있어서,

상기 제1 내부전극층은 상기 제1 대향부로부터 연장되어 상기 적층체의 상기 제2 단면으로 인출되는 제2 인출부를 추가로 가지며,

상기 제2 내부전극층은 상기 유전체층을 사이에 두고 상기 제1 내부전극층과 대향하는 제2 대향부와, 상기 제2 대향부로부터 연장되어 상기 적층체의 제1 측면으로 인출되는 제1 인출부를 가지며,

상기 복수개의 외부전극은

상기 제1 내부전극층의 상기 제1 인출부와 접속되는 제1 단면 외부전극과, 상기 제1 내부전극층의 상기 제2 인출부에 접속되는 제2 단면 외부전극과, 상기 제2 내부전극층의 상기 제1 인출부와 접속되는 제1 측면 외부전극을 가지는, 적층 세라믹 콘덴서.

청구항 4

제1항 또는 제2항에 있어서,

상기 제2 내부전극층은 상기 유전체층을 사이에 두고 상기 제1 내부전극층과 대향하는 제2 대향부와, 상기 제2 대향부로부터 연장되어 상기 적층체의 상기 제2 단면으로 인출되는 제2 인출부를 가지며,

상기 복수개의 외부전극은 상기 제1 내부전극층의 상기 제1 인출부와 접속되는 제1 단면 외부전극과, 상기 제2

내부전극층의 상기 제2 인출부에 접속되는 제2 단면 외부전극을 가지는, 적층 세라믹 콘덴서.

발명의 설명

기 술 분 야

[0001] 본 발명은 적층 세라믹 콘덴서에 관한 것이다.

배 경 기 술

[0002] 종래, 복수개의 적층된 유전체층과, 유전체층 상에 적층된 복수개의 내부전극층을 가지는 적층체와, 복수개의 외부전극을 가지는 적층 세라믹 콘덴서가 알려져 있다. 특허문헌 1에는 단면(端面)에 가까워짐에 따라 폭이 서서히 좁아지는 테이퍼 형상부를 포함한 인출부를 포함하는 내부전극층을 포함하는 적층 세라믹 콘덴서가 개시되어 있다.

[0003] 그러나, 이와 같은 적층 세라믹 콘덴서는 복수개의 내부전극층과 복수개의 유전체층의 겹침 상태가 복잡해져서 내부전극층의 두께에 의한 단차가 발생하기 쉽다. 또한, 특허문헌 2에는 내부전극층의 두께에 의해 생기는 단차에 의해 형성되는 오목부에 보조층을 마련하는 구성이 개시되어 있다. 이 보조층은 오목부에 의해 생기는 문제 발생을 저감시키기 위해서 내부전극층의 가장자리에도 올라앉을 수 있도록 형성되어 있다.

[0004] 그러나, 테이퍼 형상부를 포함한 인출부를 포함하는 내부전극층에 대해, 내부전극층의 가장자리에도 올라앉도록 보조층을 단순히 배치하면, 복수개의 보조층의 겹침 상태가 복잡해져서 프레스 공정 및 소성 공정 후의 적층체에서 부분적으로 유전체층의 두께가 얇아지는 부분이 생길 수 있다. 이로써, 적층 세라믹 콘덴서의 신뢰성이 저하될 가능성이 있다.

[0005] 이 때문에 복수개의 내부전극층과 복수개의 유전체층의 겹침 상태를 조정하여 신뢰성의 저하를 억제할 수 있는 적층 세라믹 콘덴서의 개발이 요구된다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 일본 공개특허공보 특개2004-47536호

(특허문헌 0002) 일본 공개특허공보 특개2004-349429호

발명의 내용

해결하려는 과제

[0007] 본 발명은 복수개의 내부전극층과 복수개의 유전체층의 겹침 상태를 조정하여 신뢰성의 저하를 억제할 수 있는 적층 세라믹 콘덴서를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 본 발명자들은 적층방향으로 이웃하는 제2 내부전극층 간의 거리로서, 제2 내부전극층 간의 제1 단면 측에 위치하는 제1 가장자리변 영역에서 적층방향으로 제1 내부전극층과 겹치는 제2 내부전극층 간의 거리인 제1 거리(T1)가, 적층방향(T)으로 이웃하는 제1 내부전극층 간의 거리로서, 제1 이행(移行) 영역에서 적층방향으로 제2 내부전극층과 겹치지 않는 제1 내부전극층 간의 거리인 제2 거리(T2)보다도 긴 부분을 가지는 적층 세라믹 콘덴서에서는 신뢰성의 저하를 억제할 수 있는 것을 발견하여 본 발명을 완성하기에 이르렀다.

[0009] 즉, 본 발명은 복수개의 적층된 유전체층과, 상기 유전체층 상에 적층된 복수개의 내부전극층을 가지며, 적층방향으로 마주보는 제1 주면(主面) 및 제2 주면과, 적층방향에 직교하는 길이방향으로 마주보는 제1 단면 및 제2 단면과, 상기 적층방향 및 상기 길이방향에 직교하는 폭방향으로 마주보는 제1 측면 및 제2 측면을 가지는 적층체와,

[0010] 복수개의 외부전극을 가지는 적층 세라믹 콘덴서로서,

[0011] 상기 복수개의 내부전극층은 복수개의 제1 내부전극층과 복수개의 제2 내부전극층을 가지며,

[0012] 상기 제1 내부전극층은 상기 유전체층을 사이에 두고 상기 제2 내부전극층과 대향하는 제1 대향부와, 상기 제1 대향부로부터 연장되어 상기 적층체의 상기 제1 단면으로 인출되는 제1 인출부를 가지며,

[0013] 상기 제1 인출부는 폭방향의 길이가 점진적으로 감소하는 제1 이행 영역과, 상기 제1 이행 영역으로부터 상기 제1 단면으로 연출(延出)되고, 폭방향의 길이가 상기 제1 대향부의 폭방향의 길이보다도 짧은 제1 연출 영역을 가지며,

[0014] 상기 제2 내부전극층은 상기 제1 단면 측에 위치하는 제1 가장자리변 영역을 가지며,

[0015] 상기 적층방향으로 이웃하는 상기 제2 내부전극층 간의 거리로서, 상기 제1 가장자리변 영역에서 상기 적층방향으로 상기 제1 내부전극층과 겹치는 상기 제2 내부전극층 간의 거리인 제1 거리(T1)는, 상기 적층방향으로 이웃하는 상기 제1 내부전극층 간의 거리로서, 상기 제1 이행 영역에서 상기 적층방향으로 상기 제2 내부전극층과 겹치지 않는 상기 제1 내부전극층 간의 거리인 제2 거리(T2)보다도 긴 부분을 가지는 적층 세라믹 콘덴서이다.

발명의 효과

[0016] 본 발명에 따르면 복수개의 내부전극층과 복수개의 유전체층의 겹침 상태가 조정되어 신뢰성의 저하가 억제된 적층 세라믹 콘덴서를 제공하는 것이 가능해진다.

도면의 간단한 설명

[0017] 도 1은 적층 세라믹 콘덴서(1)(제1 실시형태)의 개략 사시도이다.

도 2는 도 1에서의 II-II선을 따라 절단한 단면도이며 적층방향(T)의 중앙부보다 위의 절반을 나타낸다(제1 실시형태).

도 3은 도 1에서의 III-III선을 따라 절단한 단면도이며 적층방향(T)의 중앙부보다 위의 절반을 나타낸다(제1 실시형태).

도 4는 적층 세라믹 콘덴서(1)(제1 실시형태)의 제1 내부전극층(15A)을 따른 단면도이다.

도 5는 적층 세라믹 콘덴서(1)(제1 실시형태)의 제2 내부전극층(15B)을 따른 단면도이다.

도 6은 적층 세라믹 콘덴서(1)(제1 실시형태)의 제조 방법을 설명하는 플로우 차트이다.

도 7은 적층 세라믹 콘덴서(1)(제1 실시형태)의 제조 방법을 설명하는 공정도이다.

도 8은 적층 세라믹 콘덴서(1)(제1 실시형태)의 제조 방법을 설명하는 공정도이다.

도 9는 적층 세라믹 콘덴서(1)(제1 실시형태)의 제조 방법을 설명하는 공정도이다.

도 10은 적층 세라믹 콘덴서(1)(제1 실시형태)의 제조 방법을 설명하는 공정도이다.

도 11은 적층 세라믹 콘덴서(1)(제1 실시형태)의 제조 방법을 설명하는 공정도이다.

도 12는 적층 세라믹 콘덴서(1)(제1 실시형태)의 제조 방법을 설명하는 공정도이다.

도 13은 적층 세라믹 콘덴서(200)(제2 실시형태)의 개략 사시도이다.

도 14는 적층 세라믹 콘덴서(200)(제2 실시형태)의 제1 내부전극층(15A)을 따른 단면도이다.

도 15는 적층 세라믹 콘덴서(200)(제2 실시형태)의 제2 내부전극층(15B)을 따른 단면도이다.

도 16은 적층 세라믹 콘덴서(200)(제2 실시형태)의 제조 방법을 설명하는 공정도이다.

도 17은 적층 세라믹 콘덴서(200)(제2 실시형태)의 제조 방법을 설명하는 공정도이다.

도 18은 적층 세라믹 콘덴서(200)(제2 실시형태)의 제조 방법을 설명하는 공정도이다.

발명을 실시하기 위한 구체적인 내용

[0018] (적층 세라믹 콘덴서(1))

[0019] 이하, 본 발명의 제1 실시형태로서 적층 세라믹 콘덴서(1)에 대해 설명한다. 도 1은 적층 세라믹 콘덴서(1)의 개략 사시도이다. 도 2는 적층 세라믹 콘덴서(1)의 도 1에서의 II-II선을 따라 절단하여 폭방향(W)과 적층방향(T)에 의해 규정되는 절단면(WT 절단면)의 상태를 나타내는 것이며 적층방향(T)의 중앙부보다 위의 절반을 나타낸다. 도 3은 적층 세라믹 콘덴서(1)의 도 1에서의 III-III선을 따라 절단하여 길이방향(L)과 적층방향(T)에 의해 규정되는 절단면(LT 절단면)의 상태를 나타내는 것이며 적층방향(T)의 중앙부보다 위의 절반을 나타낸다. 한편, II-II선은 적층 세라믹 콘덴서(1)의 길이방향(L)의 중앙부를 통과하는 선이다. 또한, III-III선은 후술할 적층 세라믹 콘덴서(1)의 제1 내부전극층(15A)과 제2 내부전극층(15B)이 적층되는 범위를 통과하지만, 제1 내부전극층(15A)의 제1 인출부(15Ab1)의 제1 연출 영역(15Aw1)과 제2 인출부(15Ab2)의 제2 연출 영역(15Aw2)을 통과하지 않는 선이다.

[0020] 실시형태는 본 발명의 실시의 형태를 예시적으로 나타낸 것으로, 본 발명이 실시형태의 내용에 한정되지는 않는다. 또한, 다른 실시형태에 기재된 내용을 조합하여 실시하는 것도 가능하며 그 경우의 실시 내용도 본 발명에 포함된다. 또한, 도면은 명세서의 이해를 돕기 위한 것으로서, 모식적으로 묘화되어 있는 경우가 있고, 묘화된 구성요소 또는 구성요소 간의 치수 비율이 명세서에 기재된 이들의 치수 비율과 일치하지 않는 경우가 있다. 또한, 명세서에 기재되어 있는 구성요소가 도면에서 생략되어 있는 경우나, 개수를 생략하여 묘화되어 있는 경우 등이 있다.

[0021] 적층 세라믹 콘덴서(1)는 적층체(2)의 길이방향(L)의 양 단면(C)에 마련된 단면 외부전극(3)과, 적층체(2)의 폭방향(W)의 양 측면(B)에 마련된 측면 외부전극(4)을 포함한다. 적층체(2)는 유전체층(14)과 내부전극층(15)을 복수 세트 포함하는 내층부(11)와 외층부(12)를 포함한다.

[0022] 적층 세라믹 콘덴서(1)의 치수는 특별히 한정되는 것은 아니지만, 길이방향(L)을 0.6㎜ 이상 3.2㎜ 이하, 적층방향(T)을 0.3㎜ 이상 2.5㎜ 이하, 폭방향(W)을 0.3㎜ 이상 2.5㎜ 이하로 할 수 있다.

[0023] 본 명세서에서 적층 세라믹 콘덴서(1)의 방향을 나타내는 용어로서, 적층 세라믹 콘덴서(1)에서 유전체층(14)과 내부전극층(15)이 적층되어 있는 방향을 적층방향(T)으로 한다. 적층방향(T)과 교차하고, 한 쌍의 단면 외부전극(3)이 마련되어 있는 방향을 길이방향(L)으로 한다. 길이방향(L) 및 적층방향(T) 중 어느 것에도 교차하는 방향을 폭방향(W)으로 한다. 한편, 실시형태에서는 적층방향(T)과 길이방향(L)과 폭방향(W)은 서로 직교하고 있다.

[0024] (적층체(2))

[0025] 적층체(2)는 내층부(11)와, 내층부(11)의 적층방향(T)의 양측에 배치되는 외층부(12)를 포함한다. 적층체(2)는 모서리부 및 능선부가 라운드형으로 되어 있는 것이 바람직하다. 모서리부는 적층체의 3면이 교차하는 부분이며, 능선부는 적층체의 2면이 교차하는 부분이다.

[0026] 적층체(2)의 치수는 특별히 한정되는 것은 아니지만, 길이방향(L)을 0.6㎜ 이상 3.2㎜ 이하, 적층방향(T)을 0.3㎜ 이상 2.5㎜ 이하, 폭방향(W)을 0.3㎜ 이상 2.5㎜ 이하로 할 수 있다.

[0027] (내층부(11))

[0028] 내층부(11)는 적층방향(T)을 따라 유전체층(14)과 내부전극층(15)이 복수개 적층되어 있다.

[0029] (유전체층(14))

[0030] 유전체층(14)은 세라믹 재료로 제조되어 있다. 세라믹 재료로는 예를 들면, $BaTiO_3$을 주성분으로 하는 유전체 세라믹이 사용된다. 또한, 세라믹 재료로서, 이들 주성분에 Mn 화합물, Fe 화합물, Cr 화합물, Co 화합물, Ni 화합물 등의 부성분 중 적어도 하나를 첨가한 것을 사용해도 된다.

[0031] 유전체층(14)은 후술할 세라믹 그린시트(114)에 의해 제조된 유전체층(14c)과, 세라믹 그린시트(114) 상에 도포되는 세라믹 페이스트(114a, 114b)에 의해 제조된 유전체층(14a) 및 유전체층(14b)을 가진다.

[0032] (내부전극층(15))

[0033] 내부전극층(15)은 예를 들면 Ni, Cu, Ag, Pd, Ag-Pd 합금, Au 등으로 대표되는 금속 재료에 의해 형성되어 있는 것이 바람직하다.

[0034] 내부전극층(15)의 두께는 특별히 한정되는 것은 아니지만, 0.25㎛ 이상 0.6㎛ 이하가 바람직하고, 그 중에서도

0.3㎛ 이상 0.5㎛ 이하가 바람직하다. 내층부(11) 내에는 14매 이상 1000매 이하의 내부전극층(15)을 내장할 수 있다.

[0035] 내부전극층(15)은 교대로 배치되는 제1 내부전극층(15A)과 제2 내부전극층(15B)을 가지고 있으며, 제1 내부전극층(15A)과 제2 내부전극층(15B)은 적층방향(T)으로부터의 평면에서 보았을 때 서로 겹치는 제1 대향부(15Aa)와 제2 대향부(15Ba)에서 유전체층(14)을 사이에 두고 정전용량을 형성한다.

[0036] (제1 내부전극층(15A))

[0037] 도 4는 적층 세라믹 콘덴서(1)의 제1 내부전극층(15A)을 따른 단면도이다. 도 4에 나타내는 바와 같이, 제1 내부전극층(15A)은 전체적으로 적층체(2)의 길이방향(L)의 양 단면(C) 사이를 연장하여 폭방향(W)의 양 측면(B)으로부터는 일정한 거리로 이격되어 있다.

[0038] 제1 내부전극층(15A)은 양 단면(C)으로부터 일정한 거리 떨어져 있고, 후술할 제2 내부전극층(15B)의 제2 대향부(15Ba)와 유전체층(14)을 끼고 마주 보는 직사각형상의 제1 대향부(15Aa)와, 상기 제1 대향부(15Aa)로부터 제1 단면(C1)과 제2 단면(C2)으로 각각 연출되는 제1 인출부(15Ab1)와 제2 인출부(15Ab2)로 이루어진다. 그리고 제1 인출부(15Ab1)는 제1 단면(C1)을 향하여 폭방향(W)의 길이가 점진적으로 감소하는 사다리꼴 형상의 제1 이행 영역(15At1)과, 추가로 제1 이행 영역(15At1)으로부터 제1 단면(C1)으로 연장되는 제1 연출 영역(15Aw1)으로 이루어진다. 또한, 제2 인출부(15Ab2)는 제2 단면(C2)을 향하여 폭방향(W)의 길이가 점진적으로 감소하는 사다리꼴 형상의 제2 이행 영역(15At2)과, 추가로 제2 이행 영역(15At2)으로부터 제2 단면(C2)으로 연장되는 제2 연출 영역(15Aw2)으로 이루어진다.

[0039] 제1 연출 영역(15Aw1)과 제2 연출 영역(15Aw2)은 각각 제1 단면(C1)과 제2 단면(C2)에 노출되고, 각각 제1 단면 외부전극(3a)과 제2 단면 외부전극(3b)에 접속되어 있다.

[0040] 제1 내부전극층(15A)에서, 제1 인출부(15Ab1)의 제1 연출 영역(15Aw1)과 제2 인출부(15Ab2)의 제2 연출 영역(15Aw2)의 폭방향(W)의 길이는 제1 대향부(15Aa)의 폭방향(W)의 길이보다도 짧다. 이와 같이 제1 연출 영역(15Aw1)과 제2 연출 영역(15Aw2)의 폭방향(W)의 길이를 짧게 함으로써, 외부로부터의 수분의 침입을 억제할 수 있기 때문에 적층 세라믹 콘덴서의 신뢰성을 높일 수 있다.

[0041] (제2 내부전극층(15B))

[0042] 도 5는 적층 세라믹 콘덴서(1)의 제2 내부전극층(15B)을 따른 단면도이다. 도 5에 나타내는 바와 같이, 제2 내부전극층(15B)은 적층체(2)보다도 한 둘레 작고, 각 변이 단면(C) 및 측면(B)으로부터 일정 거리 이격된 직사각형상의 제2 대향부(15Ba)와, 제2 대향부(15Ba)로부터 제1 측면(B1)과 제2 측면(B2)으로 각각 연장되는 제1 인출부(15Bb1)와 제2 인출부(15Bb2)를 가진다.

[0043] 또한, 제2 대향부(15Ba)에는 제1 단면(C1) 측의 한 변을 따라 제1 가장자리변 영역(15Be1)이 있고, 제2 단면(C2) 측의 한 변을 따라 제2 가장자리변 영역(15Be2)이 있다.

[0044] 제1 인출부(15Bb1)와 제2 인출부(15Bb2)는 각각 적층체(2)의 제1 측면(B1)과 제2 측면(B2)에 노출되고, 제1 측면 외부전극(4a)과 제2 측면 외부전극(4b)에 접속되어 있다.

[0045] 제2 내부전극층(15B)에서 제1 인출부(15Bb1)와 제2 인출부(15Bb2)의 길이방향(L)의 길이는 제2 대향부(15Ba)의 길이방향(L)의 길이보다도 짧다. 이와 같이 제1 인출부(15Bb1)와 제2 인출부(15Bb2)의 길이방향(L)의 길이를 짧게 함으로써, 외부로부터의 수분의 침입을 억제할 수 있기 때문에 적층 세라믹 콘덴서의 신뢰성을 높일 수 있다.

[0046] (외층부(12))

[0047] 외층부(12)는 도 2 및 도 3에 나타내는 바와 같은 내층부(11)의 제1 주면(A1) 측과 제2 주면(A2) 측에 배치되는 일정 두께의 유전체층이다. 외층부(12)는 내층부(11)의 유전체층(14)과 동일한 재료로 제조되어 있다.

[0048] 유전체층의 두께는 특별히 한정되는 것은 아니지만, 0.3㎛ 이상 1.5㎛ 이하가 바람직하고, 그 중에서도 0.5㎛ 이상 1㎛가 바람직하다. 내층부(11)와 외층부(12)로 이루어지는 적층체(2)는 14매 이상 1000매 이하의 유전체층에 의해 형성할 수 있다.

[0049] (단면 외부전극(3))

[0050] 적층체(2)의 제1 단면(C1)에는 제1 단면 외부전극(3a)이 배치되고 제2 단면(C2)에는 제2 단면 외부전극(3b)이

배치되어 있다. 제1 단면 외부전극(3a)에는 제1 내부전극층(15A)의 제1 인출부(15Ab1)가 접속되어 있다. 또한, 제2 단면 외부전극(3b)에는 제1 내부전극층(15A)의 제2 인출부(15Ab2)가 접속되어 있다. 제1 단면 외부전극(3a)과 제2 단면 외부전극(3b)은 각각 제1 단면(C1)과 제2 단면(C2)뿐만 아니라 제1 주면(A1), 제2 주면(A2), 제1 측면(B1) 및 제2 측면(B2)의 일부도 덮고 있다.

[0051] (측면 외부전극(4))

[0052] 적층체(2)의 제1 측면(B1)과 제2 측면(B2)에는 각각 제1 측면 외부전극(4a)과 제2 측면 외부전극(4b)이 배치되어 있다.

[0053] 제1 측면 외부전극(4a)에는 제2 내부전극층(15B)의 제1 인출부(15Bb1)가 접속되고 제2 측면 외부전극(4b)에는 제2 내부전극층(15B)의 제2 인출부(15Bb2)가 접속되어 있다. 제1 측면 외부전극(4a)과 제2 측면 외부전극(4b)은 각각 제1 측면(B1)과 제2 측면(B2)뿐만 아니라 제1 주면(A1)과 제2 주면(A2)의 일부도 덮고 있다.

[0054] 제1 내부전극층(15A)이 제1 단면 외부전극(3a)과 제2 단면 외부전극(3b)에 접속되고, 제2 내부전극층(15B)이 제1 측면 외부전극(4a)과 제2 측면 외부전극(4b)에 접속된 적층 세라믹 콘덴서(1)는 3단자형 콘덴서로서 사용할 수 있다. 즉, 적층 세라믹 콘덴서(1)는 회로에서 전원 라인 또는 신호 라인을 도중에 중단하고, 중단한 한쪽에 제1 단면 외부전극(3a)을 접속하며 중단한 다른 쪽에 제2 단면 외부전극(3b)을 접속하면서, 제1 측면 외부전극(4a)과 제2 측면 외부전극(4b)을 그라운드에 접속함으로써 3단자형 콘덴서로서 사용할 수 있다. 이 경우, 제1 내부전극층(15A)이 관통 전극이 되고 제2 내부전극층(15B)이 그라운드 전극이 된다.

[0055] 단면 외부전극(3)과 측면 외부전극(4)은 예를 들면 하부 전극층과, 하부 전극층 상에 배치된 도금층을 포함한 구조로 할 수 있다.

[0056] 하부 전극층은 이하에 설명하는 바와 같은, 베이킹층, 도전성 수지층, 직접 도금층 등에서 선택되는 적어도 하나의 층을 포함한다.

[0057] (베이킹층)

[0058] 베이킹층은 유리 및 금속을 포함하는 도전성 페이스트를 적층체에 도포하여 베이킹한 것이며, 내부전극층과 동시 소성한 것이어도 되고, 내부전극층을 소성한 후에 베이킹해도 된다. 베이킹 처리의 온도는 700~900℃인 것이 바람직하다.

[0059] 유리 성분은 B, Si, Ba, Mg, Al, Li 등에서 선택되는 적어도 하나를 포함한다. 또한, 금속으로는 예를 들면, Cu, Ni, Ag, Pd, Ag-Pd 합금, Au 등에서 선택되는 적어도 하나를 포함한다.

[0060] 베이킹층의 두께는 예를 들면, 3㎛ 이상 70㎛ 이하인 것이 바람직하다. 또한, 베이킹층은 복수층이어도 된다.

[0061] (도전성 수지층)

[0062] 도전성 수지층은 베이킹층의 표면에 형성되거나, 혹은 적층체의 표면 상에 직접 형성된다. 도전성 수지층은 복수층이어도 된다.

[0063] 도전성 수지층의 형성 방법으로는 열경화성 수지 및 금속 성분을 포함하는 도전성 수지 페이스트를 베이킹층 상 혹은 적층체 상에 도포하고, 250~550℃ 이상의 온도에서 열처리를 실시하고 수지를 열경화시켜 도전성 수지층을 형성한다. 이 때의 열처리 시의 분위기는 N_2 분위기인 것이 바람직하다. 또한, 수지의 비산을 방지하면서 각종 금속 성분의 산화를 방지하기 위해, 산소 농도는 100ppm 이하로 억제하는 것이 바람직하다.

[0064] 단면(C)의 중앙부에서의 도전성 수지층의 두께는 예를 들면, 10㎛ 이상 150㎛ 이하인 것이 바람직하다.

[0065] 도전성 수지층의 수지로는 예를 들면, 에폭시 수지, 페놀 수지, 우레탄 수지, 실리콘 수지, 폴리이미드 수지 등의 공지의 다양한 열경화성 수지를 사용할 수 있다. 그 중에서도 내열성, 내습성, 밀착성 등이 뛰어난 에폭시 수지는 가장 적절한 수지 중 하나이다. 도전성 수지층에 포함되는 수지는 도전성 수지 전체의 체적에 대하여 25vol% 이상 65vol% 이하로 포함되어 있는 것이 바람직하다.

[0066] 또한, 도전성 수지층에는 열경화성 수지와 함께, 경화제를 포함하는 것이 바람직하다. 경화제로는, 베이스 수지로서 에폭시 수지를 사용하는 경우, 에폭시 수지의 경화제로는 페놀계, 아민계, 산무수물계, 이미다졸계 등 공지의 다양한 화합물을 사용할 수 있다.

[0067] 도전성 수지층은 열경화성 수지를 포함하기 때문에, 예를 들면 도금막이나 도전성 페이스트의 소성물로 이루어

지는 도전층보다도 유연성이 풍부하다. 이 때문에 세라믹 전자부품에 물리적인 충격이나 열 사이클에 기인하는 충격이 가해진 경우이어도 도전성 수지층이 완충층으로서 기능하여, 세라믹 전자부품에 대한 크랙을 방지할 수 있다.

[0068] 도전성 수지층에 포함되는 금속으로는 Ag, Cu, 또는 그들의 합금을 사용할 수 있다. 또한, 금속 분말의 표면에 Ag 코팅된 것을 사용할 수 있다. 금속 분말의 표면에 Ag 코팅된 것을 사용할 때에는 금속 분말로서 Cu나 Ni을 사용하는 것이 바람직하다. 또한 Cu에 산화 방지 처리를 실시한 것을 사용할 수도 있다.

[0069] 도전성 금속에 Ag의 도전성 금속 분말을 사용하는 이유로는 Ag은 비저항이 낮기 때문에 전극 재료에 적합하고, 또한 귀금속이기 때문에 산화되지 않아 안정성이 높기 때문이다. 한편, Ag 코팅된 금속을 사용하는 이유로는 상기의 Ag의 특성은 유지하면서 모재의 금속을 저렴한 것으로 하는 것이 가능해지기 때문이다.

[0070] 도전성 수지층에 포함되는 금속은 도전성 수지 전체의 체적에 대하여 35vol% 이상 75vol% 이하로 포함되어 있는 것이 바람직하다.

[0071] 도전성 수지층에 포함되는 금속의 형상은 특별히 한정되지 않는다. 도전성 필러는 구(球) 형상, 편평 형상 등이어도 된다. 도전성 수지층에 포함되는 금속의 평균 입경은 특별히 한정되지 않지만, 예를 들면, 0.3㎛ 이상 10㎛ 이하 정도로 할 수 있다.

[0072] 도전성 수지층에 포함되는 금속은 주로 도전성 수지층의 통전성을 담당한다. 구체적으로는 도전성 필러끼리 접촉함으로써 도전성 수지층 내부에 통전 경로가 형성된다.

[0073] (도금층)

[0074] 적층체의 내부전극층이 노출되는 단면에 직접 도금층을 마련해도 된다. 즉, 적층 세라믹 콘덴서는 내부전극층, 표면 전극층에 전기적으로 직접 접속하는 도금층을 포함하는 구조이어도 된다. 이와 같은 경우, 전처리로서 적층체의 표면에 촉매를 배치한 후에 직접 도금층이 형성되어도 된다.

[0075] 도금층은 예를 들면, Cu, Ni, Sn, Pb, Au, Ag, Pd, Bi 또는 Zn 등에서 선택되는 적어도 1종의 금속 또는 상기 금속을 포함하는 합금을 포함하는 것이 바람직하다. 예를 들면, 제1 내부전극층 및 제2 내부전극층이 Ni을 사용하여 형성되는 경우, 직접 도금층은 Ni과 접합성이 좋은 Cu를 사용하여 형성되는 것이 바람직하다.

[0076] 도금층의 1층당 두께는 2㎛ 이상 15㎛ 이하인 것이 바람직하다. 도금층은 유리를 포함하지 않는 것이 바람직하다. 도금층의 단위체적당 금속 비율은 99체적% 이상인 것이 바람직하다.

[0077] 도금 처리를 실시함에 있어서는 전해 도금, 무전해 도금 중 어느 쪽을 채용해도 되는데, 무전해 도금은 도금 석출 속도를 향상시키기 위해 촉매 등에 의한 전처리가 필요하여, 공정이 복잡화된다는 결점이 있다. 따라서, 통상은 전해 도금을 채용하는 것이 바람직하다. 도금 공법으로는 배럴 도금을 이용하는 것이 바람직하다. 또한, 필요에 따라 하층 도금 전극의 표면에 형성되는 상층 도금 전극을 마찬가지로 형성해도 된다.

[0078] 하부 전극층이 박막층인 경우, 박막층은 스퍼터링법 또는 증착법 등의 박막 형성법에 의해 형성되고, 금속 입자가 퇴적된 1㎛ 이하의 층이다.

[0079] 하부 전극층 상에 배치되는 도금층은 예를 들면, Cu, Ni, Ag, Pd, Ag-Pd 합금, Au 등에서 선택되는 적어도 하나를 포함한다.

[0080] 도금층은 복수층에 의해 형성되어 있어도 된다. 바람직하게는 Ni 도금, Sn 도금의 2층 구조이다. Ni 도금층은 하부 전극층이 세라믹 전자부품을 실장할 때의 솔더에 의해 침식되는 것을 방지할 수 있고, Sn 도금층은 세라믹 전자부품을 실장할 때의 솔더의 젖음성을 향상시켜, 용이하게 실장할 수 있다. 도금층 한 층당 두께는 2㎛ 이상 15㎛ 이하인 것이 바람직하다.

[0081] 도 3에 나타내는 바와 같이, 적층방향(T)으로 이웃하는 제2 내부전극층(15B) 간의 거리로서, 제1 가장자리변 영역(15Be1)에서 적층방향(T)으로 제1 내부전극층(15A)과 겹치는 제2 내부전극층 간의 거리인 제1 거리(T1)는, 적층방향(T)으로 이웃하는 제1 내부전극층(15A) 간의 거리로서, 제1 이행 영역(15At1)에서 적층방향(T)으로 제2 내부전극층(15B)과 겹치지 않는 제1 내부전극층 간의 거리인 제2 거리(T2)보다도 긴 부분을 가진다.

[0082] 또한, 제1 거리(T1)는 적층방향(T)으로 이웃하는 제1 내부전극층(15A) 간의 거리로서, 제1 대향부(15Aa)의 중앙 영역에서 적층방향(T)으로 제2 내부전극층(15B)과 겹치는 제1 내부전극층(15A) 간의 거리인 제3 거리(T3)보다도 긴 부분을 가진다.

[0083] 상기 제1 거리(T1), 제2 거리(T2) 및 제3 거리(T3)는 제2 단면(C2) 측에서도 동일한 관계에 있고 적층방향(T)으로 이웃하는 제2 내부전극층(15B) 간의 거리로서, 제2 가장자리변 영역(15Be2)에서 적층방향(T)으로 제1 내부전극층(15A)과 겹치는 제2 내부전극층(15B) 간의 거리인 제4 거리(T4)는, 적층방향(T)으로 이웃하는 제1 내부전극층(15A) 간의 거리로서, 제2 이행 영역(15At2)에서 적층방향(T)으로 제2 내부전극층(15B)과 겹치지 않는 제1 내부전극층 간의 거리인 제5 거리(T5)보다도 긴 부분을 가진다.

[0084] 또한, 제4 거리(T4)는 적층방향(T)으로 이웃하는 제1 내부전극층(15A) 간의 거리로서, 제1 대향부(15Aa)의 중앙 영역에서 적층방향(T)으로 제2 내부전극층(15B)과 겹치는 제1 내부전극층(15A) 간의 거리인 제3 거리(T3)보다도 긴 부분을 가진다.

[0085] 제1 거리(T1), 제2 거리(T2), 제3 거리(T3), 제4 거리(T4) 및 제5 거리(T5)는 도 1에 나타내는 III－III선을 따라 측면(B)과 평행하게 적층 세라믹 콘덴서(1)를 연마하여 절단면을 노출시키고 이 절단면을 주사형 전자현미경을 이용하여 관찰함으로써 각 부위에서의 거리를 측정할 수 있다.

[0086] 구체적으로는 제1 거리(T1)의 측정은 적층 세라믹 콘덴서(1)를 폭방향의 길이에 대하여 수직이 되도록, 적층 세라믹 콘덴서(1)의 폭방향 치수의 1/2이 되는 위치까지 절단면 연마한 절단면에서 측정한다. 상기 절단면에서, 내층부의 두께 치수가 3등분이 되도록 3개의 영역으로 나누고, 각 영역으로부터 각각 20군데의 T1의 치수를 주사형 현미경(SEM)을 이용하여 측정한다. 마지막으로 이들의 평균값을 구하여 제1 거리(T1)로 한다.

[0087] 제2 거리(T2)의 측정도 마찬가지로 상기 절단면에서, 내층부의 두께 치수가 3등분이 되도록 3개의 영역으로 나누고, 각 영역으로부터 각각 20군데의 T2의 치수를 주사형 현미경(SEM)을 이용하여 측정한다. 마지막으로 이들의 평균값을 구하여 제2 거리(T2)로 한다.

[0088] 제3 거리(T3)도 마찬가지로 상기 절단면에서, 내층부의 두께 치수가 3등분이 되도록 3개의 영역으로 나누고, 각 영역으로부터 각각 20군데의 T3의 치수를 주사형 현미경(SEM)을 이용하여 측정한다. 마지막으로 이들의 평균값을 구하여 제3 거리(T3)로 한다.

[0089] 제4 거리(T4)도 마찬가지로 상기 절단면에서, 내층부의 두께 치수가 3등분이 되도록 3개의 영역으로 나누고, 각 영역으로부터 각각 20군데의 T4의 치수를 주사형 현미경(SEM)을 이용하여 측정한다. 마지막으로 이들의 평균값을 구하여 제4 거리(T4)로 한다.

[0090] 제5 거리(T5)도 마찬가지로 상기 절단면에서, 내층부의 두께 치수가 3등분이 되도록 3개의 영역으로 나누고, 각 영역으로부터 각각 20군데의 T5의 치수를 주사형 현미경(SEM)을 이용하여 측정한다. 마지막으로 이들의 평균값을 구하여 제5 거리(T5)로 한다.

[0091] 한편, 제1 거리(T1)는 1.5㎛ 이상 8.2㎛ 이하인 것이 바람직하고, 제2 거리(T2)는 1.1㎛ 이상 7.2㎛ 이하인 것이 바람직하며, 제3 거리(T3)는 1.1㎛ 이상 5.0㎛ 이하인 것이 바람직하고, 제4 거리(T4)는 1.5㎛ 이상 8.2㎛ 이하인 것이 바람직하며, 제5 거리(T5)는 1.1㎛ 이상 7.2㎛ 이하인 것이 바람직하다.

[0092] (적층 세라믹 콘덴서(1)의 제조 방법)

[0093] 다음으로, 적층 세라믹 콘덴서(1)의 제조 방법에 대해 설명한다. 도 6은 적층 세라믹 콘덴서(1)의 제조 방법을 설명하는 플로우 차트이다. 또한, 도 7에서 도 12는 제조 방법을 설명하는 공정도이다.

[0094] (내부전극층 패턴 형성 공정(S1))

[0095] 우선, 도 7에 나타내는 바와 같이, 유전체층(14c)이 되는 제1 세라믹 그린시트(114A)에, 도전성 페이스트에 의해 제1 내부전극층(15A)이 되는 제1 내부전극층 패턴(115A)을 형성한다.

[0096] 제1 내부전극층 패턴(115A)은 복수개의 제1 내부전극층(15A)이 길이방향(L)으로 연속하고 있으나 폭방향(W)으로는 불연속한 형상이다.

[0097] 또한, 도 8에 나타내는 바와 같이, 유전체층(14c)이 되는 제2 세라믹 그린시트(114B)에, 도전성 페이스트에 의해 제2 내부전극층(15B)이 되는 제2 내부전극층 패턴(115B)을 형성한다.

[0098] 제2 내부전극층 패턴(115B)은 복수개의 제2 내부전극층(15B)이 폭방향(W)으로 연속하고 있으나 길이방향(L)으로는 불연속한 형상이다.

[0099] 세라믹 그린시트(114)는 세라믹스 분말, 바인더 및 용제를 포함하는 세라믹 슬러리가 캐리어 필름 상에서 다이코터, 그라비어 코터, 마이크로 그라비어 코터 등을 이용하여 시트 형상으로 성형된 띠 형상의 시트이다.

[0100] 제1 내부전극층 패턴(115A) 및 제2 내부전극층 패턴(115B)은 예를 들면, 스크린 인쇄, 그라비어 인쇄, 볼록판 인쇄 등의 인쇄에 의해 형성한다.

[0101] (세라믹 페이스트 배치 공정(S2))

[0102] 이어서, 도 9에 나타내는 바와 같이, 도 7에서 나타낸 제1 세라믹 그린시트(114A)에 제1 내부전극층 패턴(115A)이 형성된 시트 상에, 유전체층(14a)을 형성하는 세라믹 페이스트(114a)를 도포한다. 유전체층(14a)의 두께는 유전체층(14c)의 두께의 0.4~0.8배이다.

[0103] 세라믹 페이스트(114a)는 제1 실시형태에서는, 제1 세라믹 그린시트(114A)에서의, 제1 내부전극층 패턴(115A)이 배치되어 있지 않은 부분의 전체를 메움과 함께,

[0104] 제1 내부전극층(15A)의 길이방향(L)의 양측으로서,

[0105] 적층방향(T)으로부터의 평면에서 보았을 때 제2 내부전극층(15B)의 제1 가장자리변 영역(15Be1)과 겹치는, 제1 대향부(15Aa)의 제1 단면(C1) 측의 일부와 제1 이행 영역(15At1)에 상당하는 영역, 및 적층방향(T)으로부터의 평면에서 보았을 때 제2 내부전극층(15B)의 제2 가장자리변 영역(15Be2)과 겹치는, 제1 대향부(15Aa)의 제2 단면(C2) 측의 일부와 제2 이행 영역(15At2)에 상당하는 영역에서, 제1 연출 영역(15Aw1)과 제2 연출 영역(15Aw2)을 잇는 가상 영역을 제외한 범위에 오버랩하도록 배치한다.

[0106] 또한, 도 10에 나타내는 바와 같이, 도 8에서 나타낸 제2 세라믹 그린시트(114B)에 제2 내부전극층 패턴(115B)이 형성된 시트 상에, 유전체층(14b)이 되는 세라믹 페이스트(114b)를 도포한다. 유전체층(14b)의 두께는 유전체층(14c)의 두께의 0.4~0.8배이다.

[0107] 제1 실시형태에서는 세라믹 페이스트(114b)는 제2 세라믹 그린시트(114B)에서의, 제2 내부전극층 패턴(115B)이 배치되어 있지 않은 부분의 전체를 메움과 함께, 추가로 제2 내부전극층 패턴(115B)의 제2 대향부(15Ba)의 길이방향(L)의 양측 가장자리에 있는 제1 가장자리변 영역(15Be1)과 제2 가장자리변 영역(15Be2)에 상당하는 부분에 오버랩하도록 배치한다.

[0108] 세라믹 페이스트(114a)는 유전체층(14a)을 형성하고, 세라믹 페이스트(114b)는 유전체층(14b)을 형성하지만, 후술할 적층 공정(S3)을 거쳐 이들이 적층되면, 도 3에 나타내는 LT 절단면과 같이 제1 내부전극층(15A)에 오버랩하는 유전체층(14a)의 선단 위치와, 제2 내부전극층(15B)에 오버랩하는 유전체층(14b)의 선단 위치는 적층방향(T)으로부터의 평면에서 보았을 때 일치한다.

[0109] 한편, 세라믹 페이스트(114a) 및 세라믹 페이스트(114b)는 예를 들면, 스크린 인쇄, 그라비어 인쇄, 볼록판 인쇄 등의 인쇄에 의해 부여한다. 세라믹 페이스트(114a, 114b)는 세라믹 그린시트(114)의 재료로서의 유전체와의 성분비가 달라도 되고, 동일한 성분비이어도 되며, 다른 성분을 포함하는 것이어도 된다.

[0110] (적층 공정(S3))

[0111] 도 11은 길이방향(L) 중앙의 WT 절단면에서의 적층체(2)의 적층 상태를 설명하는 도면이다. 도 11에서는 설명의 형편 상, 적층되는 복수개의 세라믹 그린시트가 떨어져 있는 상태가 모식적으로 나타내져 있다. 도 12, 도 17 및 도 18도 동일하다.

[0112] 도시하는 바와 같이, 도 9에 나타낸 제1 세라믹 그린시트(114A)에, 제1 내부전극층 패턴(115A) 및 세라믹 페이스트(114a)가 배치된 시트와, 도 10에 나타낸 제2 세라믹 그린시트(114B)에, 제2 내부전극층 패턴(115B) 및 세라믹 페이스트(114b)가 배치된 시트를 교대로 적층한다. 세라믹 페이스트(114a)는 유전체층(14a)을 형성한다. 또한, 세라믹 페이스트(114b)는 유전체층(14b)을 형성한다. 제1 내부전극층 패턴(115A)과 제2 내부전극층 패턴(115B)은 모두 적층방향(T)의 간격을 일정하게 하여 폭방향(W)으로 연장되어 있다.

[0113] 도 12는 도 1의 III-III선을 따른 LT 절단면에서의 적층체(2)의 적층 상태를 설명하는 도면이다. 도 12에서, 세라믹 페이스트(114a)는 제1 내부전극층 패턴(115A)의 길이방향(L)의 양단 상부를 덮고 있다. 마찬가지로 세라믹 페이스트(114b)는 제2 내부전극층 패턴(115B)의 길이방향(L)의 양단 상부를 덮고 있다. 세라믹 페이스트(114a)는 유전체층(14a)을 형성한다. 또한, 세라믹 페이스트(114b)는 유전체층(14b)을 형성한다.

[0114] 추가로, 이와 같이 적층된 것의 적층방향(T)의 양측에, 외층부(12)가 되는 외층부용 세라믹 그린시트(112)를 겹쳐 쌓는다.

[0115] (마더 블록 형성 공정(S4))

[0116] 외층부용 세라믹 그린시트(112)와 겹쳐 쌓인 복수개의 시트를 열압착하여 마더 블록을 형성한다.

[0117] (마더 블록 분할 공정(S5))

[0118] 이어서, 마더 블록을 길이방향(L)과 폭방향(W)으로 절단하여 분할하고 직사각형의 적층체(2)를 복수개 제조한다.

[0119] (외부전극 형성 공정(S6))

[0120] 다음으로, 적층체(2)의 양 단면(C)에 단면 외부전극(3)을 형성하고 적층체(2)의 양 측면(B)에 측면 외부전극(4)을 형성한다.

[0121] 제1 단면 외부전극(3a)에는 제1 내부전극층(15A)의 제1 인출부(15Ab1)가 접속하고, 제2 단면 외부전극(3b)에는 제1 내부전극층(15A)의 제2 인출부(15Ab2)가 접속한다. 단면 외부전극(3)은 단면(C)뿐만 아니라 주면(A) 및 측면(B)의 단면(C) 측의 일부도 덮도록 형성한다.

[0122] 제1 측면 외부전극(4a)에는 제2 내부전극층(15B)의 제1 인출부(15Bb1)가 접속하고, 제2 측면 외부전극(4b)에는 제2 내부전극층(15B)의 제2 인출부(15Bb2)가 접속한다. 측면 외부전극(4)은 측면(B)뿐만 아니라 주면(A)의 측면(B) 측의 일부도 덮도록 형성한다.

[0123] (소성 공정(S7))

[0124] 그리고 설정된 소성 온도에서 질소 분위기 중에서 소정 시간 가열한다. 이로써, 외부전극이 적층체(2)에 베이킹되어 도 1에 나타내는 적층 세라믹 콘덴서(1)가 제조된다.

[0125] 소성 공정에서는 적층 칩에 탈바인더 처리 및 소성 처리를 실시하여 소체부(적층체(2))로 한다. 소성 처리에 의해 도전 페이스트층과 유전체층용 그린시트가 공(共)소결되어 각각 내부전극층(15)과 유전체층(14)이 된다. 탈바인더 처리의 조건은 그린시트 및 도전 페이스트층에 포함되는 유기 바인더의 종류에 따라 정하면 된다. 또한, 소성 처리는 적층 칩이 충분히 치밀화되는 온도에서 실시하면 된다. 소성 온도는 유전체나 내부전극층의 재료에 따라 다르지만 900℃~1400℃인 것이 바람직하다.

[0126] 한편, 적층체(2)는 II-II선을 따른 WT 절단면에서는 도 2에 나타내는 바와 같이, 제1 내부전극층(15A)과 제2 내부전극층(15B)은 모두 적층방향(T)의 간격을 일정하게 하여 폭방향(W)으로 연장되어 있다.

[0127] (외부전극 형성 공정(S8))

[0128] 필요에 따라 도금층을 마련한다. 본 실시형태에서는 베이킹층 상에 Ni 도금층 및 Sn 도금층을 형성했다. Ni 도금층 및 Sn 도금층은 예를 들면, 배럴 도금법에 의해 순차 형성된다. 이와 같이 하여 적층 세라믹 콘덴서(1)를 얻을 수 있다.

[0129] (적층 세라믹 콘덴서(200))

[0130] 본 발명의 제2 실시형태로서 적층 세라믹 콘덴서(200)에 대해 설명한다. 이하에서는, 적층 세라믹 콘덴서(200)의 구성과 제조 방법에 대해, 적층 세라믹 콘덴서(1)와 다른 부분을 중심으로 설명한다.

[0131] 도 13은 적층 세라믹 콘덴서(200)의 개략 사시도이다. 도면 중, XVII-XVII선은 적층 세라믹 콘덴서(200)의 길이방향(L)의 중앙부를 통과하는 선이다. 또한, XVIII-XVIII선은 후술할 적층 세라믹 콘덴서(200)의 제1 내부전극층(15A)과 제2 내부전극층(15B)이 적층되는 범위를 통과하지만, 제1 내부전극층(15A)의 제1 인출부(15Ab1)의 제1 연출 영역(15Aw1)과 제2 내부전극층(15B)의 제2 인출부(15Bb2)의 제2 연출 영역(15Aw2)을 통과하지 않는 선이다.

[0132] (단면 외부전극(3))

[0133] 적층체(2)의 제1 단면(C1)에는 제1 단면 외부전극(3a)이 배치되고, 제2 단면(C2)에는 제2 단면 외부전극(3b)이 배치되어 있다. 제1 단면 외부전극(3a)에는 제1 내부전극층(15A)의 제1 인출부(15Ab1)가 접속되어 있다. 또한, 제2 단면 외부전극(3b)에는 제2 내부전극층(15B)의 제2 인출부(15Bb2)가 접속되어 있다. 제1 단면 외부전극(3a)과 제2 단면 외부전극(3b)은 각각 제1 단면(C1)과 제2 단면(C2)뿐만 아니라 제1 주면(A1), 제2 주면(A2), 제1 측면(B1) 및 제2 측면(B2)의 일부도 덮고 있다.

[0134] (제1 내부전극층(15A))

[0135] 도 14는 적층 세라믹 콘덴서(200)의 제1 내부전극층(15A)을 따른 단면도이다. 도 14에 나타내는 바와 같이, 제1

내부전극층(15A)은 중앙에 후술할 제2 내부전극층(15B)의 제2 대향부(15Ba)와 유전체층(14)을 끼고 마주 보는 직사각형상의 제1 대향부(15Aa)와, 상기 제1 대향부(15Aa)로부터 제1 단면(C1)으로 연출되는 제1 인출부(15Ab1)로 이루어진다. 그리고 제1 인출부(15Ab1)는 제1 단면(C1)을 향하여 폭방향(W)의 길이가 점진적으로 감소하는 사다리꼴 형상의 제1 이행 영역(15At1)과, 추가로 제1 이행 영역(15At1)으로부터 제1 단면(C1)으로 연장되는 제1 연출 영역(15Aw1)으로 이루어진다. 제1 연출 영역(15Aw1)은 제1 단면(C1)에 노출되고, 제1 단면 외부전극(3a)에 접속되어 있다.

[0136] 또한, 제1 대향부(15Aa)에는 제2 단면(C2) 측의 한 변을 따라 제2 가장자리변 영역(15Ae2)이 있다.

[0137] 제1 내부전극층(15A)에서, 제1 인출부(15Ab1)의 제1 연출 영역(15Aw1)의 폭방향(W)의 길이는 제1 대향부(15Aa)의 폭방향(W)의 길이보다도 짧다. 이와 같이 제1 연출 영역(15Aw1)의 폭방향(W)의 길이를 짧게 함으로써, 외부로부터의 수분의 침입을 억제할 수 있기 때문에 적층 세라믹 콘덴서의 신뢰성을 높일 수 있다.

[0138] (제2 내부전극층(15B))

[0139] 도 15는 적층 세라믹 콘덴서(200)의 제2 내부전극층(15B)을 따른 단면도이다. 도 15에 나타내는 바와 같이, 제2 내부전극층(15B)은 중앙에 제1 내부전극층(15A)의 제1 대향부(15Aa)와 유전체층(14)을 끼고 마주 보는 직사각형상의 제2 대향부(15Ba)와, 상기 제2 대향부(15Ba)로부터 제2 단면(C2)으로 연출되는 제2 인출부(15Bb2)로 이루어진다. 그리고 제2 인출부(15Bb2)는 제2 단면(C2)을 향하여 폭방향(W)의 길이가 점진적으로 감소하는 사다리꼴 형상의 제2 이행 영역(15Bt2)과, 추가로 제2 이행 영역(15Bt2)로부터 제2 단면(C2)으로 연장되는 제2 연출 영역(15Bw2)으로 이루어진다. 제2 연출 영역(15Bw2)은 제1 단면(C1)에 노출되고, 제1 단면 외부전극(3a)에 접속되어 있다.

[0140] 또한, 제2 대향부(15Ba)에는 제1 단면(C1) 측의 한 변을 따라 제1 가장자리변 영역(15Be1)이 있다.

[0141] 제2 내부전극층(15B)에서, 제2 인출부(15Bb2)의 제2 연출 영역(15Bw2)의 폭방향(W)의 길이는 제2 대향부(15Ba)의 폭방향(W)의 길이보다도 짧다. 이와 같이 제2 연출 영역(15Bw2)의 폭방향(W)의 길이를 짧게 함으로써, 외부로부터의 수분의 침입을 억제할 수 있기 때문에 적층 세라믹 콘덴서의 신뢰성을 높일 수 있다.

[0142] 제1 내부전극층(15A)이 제1 단면 외부전극(3a)에 접속되고 제2 내부전극층(15B)이 제2 단면 외부전극(3b)에 접속된 적층 세라믹 콘덴서(200)는 2단자형 콘덴서로서 사용할 수 있다.

[0143] (세라믹 페이스트 배치 공정(S2))

[0144] 도 16은 내부전극층을 인쇄한 2개의 패턴을 예시한다. 2개의 패턴은 세라믹 그린시트에 내부전극층 패턴이 형성된 시트 상에 유전체층을 형성하는 세라믹 페이스트를 도포한 상태를 나타낸다.

[0145] 제1 내부전극층(15A)과 제2 내부전극층(15B)은 동일한 형상이기 때문에 제조 시에 구별되지 않는다.

[0146] 패턴(P1)은 제1 세라믹 그린시트(114A)에 제1 내부전극층(15A) 혹은 제2 내부전극층(15B)을 형성하는 제1 내부전극층 패턴(115A)이 인쇄된 시트 상에 세라믹 페이스트(114a)를 도포한 상태를 나타낸다. 세라믹 페이스트(114a)는 유전체층(14a) 혹은 유전체층(14b)을 형성한다.

[0147] 또한, 패턴(P2)은 제2 세라믹 그린시트(114B)에 제1 내부전극층(15A) 혹은 제2 내부전극층(15B)을 형성하는 제2 내부전극층 패턴(115B)이 형성된 시트 상에 세라믹 페이스트(114b)를 도포한 상태를 나타낸다. 세라믹 페이스트(114b)는 유전체층(14a) 혹은 유전체층(14b)을 형성한다.

[0148] 패턴(P1)과 패턴(P2)은 제1 세라믹 그린시트(114A)와 제2 세라믹 그린시트(114B)에 배치되는 제1 내부전극층 패턴(115A)과 제2 내부전극층 패턴(115B)의 위치가 다른 것으로, 패턴(P1)과 패턴(P2)을 교대로 적층하면, 제1 내부전극층(15A)과 제2 내부전극층(15B)이 교대로 형성되게 된다.

[0149] 도면 중, 패턴(P1), 패턴(P2)에는 적층한 후 커팅하는 위치를 나타내는 점선을 참고로서 표시하고 있다.

[0150] 패턴(P1)에서, 세라믹 페이스트(114a)는 제1 세라믹 그린시트(114A)에서의, 제1 내부전극층 패턴(115A)이 배치되어 있지 않은 부분의 전체를 메움과 함께, 제1 내부전극층(15A)에서는 적층방향(T)으로부터의 평면에서 보았을 때 제2 내부전극층(15B)의 제1 가장자리변 영역(15Be1)과 겹치는, 제1 대향부(15Aa)의 제1 단면(C1) 측의 일부와 제1 이행 영역(15At1)에 상당하는 영역에서, 제1 연출 영역(15Aw1)을 길이방향(L)으로 연장한 가상 영역을 제외한 범위와, 제2 가장자리변 영역(15Ae2)에 상당하는 영역에 오버랩하도록 배치하고, 또한, 제2 내부전극층(15B)에서는 적층방향(T)으로부터의 평면에서 보았을 때 제1 내부전극층(15A)의 제2 가장자리변 영역(15Ae2)와

겹치는, 제2 대향부(15Ba)의 제2 단면(C2) 측의 일부와 제2 이행 영역(15Bt2)에 상당하는 영역에서, 제2 연출 영역(15Bw2)을 길이방향(L)으로 연장한 가상 영역을 제외한 범위와, 제1 가장자리변 영역(15Be1)에 상당하는 영역에 오버랩하도록 배치하고 있다.

[0151] 마찬가지로, 패턴(P2)에서, 세라믹 페이스트(114b)는 제2 세라믹 그린시트(114B) 상의, 제2 내부전극층 패턴(115B)이 배치되어 있지 않은 부분의 전체를 메움과 함께, 제1 내부전극층(15A)에서는 적층방향(T)으로부터의 평면에서 보았을 때 제2 내부전극층(15B)의 제1 가장자리변 영역(15Be1)과 겹치는, 제1 대향부(15Aa)의 제1 단면(C1) 측의 일부와 제1 이행 영역(15At1)에 상당하는 영역에서, 제1 연출 영역(15Aw1)을 길이방향(L)으로 연장한 가상 영역을 제외한 범위와, 제2 가장자리변 영역(15Ae2)에 상당하는 영역에 오버랩하도록 배치하고, 또한, 제2 내부전극층(15B)에서는 적층방향(T)으로부터의 평면에서 보았을 때 제1 내부전극층(15A)의 제2 가장자리변 영역(15Ae2)과 겹치는, 제2 대향부(15Ba)의 제2 단면(C2) 측의 일부와 제2 이행 영역(15Bt2)에 상당하는 영역에서, 제2 연출 영역(15Bw2)을 길이방향(L)으로 연장한 가상 영역을 제외한 범위와, 제1 가장자리변 영역(15Be1)에 상당하는 영역에 오버랩하도록 배치하고 있다.

[0152] 패턴(P1)으로 인쇄된 제1 세라믹 그린시트(114A)와 패턴(P2)으로 인쇄된 제2 세라믹 그린시트(114B)가 교대로 적층된 것의 적층방향(T)의 양측에, 추가로 외층부(12)가 되는 외층부용 세라믹 그린시트(112)를 겹겹이 쌓는다.

[0153] 외층부용 세라믹 그린시트(112)와, 겹겹이 쌓인 복수개의 시트를 정수압 프레스 등의 수단에 의해 적층방향으로 프레스하여 적층 블록을 제작한다. 이어서, 적층 블록을 소정의 사이즈로 커팅하여 적층 칩을 잘라낸다. 적층 칩의 측면에 제1 사이드 마진부(W11) 및 제2 사이드 마진부(W12)용 유전체 시트를 점착한다.

[0154] 도 17은 도 13에 나타내는 XVII-XVII선을 따라 적층 세라믹 콘덴서(200)를 절단한 WT 절단면에서의 적층체(2)의 적층 상태를 설명하는 도면이다. XVII-XVII선은 적층 세라믹 콘덴서(1)의 길이방향(L)의 중앙부를 통과하는 선이다. 도시하는 바와 같이, 도 16에서 나타낸 제1 세라믹 그린시트(114A)에 제1 내부전극층 패턴(115A) 및 세라믹 페이스트(114a)가 배치된 패턴(P1)의 시트와, 제2 세라믹 그린시트(114B)에 제2 내부전극층 패턴(115B) 및 세라믹 페이스트(114b)가 배치된 패턴(P2)의 시트가 교대로 적층되어 있다. 제1 내부전극층 패턴(115A)과 제2 내부전극층 패턴(115B)은 모두 적층방향(T)의 거리를 일정하게 하여 폭방향(W)으로 연장되고 있다.

[0155] 도 18은 도 13에 나타내는 XVIII-XVIII선을 따라 적층 세라믹 콘덴서(200)를 절단한 LT 절단면에서의 적층체(2)의 적층 상태를 설명하는 도면이다. XVIII-XVIII선은 적층 세라믹 콘덴서(200)의 제1 내부전극층(15A)과 제2 내부전극층(15B)이 적층되는 범위를 통과하지만, 제1 내부전극층(15A)의 제1 인출부(15Ab1)의 제1 연출 영역(15Aw1)과 제2 내부전극층(15B)의 제2 인출부(15Bb2)의 제2 연출 영역(15Bw2)을 통과하지 않는 선이다. 도 18에서, 세라믹 페이스트(114a)는 제1 내부전극층 패턴(115A)의 길이방향(L)의 양단 상부를 덮고 있다. 마찬가지로 세라믹 페이스트(114b)는 제2 내부전극층 패턴(115B)의 길이방향(L)의 양단 상부를 덮고 있다. 세라믹 페이스트(114a)는 유전체층(14a)을 형성한다. 또한, 세라믹 페이스트(114b)는 유전체층(14b)을 형성한다.

[0156] 도 18에 나타내는 적층 상태는 제1 실시형태의 도 12에 상당하고, 도 13에서의 적층 세라믹 콘덴서(200)의 XVIII-XVIII선을 따라 절단한 절단면은 제1 실시형태의 도 3에 상당하는 절단면이 형성되게 된다.

[0157] 이 때문에, 제2 실시형태에서도 제1 실시형태와 동일한 효과를 얻을 수 있다.

[0158] 이상, 본 발명의 실시형태에 대해 설명했으나, 본 발명은 실시형태에 한정되는 것은 아니며, 본 발명의 요지를 일탈하지 않는 범위에서 다양한 양태로 실시하는 것이 가능하다.

부호의 설명

[0159] A: 주면 A1: 제1 주면

A2: 제2 주면 B: 측면

B1: 제1 측면 B2: 제2 측면

C: 단면 C1: 제1 단면

C2: 제2 단면 T1: 제1 거리

T2: 제2 거리 T3: 제3 거리

T4: 제4 거리 T5: 제5 거리

T: 적층방향 W: 폭방향

L: 길이방향 1: 적층 세라믹 콘덴서

2: 적층체 3: 단면 외부전극

3a: 제1 단면 외부전극 3b: 제2 단면 외부전극

4: 측면 외부전극 4a: 제1 측면 외부전극

4b: 제2 측면 외부전극 11: 내층부

12: 외층부 14: 유전체층

14a: 유전체층 14b: 유전체층

14c: 유전체층 15: 내부전극층

15A: 제1 내부전극층 15Aa: 제1 대향부

15Ab1: 제1 인출부 15Ab2: 제2 인출부

15Ae2: 제2 가장자리변 영역 15At1: 제1 이행 영역

15At2: 제2 이행 영역 15Aw1: 제1 연출 영역

15Aw2: 제2 연출 영역 15B: 제2 내부전극층

15Ba: 제2 대향부 15Bb1: 제1 인출부

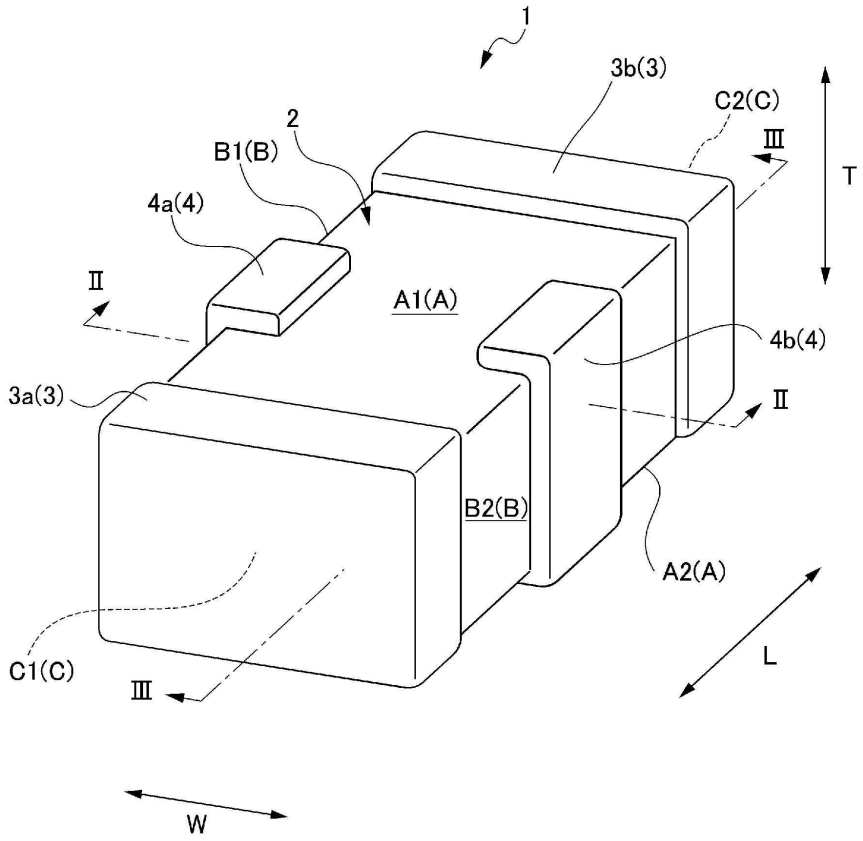
15Bb2: 제2 인출부 15Be1: 제1 가장자리변 영역

15Be2: 제2 가장자리변 영역 15Bt2: 제2 이행 영역

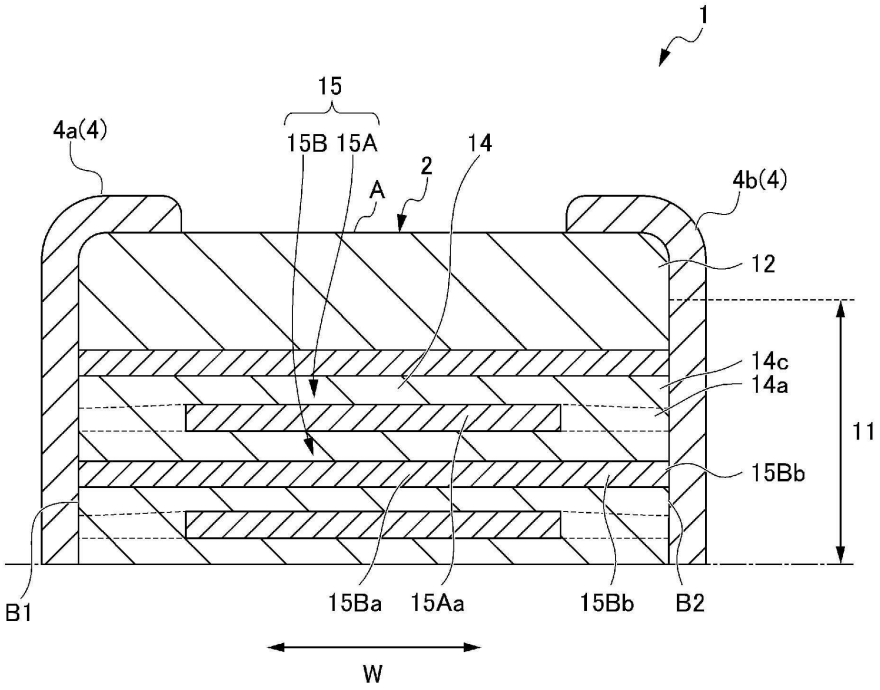
15Bw2: 제2 연출 영역 200: 적층 세라믹 콘덴서

도면

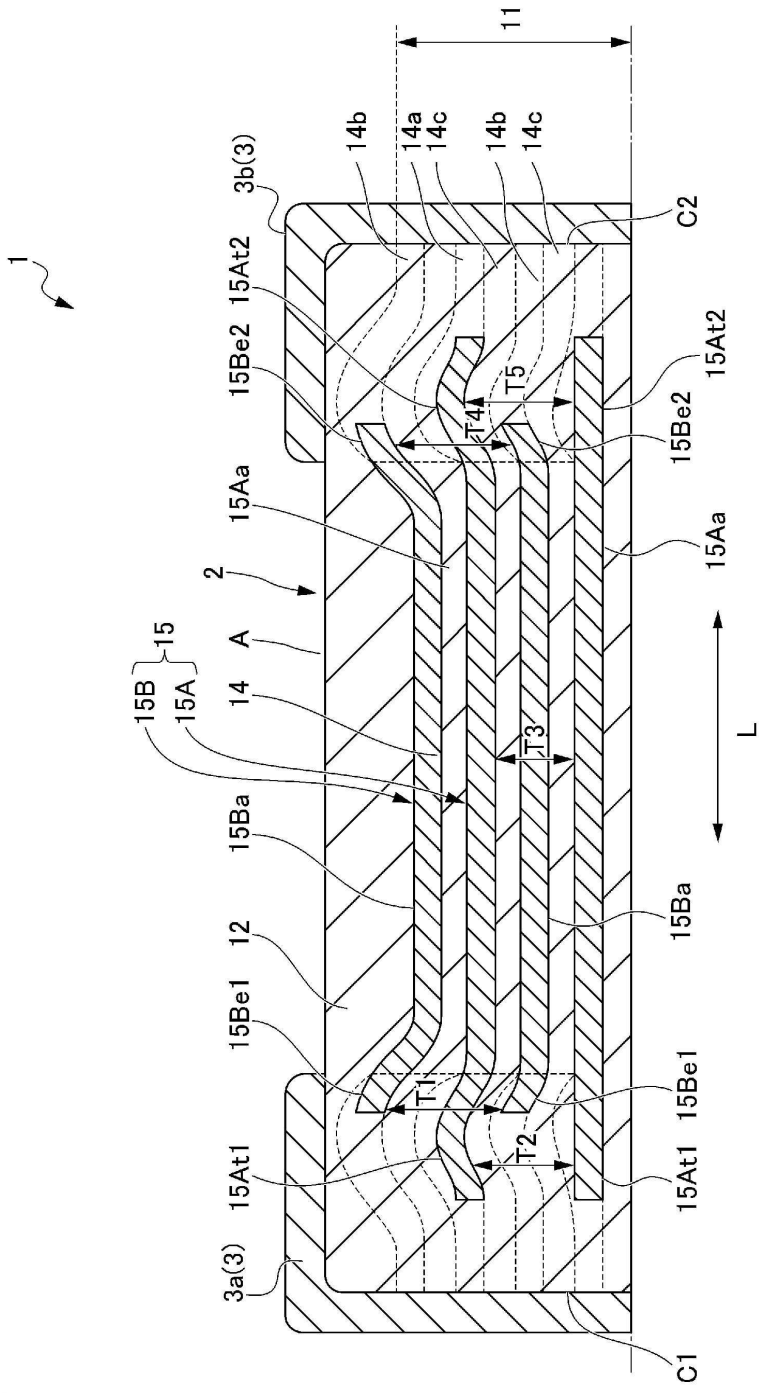
도면1



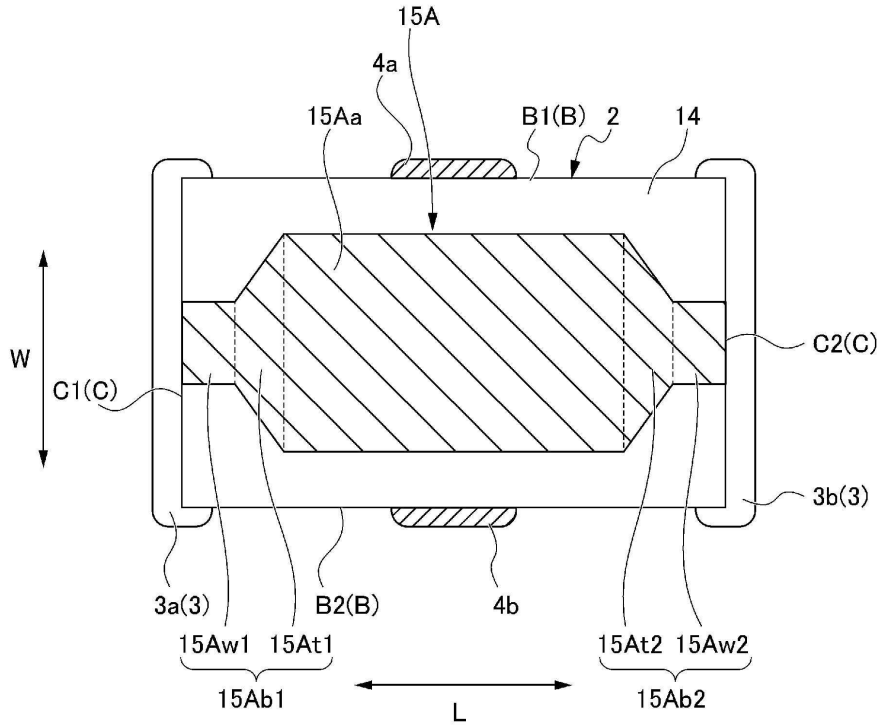
도면2


1
15
15B 15A
14
2
A
4a(4)
4b(4)
12
14c
14a
11
15Bb
B1
15Ba
15Aa
15Bb
B2
W

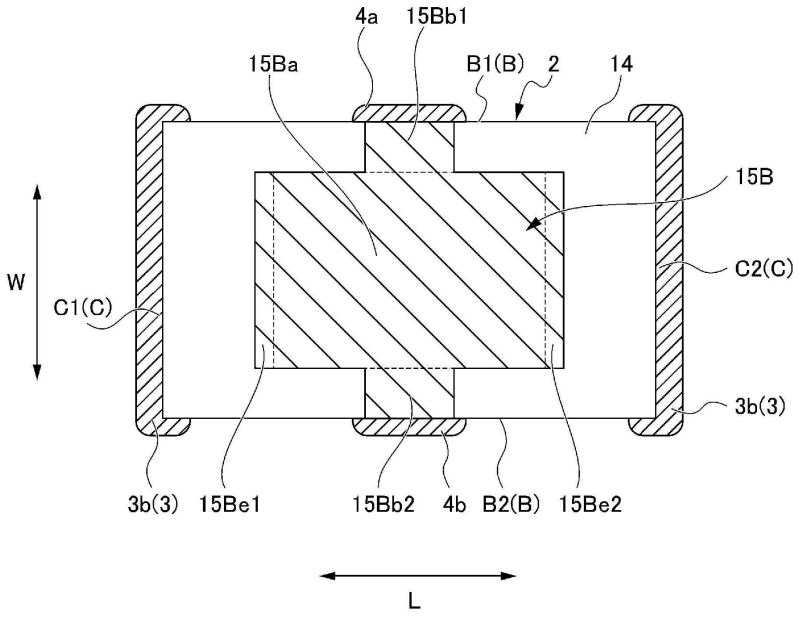
도면3


1
11
3b(3)
14b
14a
14c
14b
14c
C2
15At2
15Be2
T5
T4
15At2
15Be2
15Aa
15Aa
2
A
15
15B
15A
14
T3
L
15Ba
15Ba
12
15Be1
T1
T2
15Be1
15At1
15At1
3a(3)
C1

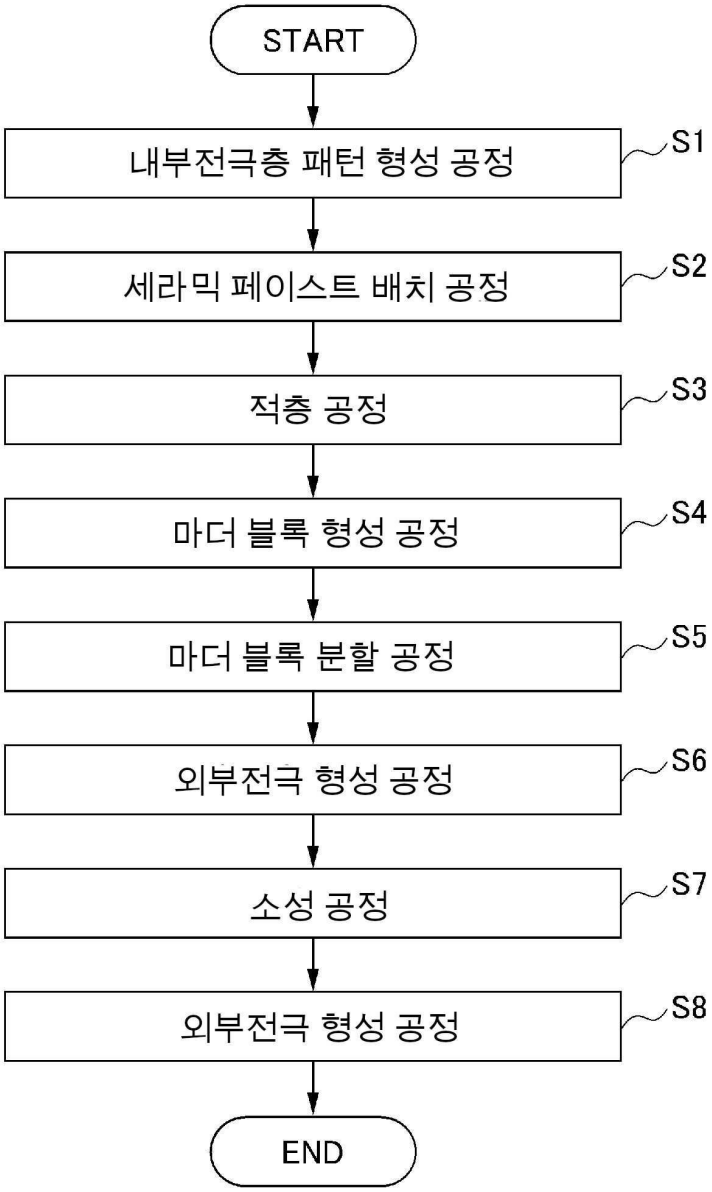
도면4


15A
4a
15Aa
B1(B)
2
14
W
C1(C)
C2(C)
3b(3)
3a(3)
B2(B)
4b
15Aw1
15At1
15At2
15Aw2
15Ab1
15Ab2
L

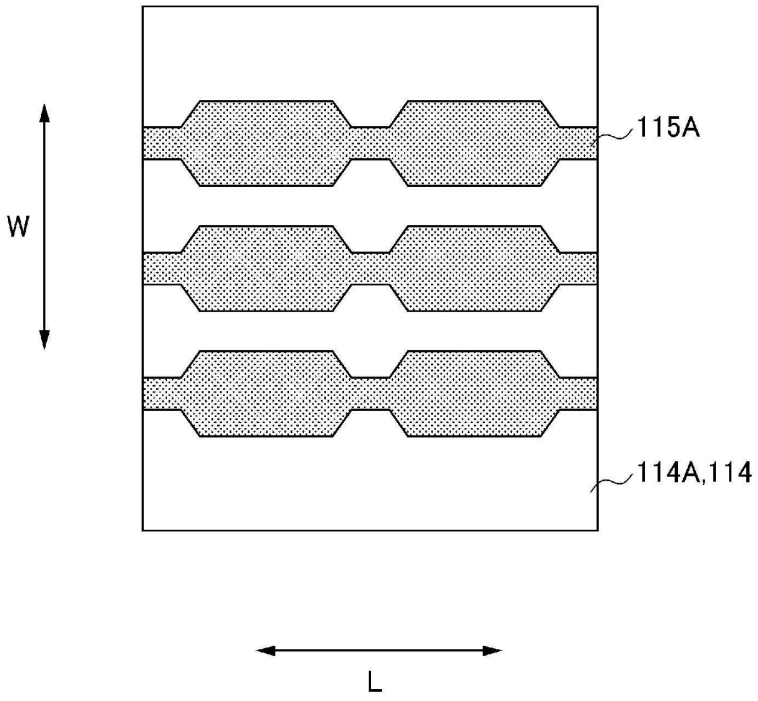
도면5


4a
15Bb1
15Ba
B1(B)
2
14
15B
W
C1(C)
C2(C)
3b(3)
3b(3)
15Be1
15Bb2
4b
B2(B)
15Be2
L

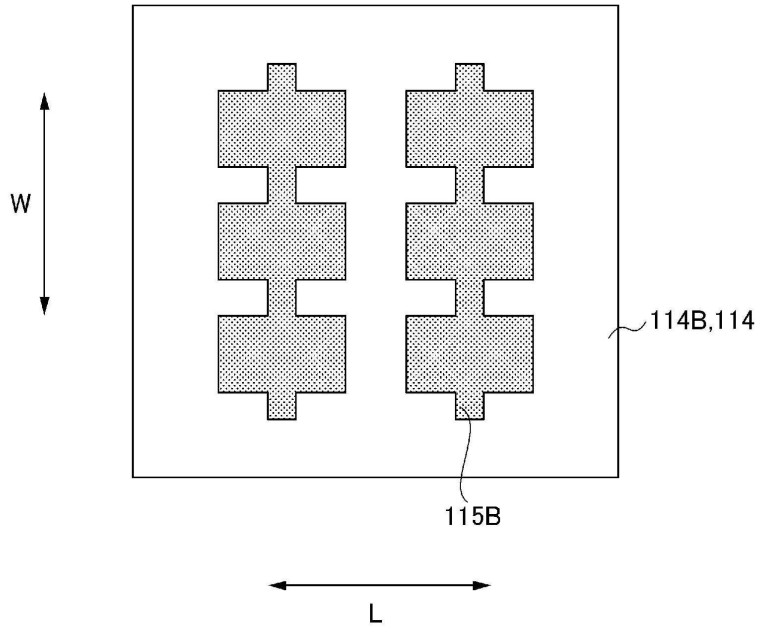
도면6


START
내부전극층 패턴 형성 공정
S1
세라믹 페이스트 배치 공정
S2
적층 공정
S3
마더 블록 형성 공정
S4
마더 블록 분할 공정
S5
외부전극 형성 공정
S6
소성 공정
S7
외부전극 형성 공정
S8
END

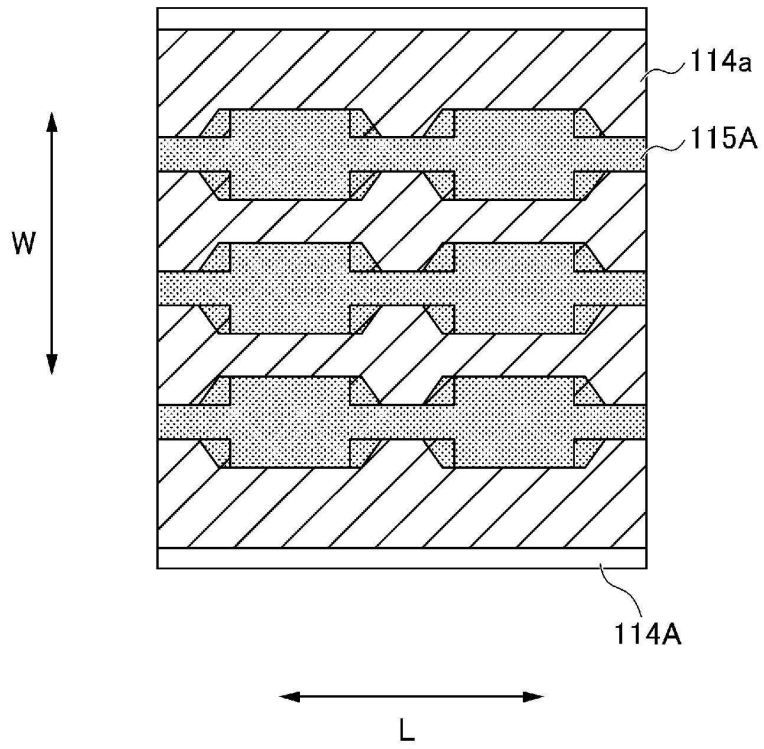
도면7



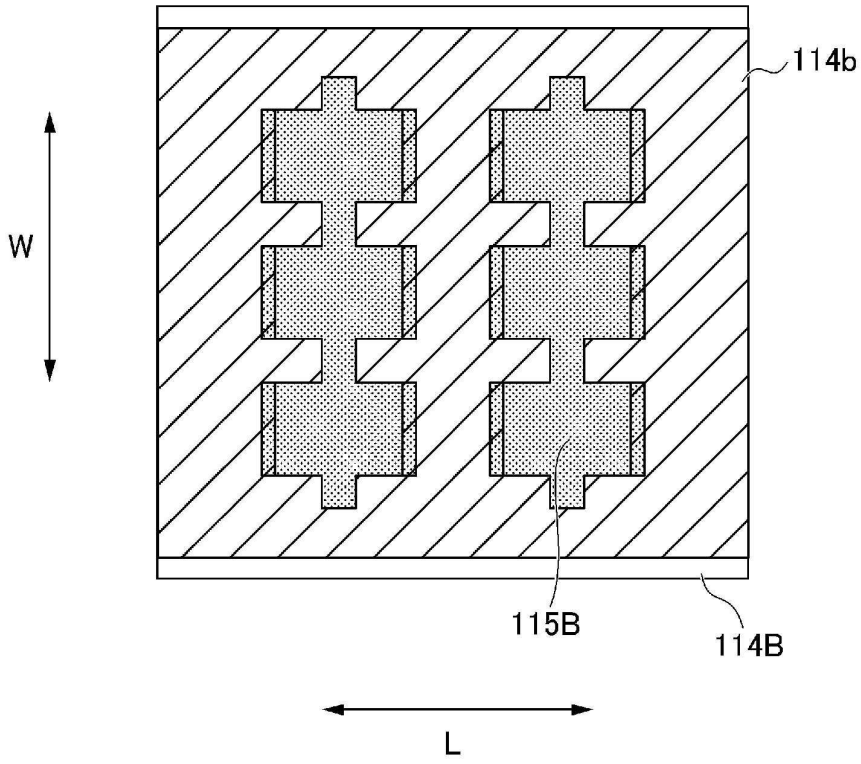
도면8



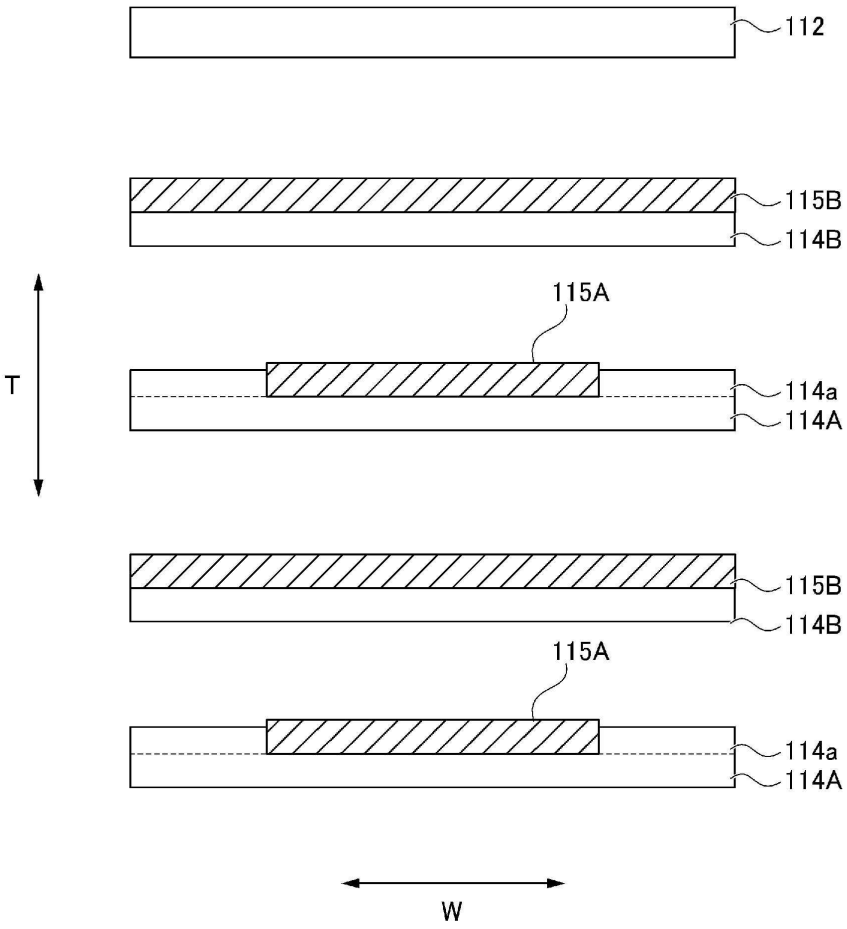
도면9



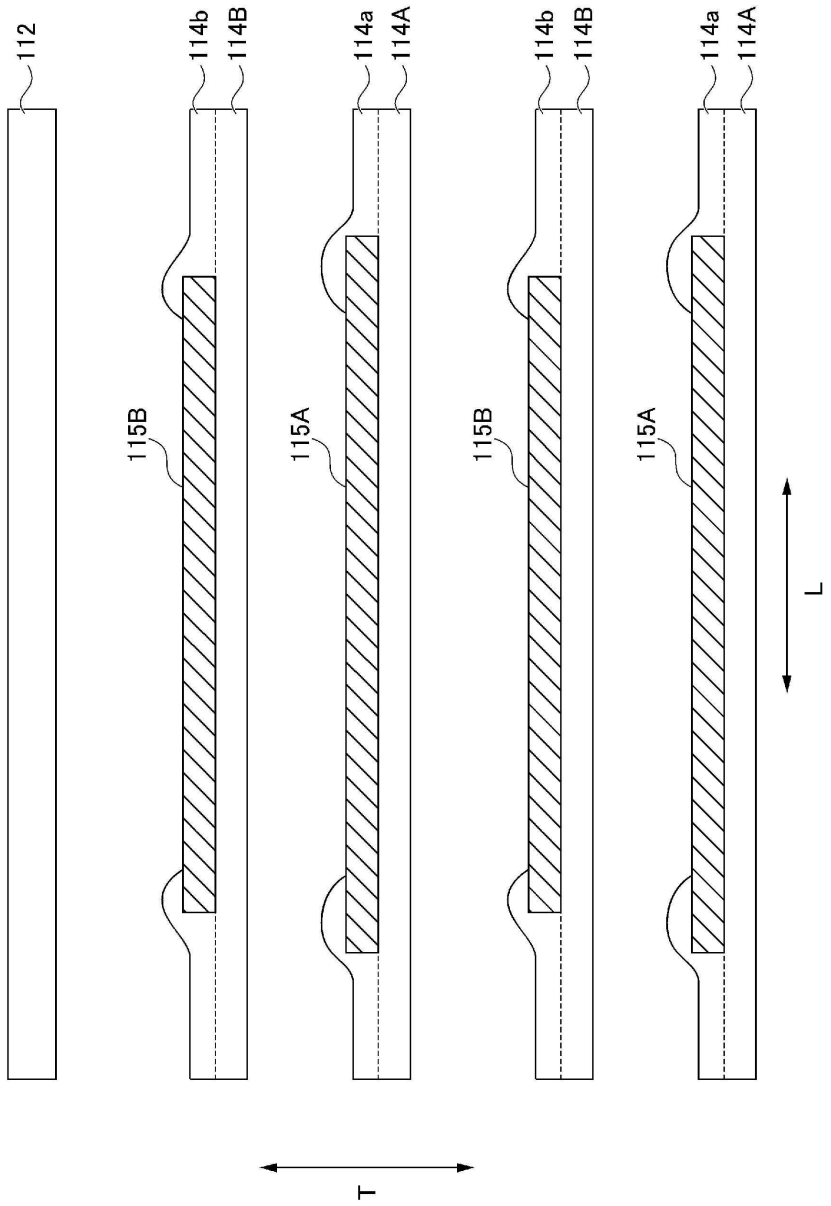
도면10



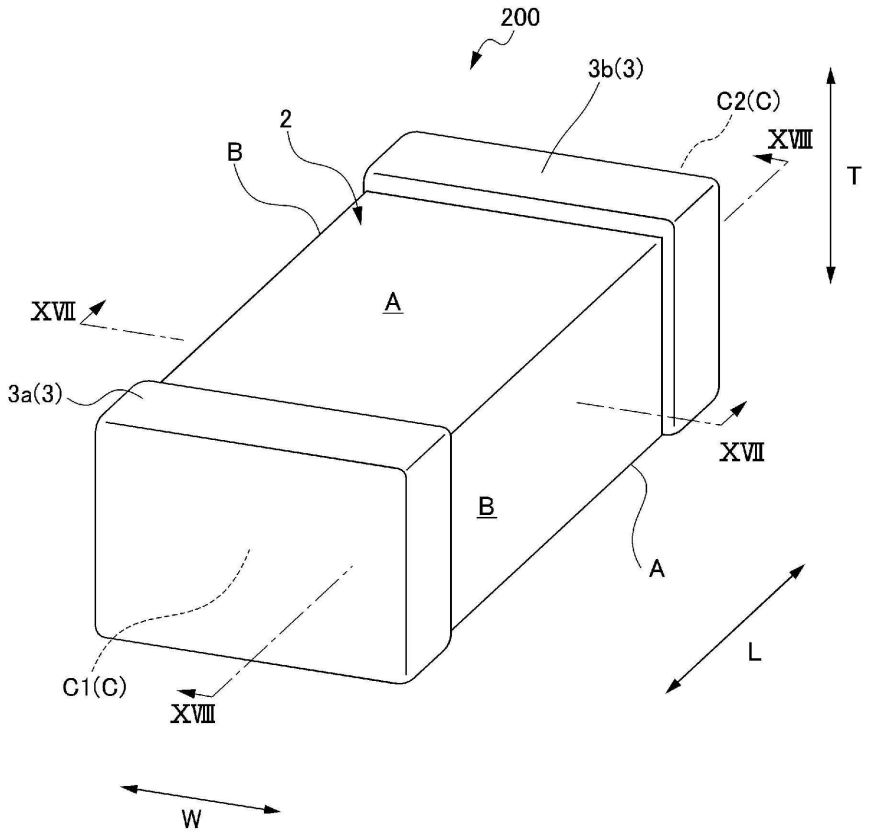
도면11



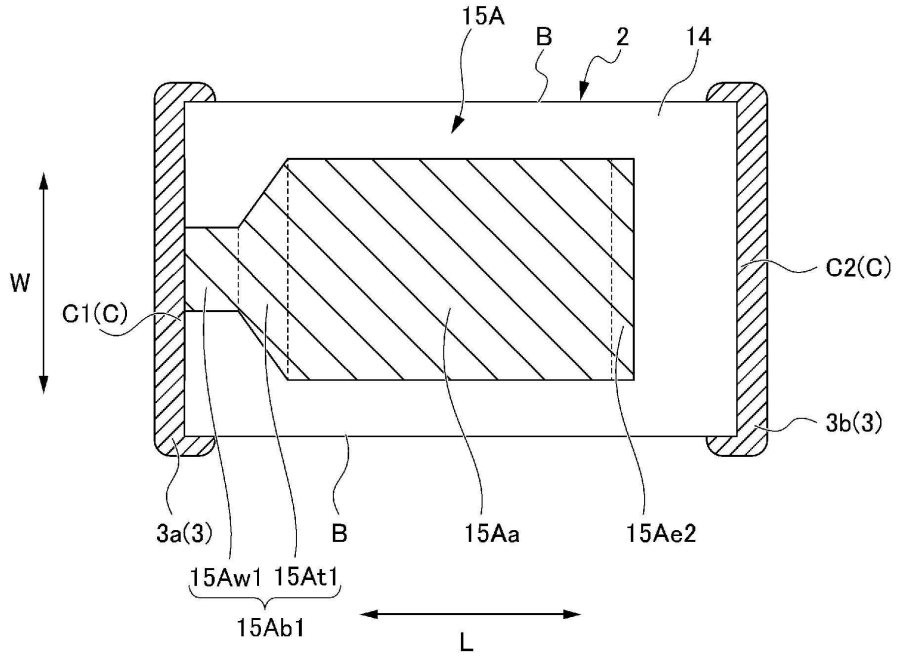
도면12



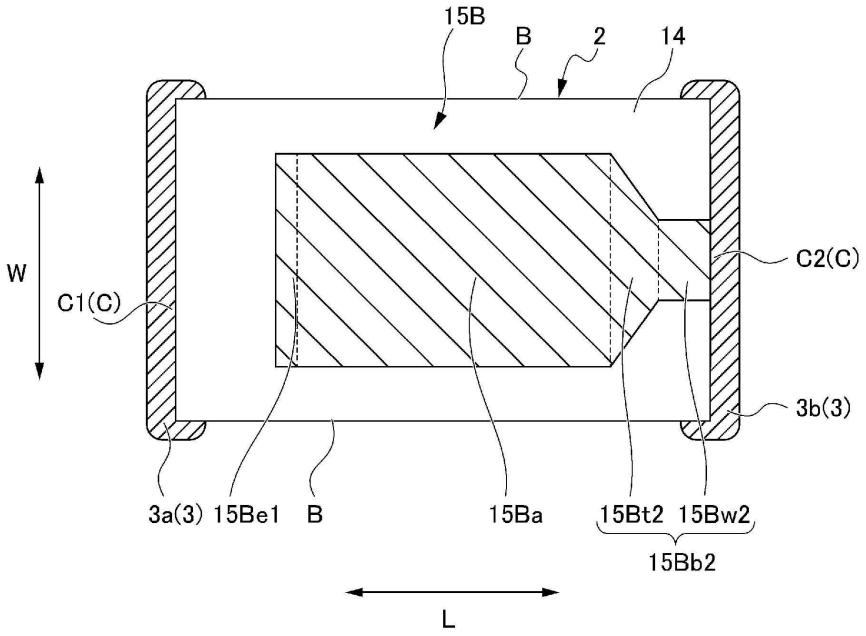
도면13



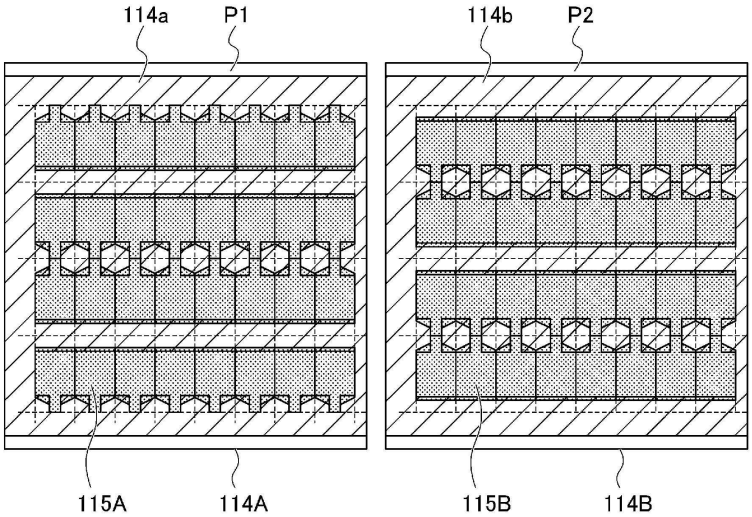
도면14



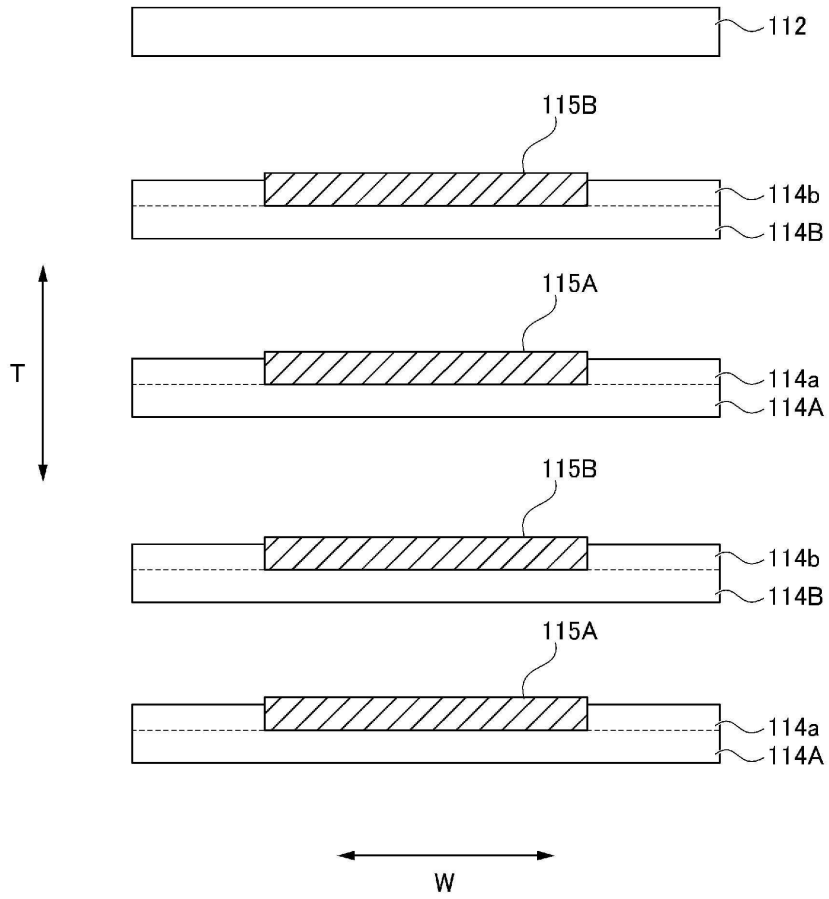
도면15


15B
B
2
14
W
C1(C)
C2(C)
3b(3)
3a(3)
15Be1
B
15Ba
15Bt2
15Bw2
15Bb2
L

도면16


114a
P1
114b
P2
115A
114A
115B
114B

도면17


112
115B
114b
114B
T
115A
114a
114A
115B
114b
114B
115A
114a
114A
W

도면18

