



(12) 发明专利申请

(10) 申请公布号 CN 102249662 A

(43) 申请公布日 2011.11.23

(21) 申请号 201110091661.6

代理人 刘粉宝

(22) 申请日 2011.04.06

(51) Int. Cl.

(30) 优先权数据

C04B 35/453(2006.01)

2010-087192 2010.04.05 JP

H01C 7/112(2006.01)

2010-087191 2010.04.05 JP

2011-049215 2011.03.07 JP

(71) 申请人 TDK 株式会社

地址 日本东京都中央区日本桥一丁目 13 番
1 号

(72) 发明人 伊丹崇裕 上田要

(74) 专利代理机构 上海天翔知识产权代理有限公司 31224

权利要求书 1 页 说明书 13 页 附图 6 页

(54) 发明名称

电压非线性电阻陶瓷组合物以及电子元件

(57) 摘要

本发明提供的电压非线性电阻陶瓷组合物，相对于 100 摩尔的作为主成分的 ZnO，含有作为辅助成分的，换算成各元素的，Co 的氧化物超过 0.05 原子%，而不足 30 原子%，Sr 的氧化物超过 0.05 原子% 而不足 20 原子%，除 Sc 和 Pm 以外的稀土元素的氧化物超过 0.01 原子% 而不足 20 原子%，Si 的氧化物超过 0.01 原子% 而不足 10 原子%，而不含 Al、Ga 和 In。或电压非线性电阻陶瓷组合物，相对于 100 摩尔的作为主成分的 ZnO，含有作为辅助成分的，换算成各元素的，Co 的氧化物超过 0.05 原子% 而不足 30 原子%，Sr 的氧化物超过 0.05 原子% 而不足 20 原子%，除 Sc 和 Pm 以外的稀土类元素的氧化物超过 0.01 原子% 而不足 20 原子%，Si 的氧化物超过 0.01 原子% 而不足 10 原子%，还含有锆酸钙，换算成 CaZrO₃，锆酸钙超过 0.01 原子% 而不足 10 原子%。如果采用本发明，则能够提供 CV 积低，能降低各种特性的偏差，而且可以抑制晶粒的生长的电压非线性电阻陶瓷组合物。

A
CN 102249662 A

CN

1. 一种电压非线性电阻陶瓷组合物, 其特征在于,
含有作为主成分的氧化锌,
相对于 100 摆尔的所述氧化锌, 含有作为辅助成分的,
Co 的氧化物, 换算成 Co, 超过 0.05 原子% 而未满 30 原子%,
Sr 的氧化物, 换算成 Sr, 超过 0.05 原子%, 而未满 20 原子%,
R 的氧化物, 换算成 R, 超过 0.01 原子% 而未满 20 原子%, 其中 R 为选自由 Y、La、Ce、
Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb 以及 Lu 构成的一群元素中的至少一种,
Si 的氧化物, 换算成 Si, 超过 0.01 原子% 而未满 10 原子%,
不含有 Al、Ga 和 In。
2. 一种电压非线性电阻陶瓷组合物, 其特征在于,
含有作为主成分的氧化锌,
相对于 100 摆尔的所述氧化锌, 含有作为辅助成分的,
Co 的氧化物, 换算成 Co, 超过 0.05 原子% 而未满 30 原子%,
Sr 的氧化物, 换算成 Sr, 超过 0.05 原子% 而未满 20 原子%,
R 的氧化物, 换算成 R, 超过 0.01 原子% 而未满 20 原子%, R 为选自由 Y、La、Ce、Pr、
Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb 以及 Lu 构成的一群元素中的至少一种,
Si 的氧化物, 换算成 Si, 超过 0.01 原子% 而未满 10 原子%,
锆酸钙, 换算成 CaZrO_3 , 超过 0.01 原子% 而未满 10 原子%。
3. 一种电子元件, 具有权利要求 1 所述的电压非线性电阻陶瓷组合物构成的电压非线
性电阻层。
4. 一种电子元件, 具有权利要求 2 所述的电压非线性电阻陶瓷组合物构成的电压非线
性电阻层。

电压非线性电阻陶瓷组合物以及电子元件

技术领域

[0001] 本发明涉及适用于例如叠层芯片式压敏电阻 (varistor) 的电压非线性电阻层等的电压非线性电阻陶瓷组合物, 以及将该电压非线性电阻陶瓷组合物用作电压非线性电阻层的电子元件。

背景技术

[0002] 作为具有电压非线性电阻层的电子元件的一个例子的压敏电阻, 可以被用来吸收或者去除例如静电等外来的冲击 (电压异常) 或噪声等, 以保护电子设备等的 IC 电路。

[0003] 近年来, 数字信号的高速化以及通信速度的高速化发展得越来越快。尤其是在高密度多层互连 (HDMI) 技术等速度非常高的信号线路上使用压敏电阻时, 如果压敏电阻的电容量大, 则由于该电容量使传输的信号衰减, 传送的信号变弱等, 就会产生阻碍信号准确传输的问题。

[0004] 而且, 由于电路驱动电压的低电压化也一直在发展, 压敏电压 (varistor voltage) 高时不能抑制冲击或噪声, 存在不能保护电路的问题。

[0005] 因此, 为了抑制低电压驱动电路上的冲击和噪声, 同时实现准确的信号传输, 期望有电容量小, 而且非线性电阻电压也低的压敏电阻, 即电容量 C 与非线性电阻电压 V 的乘积 (CV 积) 小的压敏电阻。

[0006] 在日本特开 2002-246207 号公报中公开了以 ZnO 为主成分, 以 Pr、Co、Cr、Al 等为副成分, 以特定的比例含有 Si 及 Ca+Sr 的电压非线性电阻。但是, 在特开 2002-246207 号公报中并未记载该电压非线性电阻的电容量, 是否能减小 CV 积尚不明了。

发明内容

[0007] 本发明的目的是提供 CV 积低, 能降低各种性能的偏差, 而且可以抑制晶粒生长的电压非线性电阻陶瓷组合物, 以及采用了该组合物的叠层芯片式压敏电阻 (varistor) 等电子元件。

[0008] 为了达到上述目的, 本发明的第一种电压非线性电阻陶瓷组合物, 其特征在于, 含有作为主成分的氧化锌, 相对于 100 摩尔的上述氧化锌, 含有作为辅助成分的, Co 的氧化物, 换算成 Co, 超过 0.05 原子% 而未满 30 原子%, Sr 的氧化物, 换算成 Sr, 超过 0.05 原子% 而未满 20 原子%, R 的氧化物 (R 为选自由 Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb 以及 Lu 构成的一群元素中选出的至少一种), 换算成 R, 超过 0.01 原子% 而未满 20 原子%, Si 的氧化物, 换算成 Si, 超过 0.01 原子% 而未满 10 原子%, 不含 Al、Ga 和 In。

[0009] 如果采用本发明的第一种, 上述特定组成以及含量, 特别是含有 Si 的氧化物, 而且不含有 Al 等, 能使各种性能良好, 同时还能减小这些性能的偏差, 并且能抑制晶粒的生长。

[0010] 本发明的第二种的电压非线性电阻陶瓷组合物, 其特征在于, 含有作为主成分的氧化锌, 相对于 100 摩尔的上述氧化锌, 含有作为辅助成分的 Co 的氧化物, 换算成 Co, 超过

0.05 原子%而未满 30 原子%、Sr 的氧化物,换算成 Sr,超过 0.05 原子%而未满 20 原子%、R 的氧化物,R 为选自由 Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb 以及 Lu 构成的一群元素中选择出的至少一种,换算成 R,超过 0.01 原子%而未满 20 原子%、Si 的氧化物,换算成 Si,超过 0.01 原子%而未满 10 原子%、锆酸钙,换算成 CaZrO₃,超过 0.01 原子%而未满 10 原子%。

[0011] 根据本发明的第一种,上述特定组成以及含量,特别是含有 Si 的氧化物以及锆酸钙,能使各种性能保持良好,同时还能抑制晶粒的生长,并且减少这些特性的偏差。

[0012] 本发明的电子元件具有上述任意一种发明所述的电压非线性电阻陶瓷组合物构成的电压非线性电阻层。

[0013] 作为本发明的电子元件并无特别限定,可以例举出叠层芯片式压敏电阻(varister)、盘形压敏电阻、压敏电阻复合元件等。

附图说明

[0014] 图 1 为本发明一个实施方式的叠层芯片式压敏电阻的剖面图。图 2 为本发明的实施例和比较例的试样的,烧成温度与晶粒的平均颗粒直径的关系曲线。图 3 为本发明的实施例和比较例的试样的,烧成温度与非线性电阻电压的 C.V. 值的关系曲线。图 4 为本发明的实施例和比较例的试样的,烧成温度与非线性系数的 C.V. 值的关系曲线。图 5 为本发明的实施例和比较例的试样的,烧成温度与电容量的 C.V. 值的关系曲线。图 6 为本发明的实施例和比较例的试样的,烧成温度与 CV 积的 C.V. 值的关系曲线。图 7 为本发明的参考例和比较例的试样的,烧成温度与晶粒的平均颗粒直径的关系曲线。图 8 为本发明的实施例、参考例和比较例的试样的,烧成温度与非线性电阻电压的 C.V. 值的关系曲线。图 9 为本发明的实施例、参考例和比较例的试样的,烧成温度与非线性系数的 C.V. 值的关系曲线。图 10 为本发明的实施例、参考例和比较例的试样的,烧成温度与电容量的 C.V. 值的关系曲线。图 11 为本发明的实施例、参考例和比较例的试样的,烧成温度与 CV 积的 C.V. 值的关系曲线。

具体实施方式

[0015] 下面根据附图所示的实施方式说明本发明。

[0016] (第一实施方式)(叠层芯片式压敏电阻)如图 1 所示,作为电子元件一个例子的叠层芯片式压敏电阻 2 具有元件主体 10,它由内电极层 4、6、层间电压非线性电阻层 8 和外侧保护层 8a 叠层构成。在该元件主体 10 的两端部形成有分别与配置在元件主体 10 内部的内部电极层 4、6 导通的一对外部端子电极 12、14。元件主体 10 的形状并无特别限制,通常采取长方体形状。其尺寸大小也无特别限制,可以根据用途采用适当的尺寸,通常为长(0.6 ~ 5.6mm) × 宽(0.3 ~ 5.0mm) × 厚(0.3 ~ 1.9mm) 左右。

[0017] 内电极层 4、6 叠层在一起,其各端面露出于元件主体 10 两个对置端部的表面。在元件主体 10 两个端部形成的一对外部端子电极 12、14 分别与内部电极层 4、6 的露出的端面连接,构成回路。

[0018] 在元件主体 10,在内部电极层 4、6 和层间电压非线性电阻层 8 的叠层方向的两个外侧端部配置有外侧保护层 8a,保护元件主体 10 的内部。外侧保护层 8a 的材料可以与层

间电压非线性电阻层 8 的材料相同,也可以不同。

[0019] (内部电极层) 内部电极层 4、6 中含有的导电材料并无特别限定,但是最好是采用由 Pd 或 Ag-Pd 合金构成的导电材料。合金中的 Pd 含量最好是 95 重量%以上。内部电极层 4、6 的厚度可以根据用途适当确定,通常为 0.5 ~ 5 μm 左右。

[0020] (外部端子电极) 外部端子电极 12、14 中含有的导电材料并无特别限定,通常采用由 Ag 或 Ag-Pd 合金构成的导电材料。外部端子电极 12、14 的厚度可以根据用途适当确定,通常为 10 ~ 50 μm 左右。

[0021] (层间电压非线性电阻层) 层间电压非线性电阻层 8 由本实施方式的电压非线性电阻陶瓷组合物构成。该电压非线性电阻陶瓷组合物含有作为主成分的氧化锌,作为辅助成分的钴氧化物、锶氧化物、R 氧化物、硅氧化物,而不含 Al、Ga 和 In。

[0022] 主成分氧化锌 (ZnO) 作为发现电压 - 电流特性的优异的电压非线性和耐冲击容量大的物质发挥作用。

[0023] 钴的氧化物作为受体 (电子俘获剂) 起作用,作为维持电压非线性的物质起作用。相对于 100 摩尔的氧化锌,钴的氧化物的含量,换算成 Co,超过 0.05 原子%而未满 30 原子%,优选 0.1 ~ 20 原子%,更理想的是 0.1 ~ 10 原子%。

[0024] 如果钴的氧化物含量太少,则倾向于难以获得压敏电阻的性能,而含量太多的话,则在压敏电阻的电压增大的同时,电压非线性有降低的倾向。

[0025] 锶的氧化物作为受体 (电子俘获剂) 起作用,作为维持电压非线性的物质发挥作用。相对于 100 摩尔的氧化锌,锶的氧化物的含量,换算成 Sr,超过 0.05 原子%而未满 20 原子%,优选 0.1 ~ 10 原子%,更理想的是 0.1 ~ 5 原子%。

[0026] 如果锶的氧化物含量太少,则 CV 积 (电容量 C 与压敏电阻的电压 V 的乘积) 倾向于变大,而含量太多的话,锶的氧化物则容易与作为主成分的氧化锌发生反应,烧成温度高的时候,有熔融的倾向。

[0027] R 的氧化物作为提高氧向晶界扩散的速度的物质起作用。通过添加 R 的氧化物,可以使烧结体充分烧结。

[0028] 作为构成 R 的氧化物的元素,除了 Sc 和 Pm 之外,以选自由 Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb 以及 Lu 构成的一群元素中选出的至少一种为宜,更理想的是至少含有 Pr。相对于 100 摩尔的氧化锌,R 的氧化物的含量,换算成 R,超过 0.01 原子%而未满 20 原子%,优选 0.05 ~ 10 原子%,更理想的是 0.1 ~ 5 原子%。

[0029] 通过将 R 的氧化物含量保持在上述范围内,可以将组合物维持在半导体化的状态,同时能提高氧向晶界的扩散速度。

[0030] 硅的氧化物不会令 CV 积发生变化,它具有降低各种性能 (例如,电容量,压敏电压,非线性系数等) 的偏差的效果,同时也有抑制晶粒生长的效果。通过减小性能偏差可以提高产品的成品率。

[0031] 相对于 100 摩尔的氧化锌,硅的氧化物的含量,换算成 Si,超过 0.01 原子%而未满 10 原子%,优选 0.05 ~ 5 原子%,更理想的是 0.05 ~ 1 原子%。

[0032] 硅的氧化物含量如果太少,就会发生异常晶粒的生长,晶粒的大小就会变得不均匀。其结果是,倾向于不能获得良好的压敏电阻特性。而另一方面,硅氧化物含量太多的话,则有压敏电压增大,电压非线性降低的倾向。

[0033] 作为下述叠层芯片式压敏电阻的制作方法,采用印刷法或者薄片法时,硅的氧化物含量在 5 原子%以下是理想的。

[0034] 本实施方式的电压非线性电阻陶瓷组合物不含 Al、Ga、In。如果含有这些元素,电容量会变大,CV 积变大,所以是理想的。

[0035] 本说明书中所谓的压敏电压指的是 1mA 的电流流过时的电压。所谓压敏电阻特性(电压非线性)指的是慢慢增大施加在电子元件上的电压时,流经电子元件的电流非线性增大的现象。

[0036] 层间电压非线性电阻层 8 的厚度和叠层数等种种条件可以根据目的和用途等作适当的确定。在本实施方式中,层间电压非线性电阻层 8 的厚度例如为 5 ~ 100 μm 左右。叠层数例如为 10 ~ 50 层左右。而外侧保护层 8a 的厚度,例如为 100 ~ 500 μm 左右。

[0037] 在本实施方式中,通过使电压非线性电阻陶瓷组合物的组成采取如上述所示的组成,可以实现如下所述的性能。即,在基准温度 25°C,测定频率 1MHz 以及输入信号电平(测定电压)1VRms 的条件下测得电容量(C)与流经的电流 1mA 时测得的压敏电压(V)之积即 CV 积可以实现令人满意的 1700 以下,更好一些可以实现 1500 以下,更理想的可以实现 1300 以下。而非线性系数(α)可以实现令人满意的 14 以上,更好一些可以实现 15 以上,更理想的可以实现 17 以上。

[0038] (叠层芯片式压敏电阻的制作方法)下面说明本实施方式的叠层芯片式压敏电阻 2 的制作方法的一个例子。

[0039] 在本实施方式中,利用通常的采用糊的印刷法或薄片法,通过制作生芯片,将其烧成之后,印刷或者转印外部端子电极,然后再烧成的方法制作。以下就制作方法具体加以说明。

[0040] 首先,分别准备好用于电压非线性电阻层的糊,用于内部电极层的糊,用于外部端子电极的糊。准备好电压非线性电阻原料(电压非线性电阻陶瓷组合物的粉末),将其做成涂料,调制成用于电压非线性电阻层的糊。

[0041] 用于电压非线性电阻层的糊,可以是将电压非线性电阻原料与有机赋形剂均匀混合的有机涂料,也可以是水基涂料。

[0042] 作为电压非线性电阻的原料,可以采用上述的主成分以及辅助成分的氧化物或者它们的混合物、复合氧化物。而且可以从通过烧成会形成上述氧化物或复合氧化物的各种化合物,例如碳酸盐、草酸盐、硝酸盐、氢氧化物、有机金属化合物等中适当选择,也可以将它们混合使用。

[0043] 电压非线性电阻的原料中各成分的含量决定为在烧成后能够实现上述电压非线性电阻陶瓷组合物的组成的含量即可。这些原料粉末通常可以采用平均颗粒直径为 0.3 ~ 2 μm 左右的粉末。

[0044] 所谓有机赋形剂是将粘合剂溶解在有机溶剂中获得的。用于有机赋形剂的粘合剂并无特别限定,可以从常用的各种粘合剂,如乙基纤维素、聚乙烯缩丁醛等中适当选择。有机溶剂也无特别限定,可根据印刷法或者薄片法等所采用的方法,从莰品醇、二甘醇一丁醚(butyl carbitol)、丙酮、甲苯等的各种有机溶剂中适当选择。

[0045] 又,用于电压非线性电阻层的糊为水基涂料时,可以将水溶性的粘合剂和分散剂等溶于水中的水基赋形剂与电介质原料均匀混合。对于水溶性的粘合剂并无特别限定,例

如可以采用聚乙烯醇, 纤维素, 水溶性丙烯酸树脂等。

[0046] 用于内部电极层的糊可以将成为上述各种导电材料或者烧成之后成为上述导电材料的各种氧化物、有机金属氧化物、树脂酸盐 (resinates) 等与上述有机赋形剂均匀混合调制。用于外部端子电极的糊也可以与该用于内部电极层的糊同样调制。

[0047] 对于上述各种糊中的有机赋形剂的含量并无特别限定, 通常的含量, 例如粘合剂可以为 1 ~ 5 重量% 左右, 溶剂 10 ~ 50 重量% 左右。在各种糊中还可以根据需要含有选自各种分散剂、增塑剂、电介质、绝缘体等的添加剂。它们的总含量以不超过 10 重量% 为宜。

[0048] 采用印刷法时, 将用于电压非线性电阻层的糊以规定的厚度多次印刷在 PET 等基板上, 形成外侧保护层 8a 的生片。

[0049] 接着, 在该外侧保护层 8a 上以规定的图案印刷用于内部电极层的糊, 形成内部电极层 4 的生片。然后, 在该内部电极层 4 上, 像上面所述那样将用于电压非线性电阻层的糊以规定的厚度多次印刷, 形成层间电压非线性电阻层 8 的生片。

[0050] 接着, 在层间电压非线性电阻层 8 上以规定的图案印刷用于内部电极层的糊, 形成内部电极层 6 的生片。内部电极层 4、6 对置, 它们的端部被印刷成露出在表面上。

[0051] 最后, 像上面所述那样, 将用于电压非线性电阻层的糊以规定的厚度多次印刷在内部电极层 6 上, 形成外侧保护层 8a 的生片。随后, 边加热边加压压接, 截断成规定的形状之后, 从基板上剥离下来成为生芯片。

[0052] 采用薄片法时, 利用用于电压非线性电阻层的糊成型为生片。然后, 将规定片数的生片叠层, 形成如图 1 所示的外侧保护层 8a。

[0053] 接着, 将用于内部电极层的糊以规定的图案印刷在该外侧保护层 8a 上, 形成内部电极层 4 的生片。同样, 在另外的外侧保护层 8a 上, 形成内部电极层 6 的生片。

[0054] 将规定片数的生片叠层形成的层间电压非线性电阻层 8 夹在其间, 而且内部电极层 4、6 对置, 它们的端部露出在表面地重叠起来, 边加热边加压压接, 然后截断成规定的形状, 形成生芯片。

[0055] 接着, 对该生芯片进行脱粘合剂处理并且烧成, 制作烧结体 (元件主体 10)。

[0056] 可以在通常的条件下对生芯片进行脱粘结剂处理。例如, 在空气气氛中, 升温速度约为 5 ~ 300°C / 小时左右, 温度保持约 180 ~ 400°C 左右, 保温时间约 0.5 ~ 24 小时。

[0057] 生芯片的烧成可以在通常的条件下进行。例如, 在空气气氛中, 升温速度约为 50 ~ 500°C / 小时左右, 保温温度约 1000 ~ 1400°C 左右, 保温时间约 0.5 ~ 8 小时, 冷却速度约为 50 ~ 500°C / 小时左右。保温温度过低的话, 则致密化程度不充分, 而保温温度过高的话, 则由于内部电极的异常烧结而有导致电极中断的倾向。

[0058] 对如上所述获得的烧结体 (元件主体 10), 通过例如滚磨或者喷砂处理进行端面抛光, 涂布用于外部端子电极的糊然后烧成, 形成外部端子电极 12、14。用于外部端子电极的糊的烧成条件, 在例如空气气氛中, 以 600 ~ 900°C 温度下 10 分钟 ~ 1 小时左右为宜。

[0059] 这样制得的本实施方式的叠层芯片式压敏电阻 2, 被连接于例如高速传输线路等上, 用于吸收或者消除静电等外来冲击 (异常电压) 或噪声等以保护该线路。

[0060] (第二实施方式) 第二实施方式的电压非线性电阻组合物与上述第一实施方式的电压非线性电阻组合物相比, 只是构成辅助成分的成分的种类不同而已。因此, 其他的构成与第一实施方式是相同的。

[0061] 以下仅就与第一实施方式不相同的构成加以说明, 相同的部分的说明省略。

[0062] 本实施方式的电压非线性电阻组合物含有作为主成分的氧化锌, 作为辅助成分, 具有钴的氧化物、锶的氧化物、R 的氧化物、硅的氧化物、和锆酸钙。

[0063] 锆酸钙 (CaZrO_3) 具有抑制晶粒生长的效果, 该效果要大于硅的氧化物所具有的抑制晶粒生长的效果。相对于 100 摩尔的氧化锌, 锆酸钙的含量, 换算成 CaZrO_3 , 超过 0.01 原子% 而未满 10 原子%, 优选 0.05 ~ 5 原子%, 更理想的是 0.05 ~ 1 原子%。

[0064] 如果锆酸钙含量太低, 就会发生异常晶粒的生长, 晶粒的大小就会变得不均匀。其结果是, 倾向于不能获得良好的压敏电阻特性。而另一方面, 锆酸钙含量如果太高, 则倾向于压敏电压增大。

[0065] 再者, 硅的氧化物以及锆酸钙由于都具有抑制晶粒生长的效果, 因此, 只要某一方的含量在适当的范围内, 异常晶粒生长就不会发生。

[0066] 本实施方式的电压非线性电阻组合物, 特别含有硅的氧化物以及锆酸钙的情况下, 能够保持各种特性良好, 同时还能抑制晶粒的生长, 而且能减小这些特性的偏差。

[0067] 以上就本发明的实施方式进行了说明, 但是, 本发明完全不限定于这样的实施方式, 在不脱离本发明要旨的范围内可以采取各种各样的形式来实施。

[0068] 例如, 在上述第一实施方式以及第二实施方式中, 举了叠层芯片式压敏电阻作为本发明的电子元件的例子, 但是, 作为本发明的电子元件, 并不限定于叠层芯片式压敏电阻, 只要具有利用上述组成的电压非线性电阻陶瓷组合物构成的电压非线性电阻层, 可以是任何电子元件。

[0069] 又如图 1 所示, 并非限定于内部电极层仅有一对的叠层芯片式压敏电阻。在图 1 中, 虽然内部电极层只有一对, 但又可以是多对内部电极层叠层, 或者是多个内部电极叠层的叠层芯片式压敏电阻。实施例

[0070] 下面进一步根据详细实施例对本发明进行说明, 但本发明并非限定于这些实施例。

[0071] (实施例 1) 首先准备主成分原料 (ZnO) 以及辅助成分原料。作为辅助成分的原料, 采用氧化物, 碳酸盐以及碳酸盐的水合物。

[0072] 接着, 相对于 100 摩尔的作为主成分的氧化锌, 按照烧成后的组成为表 1 所示的量配这些原料, 加入有机粘合剂、有机溶剂、增塑剂, 利用球磨机湿式混和约 20 小时, 制作成浆液。

[0073] 利用刮板 (doctor blade) 法, 在 PET 薄膜上将该浆液制成 $30 \mu\text{m}$ 厚的生片, 在涂布好的上述生片上, 用钯糊, 利用网板印刷法印刷成所要的形状, 使其干燥, 形成如图 1 所示的内部电极 4。接着, 用同样的方法形成如图 1 所示的内部电极 6。

[0074] 再将数片相同组成的生片重叠形成作为最外层的外侧保护层 8a。

[0075] 然后, 将它们加热、压接之后, 截断成规定的芯片形状作为生芯片。

[0076] 在 350°C 温度下对该生芯片进行 2 小时的脱粘合剂处理之后, 在 1175°C 温度下在空气中进行 2 小时的烧成, 得到作为叠层芯片式压敏电阻粗加工体的烧结体。

[0077] 接着, 在所得到的烧结体两端涂布以 Ag 为主体的电极糊, 在 800°C 下烘烤, 形成端子电极 12、14。用这样的方法可以得到具有如图 1 所示截面结构的叠层芯片式压敏电阻。所得到的压敏电阻试样的大小为 $3.2\text{mm} \times 1.6\text{mm} \times 0.6\text{mm}$, 电压非线性电阻层的厚度为 $65 \mu\text{m}$,

夹在内电极层之间的电压非线性电阻层的层数是 1。内部电极层的重叠面积为 1.3mm^2 。

[0078] 利用所得到的压敏电阻试样测定了压敏电压、非线性系数以及电容量。

[0079] (压敏电压 (varister voltage)) 将压敏电阻试样接在直流恒定电压的电源上, 用电压计测定作用在压敏电阻试样两个电极之间的电压, 同时用电流计读出流经压敏电阻试样的电流, 以此求得压敏电压 (V_{1mA})。具体地说, 流经压敏电阻试样的电流为 1mA 时, 用电压计读出作用在压敏电阻试样两个电极之间的电压, 把该值作为压敏电压。单位为 V。在本实施例中, 以 100V 以下为良好。结果如表 1 所示。

[0080] (非线性系数 (α)) 非线性系数表示流经压敏电阻试样的电流从 0.1mA 变化至 1mA 时, 加在压敏电阻试样电极之间的电压与电流的关系, 由下式求出。在本实施例中, 以 14 以下为良好。结果如表 1 所示。

$$[\text{0081}] \quad \alpha = \log(I_1/I_{0.1})/\log(V_1/V_{0.1}) = 1/\log(V_1/V_{0.1})$$

[0082] V_1 指的是流经压敏电阻试样的电流 $I_1 = 1\text{mA}$ 时的压敏电压, $V_{0.1}$ 指的是流经压敏电阻试样的电流 $I_{0.1} = 0.1\text{mA}$ 时的压敏电压。该非线性系数 α 越大, 压敏电阻特性就越优异。

[0083] (电容量) 对于压敏电阻试样, 电容量 (C) 是在基准温度 25°C 的温度下, 利用数字式 LCR 计 (YHP 公司制 4274A), 在频率为 1MHz , 输入信号电平 (测定电压) 为 1Vrms 的条件下测得 (单位为 pF) 的。本实施例中, 以 100 以下为良好。结果如表 1 所示。

[0084] (CV 积) CV 积是通过求出如上所述得到的压敏电压 (V) 与电容量 (C) 之乘积算出来的。CV 积越小越令人满意。结果如表 1 所示。

[0085] 表 1

试样 编号	Co [原子%]	Sr [原子%]	Pr [原子%]	Si [原子%]	压敏 电压 V_{1mA}	非线性 系数 α	C(在 1MHz)	CV 乘积
							pF	
*1	0.05	0.5	0.5	0.05	测定界 限以下	-	-	-
2	0.1	0.5	0.5	0.05	19	17	70	1330
3	1	0.5	0.5	0.05	29	18	42	1218
4	5	0.5	0.5	0.05	37	16	32	1184
5	10	0.5	0.5	0.05	40	15	34	1360
6	15	0.5	0.5	0.05	49	15	29	1421
7	20	0.5	0.5	0.05	58	14	26	1508
*8	30	0.5	0.5	0.05	68	8	25	1700
*9	50	0.5	0.5	0.05	> 100	-	-	-
*10	1	0.05	0.5	0.05	63	20	34	2142
11	1	0.1	0.5	0.05	43	19	37	1591
3	1	0.5	0.5	0.05	29	18	42	1218
12	1	1	0.5	0.05	26	15	49	1274
13	1	5	0.5	0.05	19	14	75	1425
14	1	10	0.5	0.05	15	10	99	1485
*15	1	20	0.5	0.05	-	-	-	-
*16	1	0.5	0.01	0.05	测定界 限以下	-	-	-
17	1	0.5	0.1	0.05	36	15	45	1620

3	1	0.5	0.5	0.05	29	18	42	1218
18	1	0.5	1	0.05	39	19	45	1755
19	1	0.5	5	0.05	50	19	43	2150
20	1	0.5	10	0.05	72	20	40	2880
*21	1	0.5	20	0.05	> 100	-	-	-
*22	1	0.5	0.5	0.01	-	-	-	-
3	1	0.5	0.5	0.05	29	18	42	1218
23	1	0.5	0.5	0.1	31	18	40	1240
24	1	0.5	0.5	0.5	45	21	38	1710
25	1	0.5	0.5	1	65	24	35	2275
26	1	0.5	0.5	5	-	-	-	-
*27	1	0.5	0.5	10	-	-	-	-

表示相对于 100 摩尔的氧化锌的含量 “*” 表示本发明的比较例

[0086] 根据表 1, 辅助成分的含量在本发明的范围之外时 (试样编号 1、8 ~ 10、15、16、21、22 和 27), 可以确认压敏电压、非线性系数、电容量以及 CV 积中至少有一项有变劣的倾向。

[0087] 试样编号 15 因为锶的氧化物的含量太多, 锶的氧化物与作为主成分的氧化锌发生反应而熔融, 所以无法进行特性评价。而试样编号 22 因为硅的氧化物的含量过少, 晶粒生长, 无法获得特性。试样编号 26 因为是利用薄片成型法形成电压非线性电阻层的, 所以无法获得特性, 但是, 如果是具有利用例如压缩成型等方法形成的电压非线性电阻层的压敏电阻, 则能够获得所要求的特性。

[0088] 反之, 也可以确认辅助成分的含量在本发明的范围之内时 (试样编号 2 ~ 7、11 ~ 14、17 ~ 20、23 ~ 25), 压敏电压、非线性系数、电容量以及 CV 积四项特性全部良好。

[0089] (实施例 2) 相对于 100 摩尔的氧化锌, 除了含有 Co 的氧化物, 换算成 Co 为 0.5 原子%, Sr 的氧化物, 换算成 Sr 为 0.5 原子%, Pr 的氧化物, 换算成 Pr 为 0.1 原子%, Si 的氧化物, 换算成 Si 为 0.05 原子%, Al₂O₃, 换算成 Al 添加如表 2 所示的量之外, 与实施例 1 同样, 制作叠层芯片式压敏电阻试样, 进行上述评价。结果如表 2 所示。

[0090] 表 2

试样 编号	Co [原子%]	Sr [原子%]	Pr [原子%]	Si [原子%]	Al [原子%]	压敏 电压 V1mA	非线性 系数 α	C(在 1MHz)	CV 乘积
								pF	
						V			C*V _{1mA}
30	0.5	0.5	0.1	0.05	0	28	16	47	1316
*31	0.5	0.5	0.1	0.05	0.0002	25	16	60	1500
*32	0.5	0.5	0.1	0.05	0.0004	24	16	75	1800
*33	0.5	0.5	0.1	0.05	0.0008	22	17	95	2090
*34	0.5	0.5	0.1	0.05	0.0020	20	18	160	3200
*35	0.5	0.5	0.1	0.05	0.0039	19	16	180	3420
*36	0.5	0.5	0.1	0.05	0.0055	17	16	200	3400

表示相对于 100 摩尔氧化锌的含量“*”表示本发明的比较例

[0091] 根据表 2 可以确认, 含有铝的情况下, 即使其含量甚微, 电容量还是急剧增大, 其结果是, CV 积变大, 不理想。

[0092] (实施例 3) 相对于 100 摩尔氧化锌, 除了含有 Co 的氧化物, 换算成 Co 为 1.2 原子%, Sr 的氧化物, 换算成 Sr 为 0.5 原子%, Pr 的氧化物, 换算成 Pr 为 0.5 原子%, 烧成温度为 1125°C、1150°C、1175°C 外, 与实施例 1 同样, 制作了叠层芯片式压敏电阻试样 (试样编号 51)。又相对于 100 摩尔氧化锌, 除了含有 Co 的氧化物, 换算成 Co 为 1.2 原子%, Sr 的氧化物, 换算成 Sr 为 0.5 原子%, Pr 的氧化物, 换算成 Pr 为 0.5 原子%, Si 的氧化物, 换算成 Si 为 0.028 原子%, 烧成温度为 1125°C、1150°C、1175°C 外, 与实施例 1 同样, 制作叠层芯片式压敏电阻试样 (试样编号 52)。

[0093] 也就是说, 试样编号 51 (比较例) 与试样编号 52 (实施例) 的区别在于含有还是不含硅的氧化物。利用下述的方法对试样编号 51 以及试样编号 52 的试样进行平均粒径的测定。

[0094] 平均粒径的测定是将压敏电阻试样切断, 让电压非线性电阻层的断面暴露出来, 利用扫描电镜 (SEM) 观察, 拍摄 SEM 照片。利用软件对该 SEM 照片进行图像处理, 辨别电介质颗粒的边界, 算出各电介质颗粒的面积。然后, 将算出的电介质颗粒的面积换算成相当的圆的直径, 算出颗粒直径。所得到的颗粒直径的平均值作为平均粒径。颗粒直径的算出是根据 20 个电介质颗粒来进行的。结果如图 2 所示。

[0095] 又对试样编号 51 以及试样编号 52 的试样, 分别对于 10 个试样测定压敏电压、非线性系数、以及电容量, 其测定值的偏差作为 C.V. 值 (变动系数) 评价。测定条件与实施例 1 相同。根据压敏电压以及电容量的测定值, CV 积的偏差也作为 C.V. 值进行评价。

[0096] 压敏电压的 C.V. 值示于图 3, 非线性系数的 C.V. 值示于图 4, 电容量的 C.V. 值示于图 5, CV 积的 C.V. 值示于图 6。C.V. 值以下式表示, C.V. 值越大则偏差越大。C.V. 值 = (标准偏差 / 平均值) × 100

[0097] 根据图2,可以确认由于含有硅的氧化物,能够抑制晶粒的生长。又可以确认,烧成温度越高,抑制晶粒生长的效果就越大。

[0098] 根据图3~6,可以确认由于含有硅的氧化物,能够减小特性的偏差。又可以确认,烧成温度越低,减小特性能偏差的效果倾向于越大。

[0099] (实施例4)作为辅助成分的原料,准备好如表3所示的辅助成分原料,除了按照相对于100摩尔的作为主成分的氧化锌,烧成后的组成为表3所示的量的要求配这些原料外,与实施例1同样,制作叠层芯片式压敏电阻试样,进行了上述评价。结果如表3所示。

[0100] 表3

试样 编号	Co [原子%]	Sr [原子%]	Pr [原子%]	Si [原子%]	CaZrO ₃ [原子%]	压敏电压 V _{1mA}	非线性 系 数 α	C(在 1MHz) pF	CV 乘积
								V	C*V _{1mA}
*61	0.05	0.5	0.5	0.05	0.05	测定界 限以下	-	-	-
62	0.1	0.5	0.5	0.05	0.05	18	18	80	1440
63	1	0.5	0.5	0.05	0.05	28	16	47	1316
64	5	0.5	0.5	0.05	0.05	35	16	37	1295
65	10	0.5	0.5	0.05	0.05	38	16	33	1287
66	15	0.5	0.5	0.05	0.05	50	15	28	1400
67	20	0.5	0.5	0.05	0.05	60	14	25	1500
*68	30	0.5	0.5	0.05	0.05	70	10	23	1610
*69	50	0.5	0.5	0.05	0.05	> 100	-	-	-
*70	1	0.05	0.5	0.05	0.05	60	20	34	2040
71	1	0.1	0.5	0.05	0.05	45	18	37	1665
63	1	0.5	0.5	0.05	0.05	28	16	47	1316

72	1	1	0.5	0.05	0.05	24	15	55	1320
73	1	5	0.5	0.05	0.05	18	15	72	1296
74	1	10	0.5	0.05	0.05	15	14	85	1275
*75	1	20	0.5	0.05	0.05	-	-	-	-
*76	1	0.5	0.01	0.05	0.05	测定界限以下	-	-	-
77	1	0.5	0.1	0.05	0.05		33	14	55
63	1	0.5	0.5	0.05	0.05	28	16	47	1316
78	1	0.5	1	0.05	0.05	35	17	46	1610
79	1	0.5	5	0.05	0.05	45	18	44	1980
80	1	0.5	10	0.05	0.05	70	19	40	2800
*81	1	0.5	20	0.05	0.05	> 100	-	-	-
*82	1	0.5	0.5	0.01	0.05	25	14	50	1250
63	1	0.5	0.5	0.05	0.05	28	16	47	1316
83	1	0.5	0.5	0.1	0.05	28	16	46	1288
84	1	0.5	0.5	0.5	0.05	40	20	40	1600
85	1	0.5	0.5	1	0.05	60	25	30	1800
86	1	0.5	0.5	5	0.05	-	-	-	-
*87	1	0.5	0.5	10	0.05	-	-	-	-
*88	1	0.5	0.5	0.05	0.01	28	16	46	1288
63	1	0.5	0.5	0.05	0.05	28	16	47	1316
89	1	0.5	0.5	0.05	0.1	32	16	45	1440
90	1	0.5	0.5	0.05	0.5	37	16	43	1591
91	1	0.5	0.5	0.05	1	42	17	42	1764
92	1	0.5	0.5	0.05	5	60	18	30	1800
*93	1	0.5	0.5	0.05	10	> 100	-	-	-

表示相

对于 100 摩尔氧化锌的含量“*”表示本发明的比较例

[0101] 根据表 3, 可以确认辅助成分的含量在本发明的范围之外时 (试样编号 61、68 ~

70、75、76、81、87 和 93), 在压敏电压、非线性系数、电容量以及 CV 积中至少一项有变劣的倾向。

[0102] 试样编号 75 因为锶的氧化物的含量太多, 锶的氧化物与作为主成分的氧化锌发生反应而熔融, 所以无法进行特性评价。试样编号 82 以及 88 的试样因硅氧化物以及锆酸钙中的任意一个的含量合适, 所以不发生异常颗粒的生长, 可以获得良好的特性。但是, 试样编号 82 不能减小特性偏差, 试样编号 88 抑制颗粒生长的效果不充分。试样编号 86 由于是利用薄片成型法来形成电压非线性电阻层的, 所以不能获得特性, 但是, 如果是具有利用例如压缩成型等方法形成的电压非线性电阻层压敏电阻, 则能够获得所要求的特性。

[0103] 相反, 辅助成分的含量在本发明的范围之内时(试样编号 62 ~ 67、71 ~ 74、77 ~ 80、83 ~ 85), 可以确认压敏电压、非线性系数、电容量以及 CV 积四项性能全部良好。

[0104] (实施例 5) 将实施例 3 的试样编号 51 作为试样编号 101。相对于 100 摩尔的氧化锌, 除了含有 Co 的氧化物, 换算成 Co 为 1.2 原子%, Sr 的氧化物, 换算成 Sr 为 0.5 原子%, Pr 的氧化物, 换算成 Pr 为 0.5 原子%, 锆酸钙, 换算成 CaZrO_3 为 0.06 原子%, 烧成温度为 1125°C、1150°C、1175°C、1200°C 外, 与实施例 1 同样, 制作叠层芯片式压敏电阻试样(试样编号 102)。

[0105] 也就是说, 试样编号 101 与实施例 3 的试样编号 51 是同一试样, 试样编号 101(比较例)与试样编号 102(参考例)的不同在于含有还是不含有锆酸钙。与实施例 3 一样, 对试样编号 101 以及试样编号 102 进行平均粒径的测定。结果如图 7 所示。

[0106] 除了相对于 100 摩尔的氧化锌, 含有 Co 的氧化物, 换算成 Co 为 1.2 原子%, Sr 的氧化物, 换算成 Sr 为 0.5 原子%, Pr 的氧化物, 换算成 Pr 为 0.5 原子%, Si 的氧化物, 换算成 Si 为 0.028 原子%, 锆酸钙, 换算成 CaZrO_3 为 0.06 原子%, 烧成温度为 1125°C、1150°C、1175°C 外, 与实施例 1 同样, 制作叠层芯片式压敏电阻试样(试样编号 103:实施例)。

[0107] 然后, 对试样编号 101、试样编号 102 以及试样编号 103 的试样, 分别对 10 个试样测定压敏电压、非线性系数以及电容量, 将其测定值的偏差作为 C.V. 值(变动系数)评价。测定条件与实施例 1 相同。又根据压敏电压以及电容量的测定值, 将 CV 积的偏差也作为 C.V. 值进行评价。

[0108] 压敏电压的 C.V. 值示于图 8, 非线性系数的 C.V. 值示于图 9, 电容量的 C.V. 值示于图 10, CV 积的 C.V. 值示于图 11。C.V. 值以下式表示, C.V. 值越大则偏差越大。C.V. 值 = (标准偏差 / 平均值) × 100

[0109] 根据图 7, 可以确认由于含有锆酸钙, 能够抑制晶粒的生长。可以确认, 烧成温度越高, 抑制晶粒生长的效果就越大。

[0110] 根据图 8 ~ 11, 可以确认仅仅由于含有锆酸钙, 是不能够充分减小特性偏差的。但是可以确认, 再进一步含有硅的氧化物, 能够减小特性偏差。

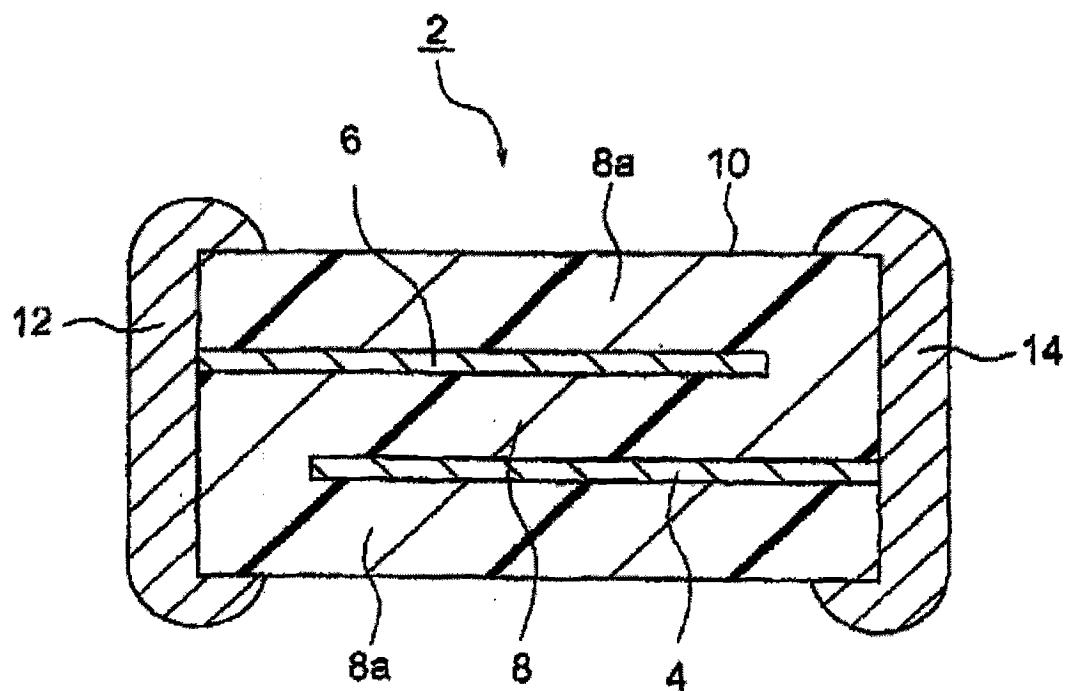


图 1

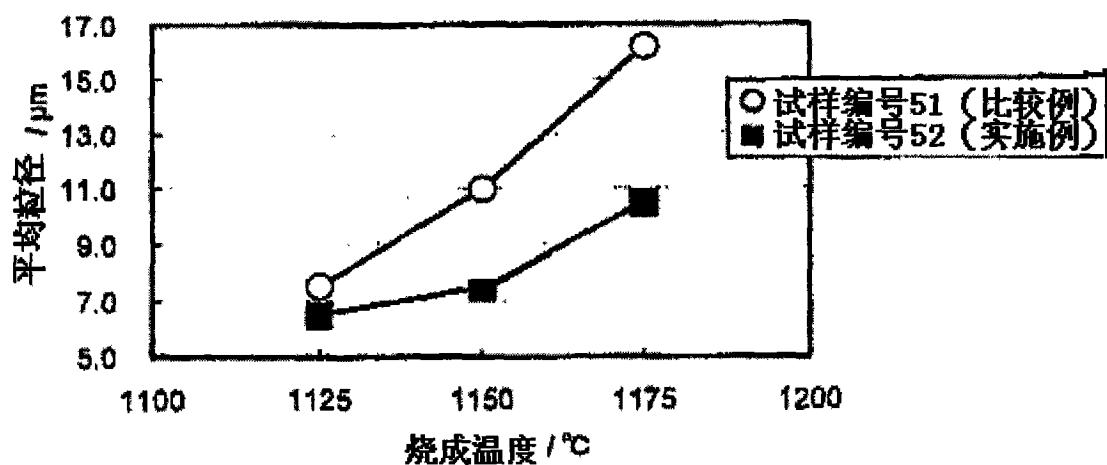


图 2

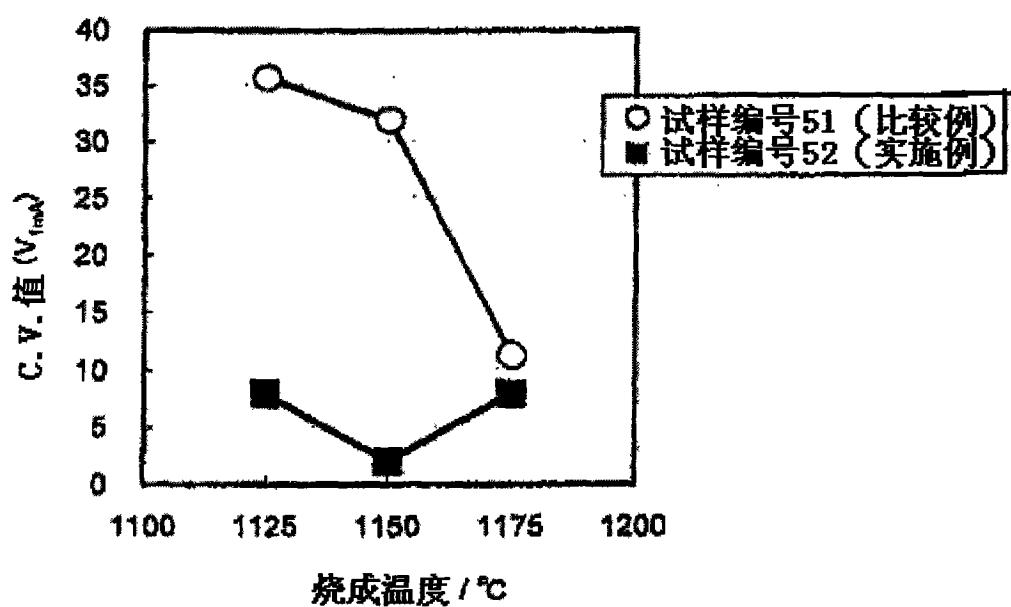


图 3

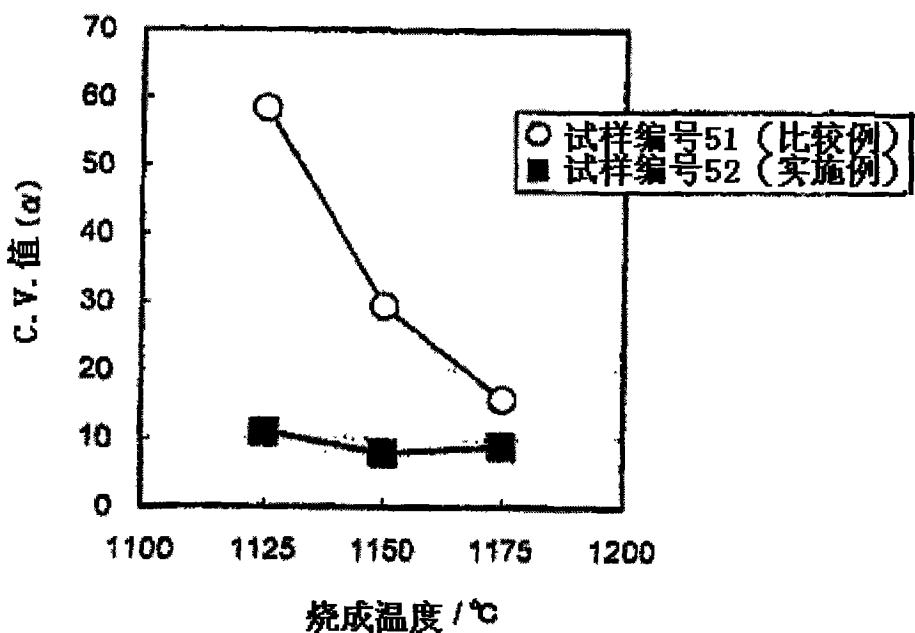


图 4

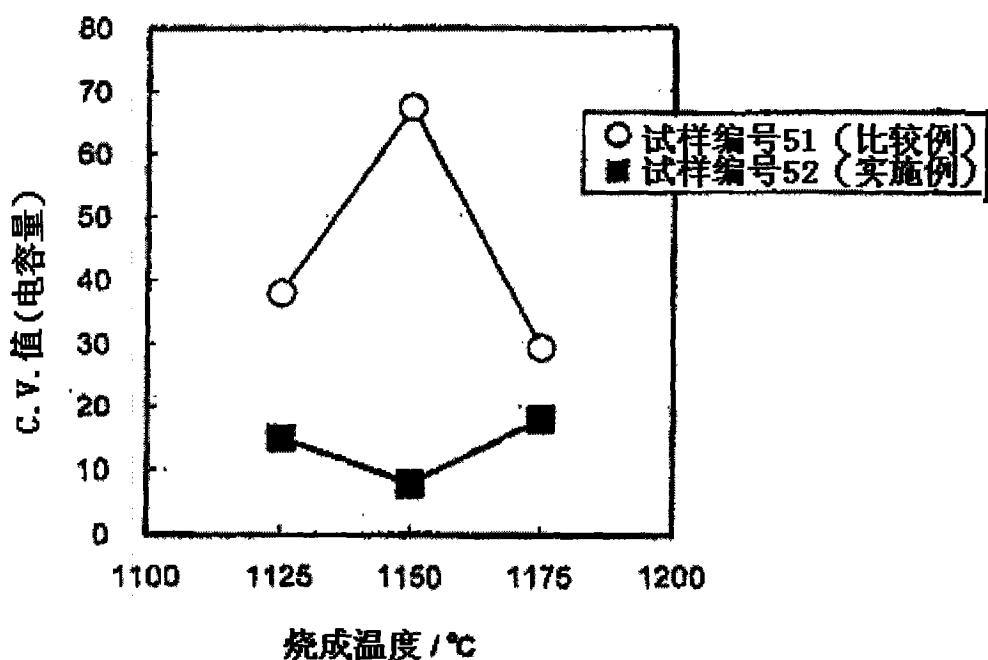


图 5

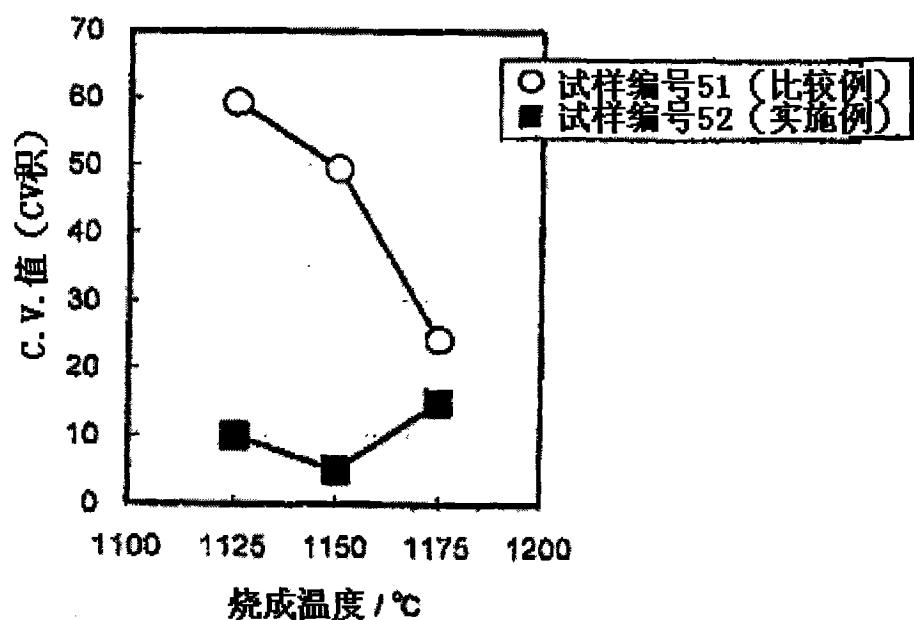


图 6

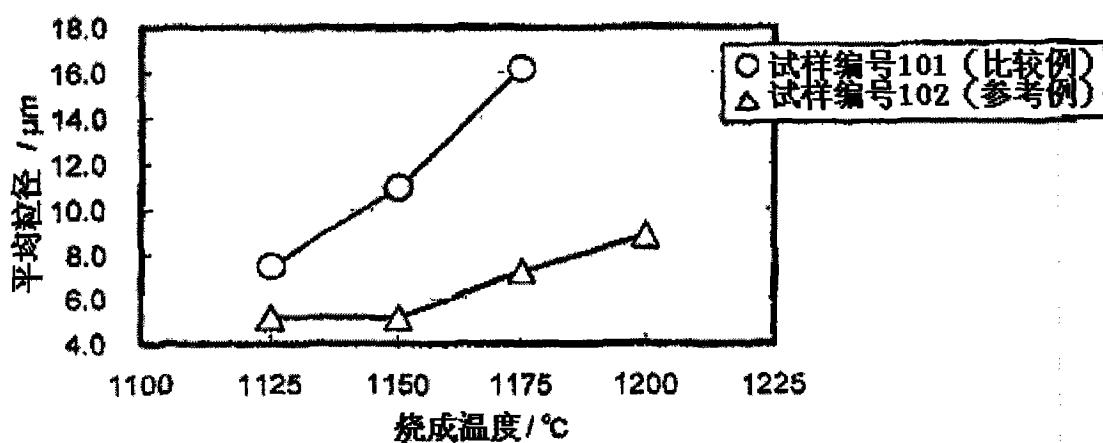


图 7

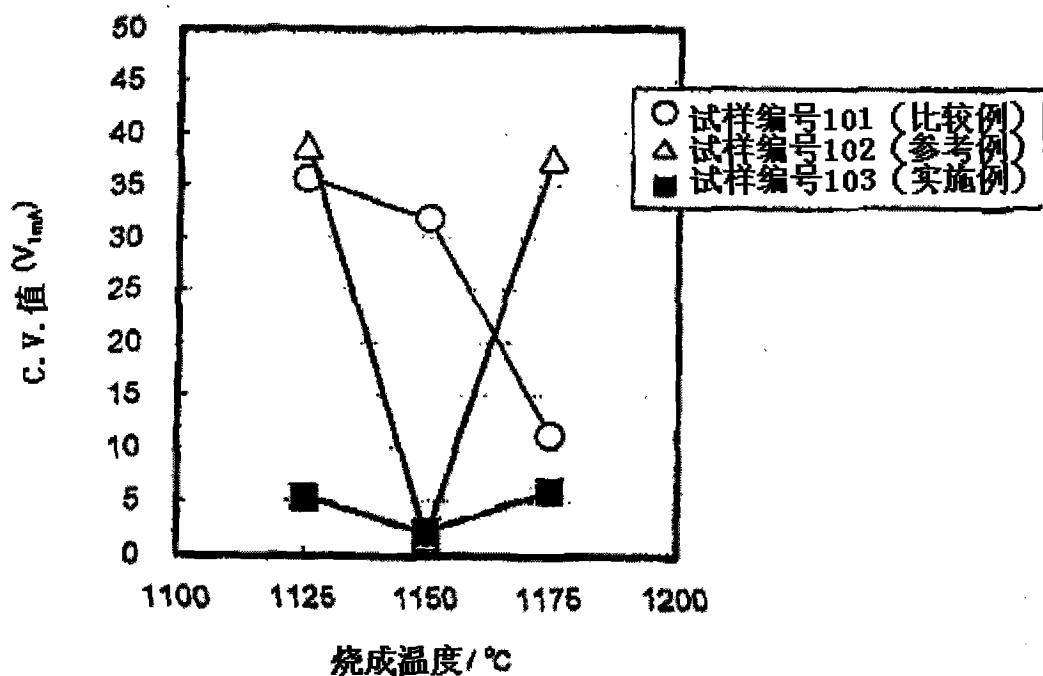


图 8

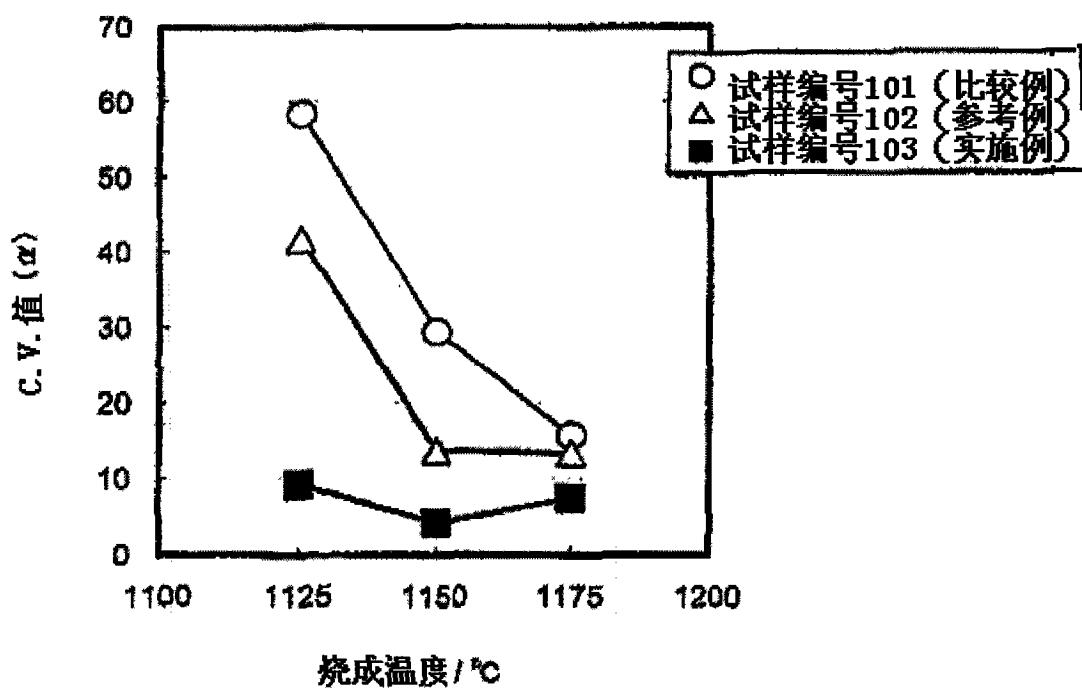


图 9

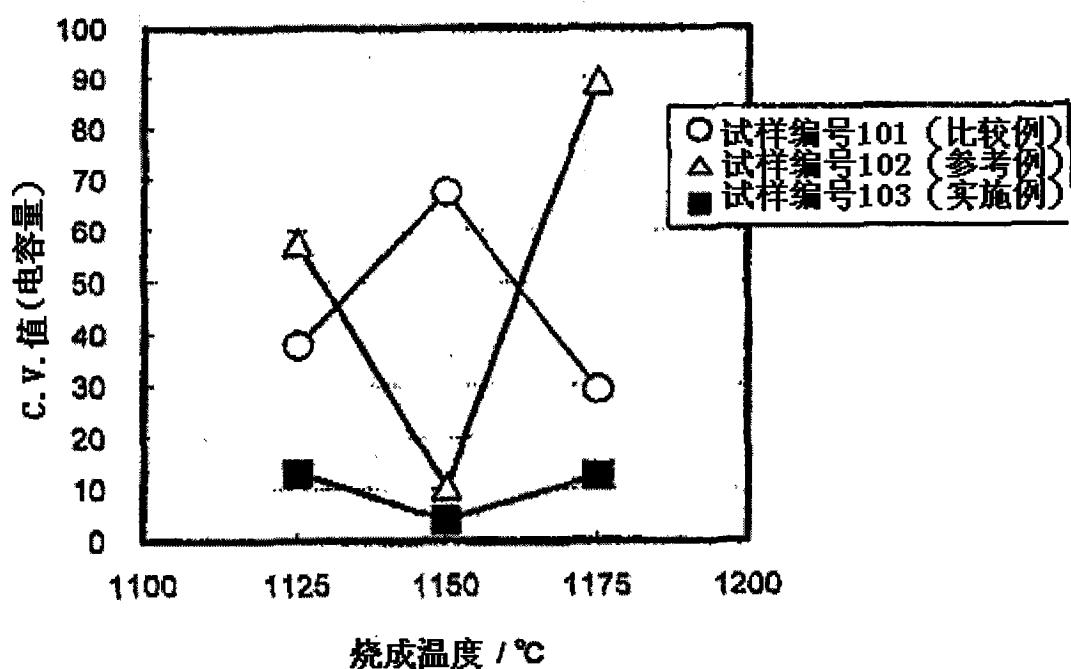


图 10

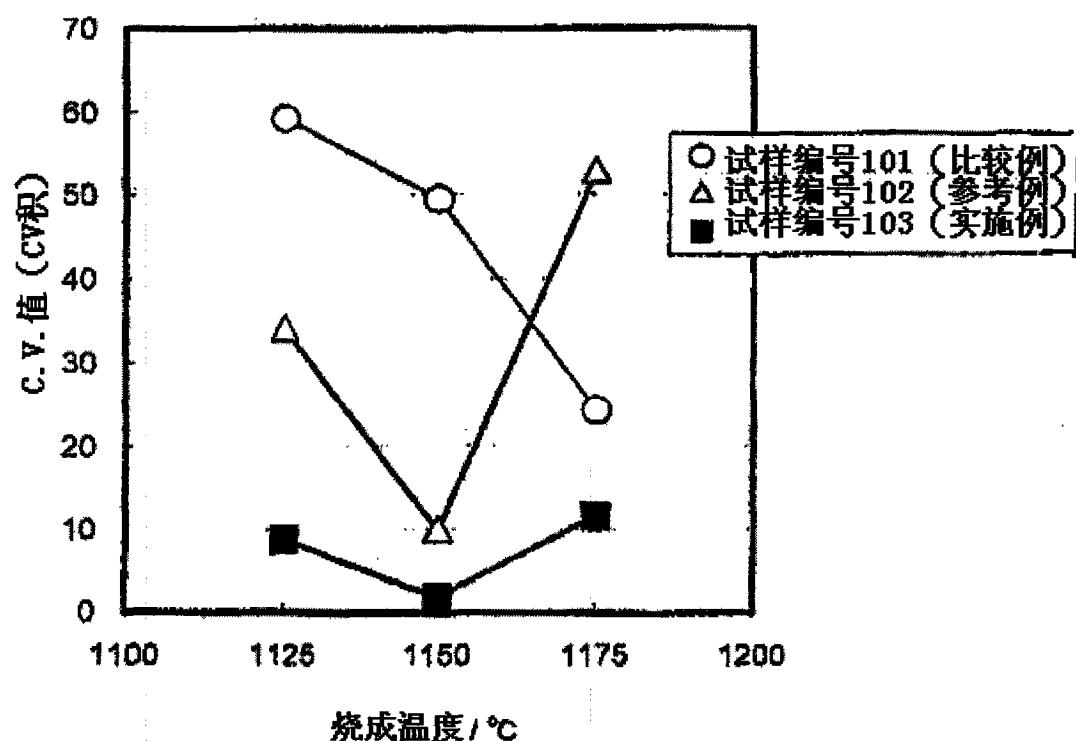


图 11