(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 27/10

(11) 공개번호 특1996-0002820
(43) 공개일자 1996년01월26일

(21) 출원번호 특1995-0014573
(22) 출원일자 1995년06월02일
(30) 우선권주장 94-128923 1994년06월10일 일본(JP)
(71) 출원인 가부시가가이샤 히다찌세이사꾸쇼 가나이 쯔또무
일본국 도꾜도 지요다구 간다 스루가다이 4-6
(72) 발명자 사또 가즈시게
일본국 오메시 가베마찌 10쪼메 10-3-307
와따나베 아쯔오
일본국 히다찌오따시 야마시따쪼 3949-3
기꾸시마 겐이찌
일본국 오메시 가베마찌 10쪼메 10-3-205
오와다 노부오
일본국 오메시 다이몬 3-7-7
이다 마사야
일본국 요꼬하마시 도쯔까구 가미꾸라따쪼 2142
(74) 대리인 백남기

*심사청구 : 없음*

**(54) 반도체 장치 및 그 제조방법**

*요약*

반도체 장치 및 그 제조방법에 관한 것으로써, MISFET 및 바이폴라 트랜지스터를 동일기판상에 갖는 반도체 집적회로장치의 동작속도의 고속화를 도모한 반도체 집적회로장치를 제공하기 위해, MISFET 및 바이폴라 트랜지스터를 갖는 반도체 집적회로장치에 있어서, MISFET의 소오스 영역 및 드레인 영역 각각의 상면에 실리사이드층을 형성하는 스텝 전에 그 주면이 절연막(18)로 피복된 이미터 전극(16)을 형성하는 공정을 구비하는 구성으로 하였다.

이것에 의해, 바이폴라 트랜지스터의 이미터 저항(Re)를 저감할 수 있고 바이폴라 트랜지스터 이미터의 접지전류 증폭율($h_{FE}$)를 높일 수 있어 반도체 집적회로장치의 동작속도를 고속화를 도모할 수 있고, 저항소자의 저항값을 변동을 억제하고 저항소자의 미세화가 가능하며 반도체 집적회로장치의 전기적 신뢰성 및 집적도를 높일 수 있다는 효과가 얻어진다.

*대표도*

*도1*

*명세서*

[발명의 명칭]

반도체 장치 및 그 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 제1의 실시예에 따른 반도체 집적회로장치의 개략 구성을 도시한 주요부의 단면도,

제2도는 제1도에 도시된 반도체 집적회로장치의 제조방법을 설명하기 위해 사용된 주요부의 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

*(57) 청구의 범위*

**청구항 1**

MISFET 및 바이폴라 트랜지스터를 갖는 반도체장치의 제조방법으로써, 실리콘 반도체 기판을 마련하는 스텝, 상기 기판을 다른 도전형 불순물로 선택적으로 도프하고 그것에 의해 MISFET용 상기 기판의 제1표면부분에 제1반도체 영역을, 바이폴라 트랜지스터용의 상기 기판의 제2표면부분에 제2반도체 영역을 각각 형성하는 스텝 상기 제1및 제2표면부분상에 에피택셜층을 형성하는 스텝, 상기 반도체 기판의 제1표면 부분상의 일부의 상부에 그것과 절연해서 게이트 전극을 형성하는 스텝, 상기 반도체 기판의 제2표면부분상의 상기 에피택셜층에 불순물을 도입하고 그것에 의해 그 안에 베이스 영역을 형성하는 스텝, 상기 게이트 전극 및 베이스 영역의 상면 및 측면을 포함하는 기판의 전면상에 제1절연막을 형성하는 스텝, 상기 베이스상의 상기 제1절연막의 일부에 구멍을 뚫고 그것에 의해 상기 베이스 영역의 일부를 노출하는 스텝, 상기 제1절연막상 및 상기 베이스영역의 노출된 부분상에 도프된 폴리실리콘막상을 형성하는 스텝, 상기 도프된 폴리실리콘막상에 제2절연막을 형성하는 스텝, 상기 제2절연막 및 도프된 폴리실리콘막이 상기 베이스 영역이 노출된 부분 및 상기 제1절연막내의 구멍을 규정하는 절연막의 주변부분상에 잔존하도록 상기 제2절연막 및 도프된 폴리실리콘막을 패터닝하는 스텝, 상기 게이트 전극의 측면 및 이미터 전극의 측벽에 절연 스페이서를 형성하는 스텝, 상기 기판의 제1표면부분상의 에피택셜층 내에 불순물 및 상기 기판의 제2표면부분상의 베이스 영역 내의 불순물을, 상기 게이트전극 및 이미터 전극에 대해서 자기정합적으로 도입하는 스텝, 얻어진 기판을 열처리하고 그것에 의해 상기 에피택셜층 내에 도입된 불순물을 확산시켜서 상기 에피택셜층 내에 소오스/드레인 영역을 형성하고, 상기 베이스 영역내에 도입된 불순물을 확산시켜서 진성 베이스 영역을 상기 이미터 전극의 하부에 그리고 상기 진성베이스 영역을 둘러싸는 외인성 베이스 영역을 상기 기판의 제2표면부분 내에 형성하고, 상기 이미터 전극을 구성하는 잔존하는 도프된 폴리실리콘막을부터의 상기 불순물의 확산을 일으켜 이미터 영역을 상기 진성베이스 영역내에 형성하는 스텝, 상기 게이트 전극 및 이미터 전극의 상면 및 상기 게이트 전극 및 이미터 전극의 절연 스페이서 표면을 포함하는 상기 기판의 전면상에 고융점 금속막을 형성한 스텝, 얻어진 기판을 열처리해서 그거셍 의해 상기 에피택셜층 내의 소오스/드레인 영역상, 상기 게이트 전극상, 상기 외인성 베이스 영역상에 실리사이드층을 형성하는 스텝을 포함하고, 상기 잔존하는 제2절연막으로 피복된 잔존하는 도프된 폴리실리콘막은 이미터 전극으로써 작용하고, 상기 이미터 전극은 그것을 피복하고 있는 제2절연막에 의해 불순물의 도입으로부터 보호되고, 상기 이미터 전극은 그것을 피복하고 있는 제2절연막에 의해 고융점 급속막이형성되지 않도록 보호되는 반도체 장치의 제조방법.

**청구항 2**

제1항에 있어서, 상기 도프된 폴리실리콘막 형성은 상기 제1절연막상 및 상기 베이스 영역의 노출된 부분상에 폴리실리콘막을 형성하는 스텝 및 그 폴리실리콘막 내에 불순물을 도입하는 스텝을 포함하는 반도체 장치의 제조방법.

**청구항 3**

제1항에 있어서, 상기 절연 스페이서 형성은 상기 이미터 전극의 상면 및 측면과 상기 제1절연막을 포함하는 상기 기판의 전면상에 제3절연막을 형성하는 스텝 및 그 제3절연막과 상기 제1절연막을 이방성 에칭하는 스텝을 포함하는 반도체 장치의 제조방법.

**청구항 4**

제1항에 있어서, 상기 기판의 제1표면부분상의 에피택셜층으로의 불순물 확산 및 상기 기판의 제2표면부분상의 베이스 영역으로의 불순물 확산은 동일 스텝으로 실행되고, 상기 소오스/드레인 영역 및 외인성 영역은 동일 도전형인 반도체 장치의 제조방법.

**청구항 5**

MISFET 및 저항기를 갖는 반도체장치의 제조방법으로써, 실리콘 반도체 기판을 마련하는 스텝, 상기 기판을 다른 도전형의 불순물로 선택적으로 도프하고 그것에 의해 MISFET용 상기 기판의 제1표면부분에 제1반도체 영역은 저항기용 상기 기판의 제2표면부분내 제2반도체 영역을 각각 형성하는 스텝 상기 제1 및 제2의 표면부분상에 에픽택셜층을 형성하는 스텝, 상기 반도체 기판의 제1표면부분상의 일부의 상부에 그것과 절연해서 게이트 전극을 형성하는 스텝,상기 반도체 기판의 제2표면부분상의 에피택셜층에 불순을 도입하고 그것에 의해, 그 안에 저항영역을 형성하는 스텝, 상기 게이트 전극의 상면, 측면 및 상기 저항영역을 포함하는 기판의 전면상에 제1절연막을 형성하는 스텝, 상기 제1절연막상에 도프된 폴리실리콘막을 형성하는 스텝, 상기 폴리실리콘막상에 제2절연막을 형성하는 스텝, 상기 제1 및 제2절연막과 싱기 도프된 폴리실리콘막이 상기 저항영역의 실질적인 부분상에 잔존하도록 상기 제2절연막, 상기 도프된 폴리실리콘막 및 상기 제1절연막을 패터닝하는 스텝, 상기 게이트 전극의 측면 및 상기 잔존하는 도프된 실리콘막의 측면에 절연 스페이서를 형성하는 스텝, 상기 기판의 제1표면부분상의 에피택셜층 내에 불순물을 또는 상기 저항영역의 다른 부분 내의 불순물을, 상기 게이트 전극에 대해서 및 상기 저항영역 상부의 상기 잔존하는 제1 및 제2절연막 및 상기 잔존하는 도프된 폴리실리콘막에 대해서 자기정합적으로 도입하는 스텝, 얻어진 기판을 열처리하고 그것에 의해 상기에피택셜층 내에 도입된 불순물을 확산시켜서 상기 기판의 제2표면부분상의 에피택셜층 내에 소오스/드레인 영역을 형성하고, 상기 저항영역의 다른 부분에 도입된 상기 불순물을 확산시켜서 상기 기판의 제2표면부분상의에피택셜층 내에 접촉영역을 형성하는 스텝,상기 게이트 전극의 상면 및 상기 저항영역 상부의 잔존하는 제2절연막의 상면, 상기 게이트 전극 및 이미터 전극의 상면 및 상기 게이트 전극 및 이미터 전극의 절연 스페이서의 표면을 포함하는 상기 기판의 전면상에 고융점 금속막을 형성한 스텝, 얻어진 기판을 열처리하고 그것에 따라 상기 소오스/드레인 영역상 상기 게이트 전극상, 상기 저항영역의 접촉형상에 실리사이트층을 형성하는 스텝을 포함하고, 상기 잔존하는 도프된 폴리실리콘막은 그위의 잔존하는 제2절연막에 의해 불순물의 도입으로부터 보호되고, 상기 잔존하는 도프된 폴리실리콘막은 그것을 피복하고 있는 상기 잔존하는 제2절연막에 의해고융점 금속막이 형성되지 않도록 보호되는 반도체 장치의 제조방법.

**청구항 6**

MISFET 및 저항기를 갖는 반도체장치의 제조방법으로써, 실리콘 반도체 기판을 마련하는 스텝, 상기 기판을 다른 도전형의 불순물로 선택적으로 도프하고 그것에 의해 MISFET용 상기 기판의 제1표면부분에 제1반도체 영역을, 저항기용 상기 기판의 제2표면부분내 제2반도체 영역을 각각 형성하는 스텝, 상기 기판의 제1및 제2의 표면부분상에 에피택셜층을 형성하는 스텝, 상기 반도체 기판의 제1표면부분상의 일부의 상부에 그것과 절연해서 게이트 전극을 형성하는 스텝, 상기 에피택셜층의 일부상에 형성된 필드 절연막과 상기 게이트전극의 상면 및 측면을 포함하는 기판이 전면상에 제1절연막을 형성하는 스텝, 상기 제1절연막상에 도프된 폴리실리콘막을 형성하는 스텝, 상기 폴리실리콘막상에 제2절연막을 형성하는 스텝, 상기 제1 및 제2절연막과 상기 도프된 실리콘막이 상기 필드 절연막상에 잔존하도록 상기 제2절연막, 상기 도프된 폴리실리콘막 및 상기 제1절연막을 패터닝하는 스텝, 상기 게이트 전극의 측면 및 상기 잔존하는 도프된 폴리실리콘막의 측면에 절연 스페이서를 형성하는 스텝, 상기 에피택셜층내에 불순물을 상기 게이트 전극에 대해서 자기정합으로 도입하는 스텝, 얻어진 기판을 열처리하고 그것에 따라 상기 에피택셜층 내에 도입된 불순물을 확산시켜서 상기 기판의 제1표면부분상의 에피택셜층내에 소오스/드레인 영역을 형성하는 스텝, 상기 게이트 전극의 상면 및 상기 잔존하는 도프된 폴리실리콘막 제2절연막의 상면과 상기 게이트 전극 및 상기 잔존하는 도프된 폴리실리콘막의 절연 스페이서를 포함하는 상기 기판의 전면상에 고융점 금속막을 형성하는 스텝, 얻어진 기판을 열처리하고 그것에 의해 상기 소오스/드레인 영역상, 상기 게이트 전극상에 실리사이드층을 형성하는 스텝을 포함하고, 상기 잔존하는 제1절연막으로 피복된 잔존하는 도프된 폴리실리콘막은 저항 소자로써 작용하고, 상기 잔존하는 도프된 실리콘막은 그위의 잔존하는 제2절연막 의해 불순물의 도입으로부터 보호되고, 상기 잔존하는 도프된 폴리실리콘막은 그것을 피복하고 있는 상기 잔존하는 제2절연막에 의해 고융점 금속막이 형성되지 않도록 보호되는 반도체 장치의 제조방법.

**청구항 7**

바이폴라 트랜지스터 및 저항기를 구비하는 반도체 장치의 제조방법으로써, 실리콘 반도체 기판을 마련하는 스텝, 상기 기판을 다른 도전형의 불순물로 선택적으로 도프하고, 그것에 의해 바이폴라 트랜지스터용 상기 기판의 제1표면부분에 제1반도체 영역을, 저항기용 상기 기판의 제2표면부분에 제2반도체 영역을 각각 형성하는 스텝, 상기 기판의 제1 및 제2표면부분상에 에피택셜층을 형성하는 스텝, 상기 기판의 제1 및 제2표면부분상의 에피택셜층 내에 불순물을 도입하고 그것에 의해 그 안에 베이스 영역 및 저항영역을 형성하는 스텝, 상기 저항영역을 포함하는 상기 기판의 전면상에 제1절연막을 형성하는 스텝, 상기 베이스 영역상의 상기 제1절연막의 일부에 구멍을 뚫고 그것에 의해 상기 베이스 영역의 일부를 노출하는 스텝, 상기 제1절연막상 및 상기 베이스 영역의 노출된 부분상에 도프된 폴리실리콘막을 형성하는 스텝, 상기 도프된 폴리실리콘막상에 제2절연막을 형성하는 스텝, 상기 제2절연막 및 도프된 폴리실리콘막이 상기 베이스 영역이 노출된 부분상, 상기 제1절연막 내의 구멍을 규정하는 상기 제1절연막의 주변부분상 및 상기 저항영역의 실질적인 부분의 상부에 잔존하도록 상기 제2절연막 및 도프된 폴리실리콘막을 패터닝하는 스텝, 상기 이미터 진성전극의 측면과 상기 잔존하는 도프된 실리콘막의 측면에 절연 스페이서를 형성하는 스텝, 상기 기판의 제1표면부분상의 상기 베이스 영역내의 불순물 및 상기 저항영역의 다른 부분내에 불순물을, 상기 잔존하는 제2절연막에 피복된 이미터 전극에 대해서 및 상기 저항영역상의 잔존하는 상기 제1및 제2의 절연막 및 도프된 폴리실리콘막에 대해서자기정합적으로 도입하는 스텝, 얻어진 기판을 열처리하고 그것에 의해 상기 베이스영역 내에 도입된 불순물을 확산시켜 진성 베이스 영역을 상기 이미터 전극의 하부에 그리고 상기 진성베이스 영역을 둘러싸는 외인성 영역을 상기 기판의 제1표면부분 내에 형성하고, 상기 이미터 전극을 구성하는 잔존하는 도프된 폴리실리콘막으로부터의 상기 불순물의 확산을 일으켜 이미터 영역을 상기 진성 베이스 영역내에 형성하고 상기 저항영역의 다른 부분에 도입된 상기 불순물의 확산시켜서 상기 기판의 제2의 표면부분상의 에피택셜층 내에 접촉영역을 형성하는 스텝, 상기 이미터 전극 및 상기 저항영역의 상부의 잔존하는 제2절연막의 상면과 상기 이미터 전극 및 상기 저항영역의 상부의 잔존하는 제2절연막의 상면과 상기 이미터 전극 및 상기 저항영역 상부의 잔존하는 도프된 폴리실리콘막의 절연 스페이서 표면을 포함하는 상기 기판의 전면상에 고융점 금속막을 형성하는 스텝, 얻어진 기판을 열처리하고 그것에 의해 상기 외인성 베이스 영역상, 상기 저항영역의 접촉영역상에 실리사이드층을 형성하는 스텝을 포함하고, 상기 베이스영역의 노출된 부분상 및 사익 제1절연막의 주변 부분상의 상기 잔존하는 도프된 폴리실리콘막은 이미터 전극으로써 작용하고, 상기 이미터 전극 및 상기 저항영역상의 잔존하는 도프된 폴리실리콘막은 그들 위에 있는 제2절연막에 의해 불순물의 도입으로부터 보호되고, 상기 이미터 전극 및 상기 저항영역 상부의 잔존하는 도프된 폴리실리콘막은 그들을 피복하고 있는 상기 잔존하는 제2절연막에 의해 그들 위에 고융점 금속막이 형성되지 않도록 보호되는 반도체 장치의 제조방법.

**청구항 8**

바이폴라 트랜지스터 및 저항기를 구비하는 반도체 장치의 제조방법으로써, 실리콘 반도체 기판을 마련하는 스텝, 상기 기판을 다른 도전형의 불순물로 선택적으로 도프하고, 그것에 의해 바이폴라 트랜지스터용 상기 기판의 제1표면부분에 제1반도체 영역을, 또 저항기용 상기 기판의 제2표면부분에 제2반도체 영역을 각각 형성하는 스텝, 상기 기판의 제1 및 제2표면부분상에 에피택셜층을 형성하는 스텝, 에피택셜층 내에 불순물을 도입하고 그것에 의해 상기 기판의 제1표면부분상의 상기 에피택셜층 내에 베이스 영역을 형성하는 스텝, 상기 에피택셜층 일부상에 형성된 필드 절연막을 포함하는 기판의 전면상에 제1절연막을 형성하는 스텝, 상기 베이스 영역상의 상기 제1절연막의 일부에 구멍을 뚫고 그것에 의해 상기 베이스 영역의 일부를 노출하는 스텝, 상기 제1절연막상 및 상기 베이스 영역의 노출된 부분상에 도프된 폴리실리콘막을 형성하는 스텝, 상기 도프된 폴리실리콘막상에 제2절연막을 형성하는 스텝, 상기 제2절연막 및 도프된 폴리실리콘막이 상기 베이스 영역이 노출된 부분상 및 상기 제1절연막 내의 구멍을 규정하는 상기 제1절연막의 주변부분상부에 잔존하도록 상기 제2절연막 및 도프된 폴리실리콘막을 패터닝하는 스텝, 상기 이미터 전극의 측면상과 필드 절연막상의 상기 잔존하는 도프된 폴리 실리콘막의 측면에 절연 스페이서를 형성하는 스텝, 상기 에피택셜층내에 불순물을, 상기 잔존하는 제2절연막에 피복된 이미터 전극에 대해서 자기 정합으로 도입하는 스텝, 얻어진 기판을 열처리해서 그것에 의해 상기 베이스 영역 내에 도입된 불순물을 확산시켜 진성 베이스 영역은 상기 이미터 전극의 하부에 그리고 상기 진성

베이스 영역을 둘러싸는 외인성 베이스영역을 상기 기판의 제1표면부분 내에 형성하고, 상기 이미터 전극을 구성하는 잔존하는 도프된 폴리실리콘막으로부터의 상기 불순물의 확산을 일으켜 이미터 영역을 상기 진성 베이스 영역내에 형성하는 스텝, 상기 이미터 전극 및 상기 필드 절연막 상부의 상기 잔존하는 제2절연막의 상면과 상기 이미터 전극 및 상기 필드 절연막 상부의 잔존하는 도프된 폴리실리콘막의 절연스페이서 표면을 포함하는 상기 기판의 전면상에 고융점 금속막을 형성하는 스텝, 얻어진 기판을 열처리해서 그것에 의해 상기 외인성 베이스 영역상에 실리사이드층을 형성하는 스텝을 포함하고, 상기 베이스 영역의 노출된 부분상 및 사익 제1절연막의 주변 부분상의 상기 잔존하는 도프된 폴리실리콘막은 이미터 전극으로써 작용하고, 상기 이미터 전극 및 상기 필드 절연막상의 잔존하는 도프된 폴리실리콘막은 그들 위에 있는 제2절연막에 의해 불순물의 도입으로부터 보호되고, 상기 이미터 전극 및 상기 필드 절연막 상부의 상기 잔존하는 도프된 폴리실리콘막은 그들을 피복하고 있는 상기 잔존하는 제2절연막에 의해 그들 위에 고융점 합금막이 형성되지 않도록 보호되는 반도체 장치의 제조방법.

**청구항 9**

싱글 실리콘 반도체 기판에 형성된 MISFET 및 바이폴라 트랜지스터를 갖는 반도체 장치로써, 상기 MISFET는 상기 반도체 기판의 제1표면부에 형성된 소오스/드레인 영역, 상기 소오스/드레인 영역 사이에서 상기 반도체 기판의 제1표면부분의 일부의 상부에 그것으로부터 절연되어 형성된 게이트 전극, 상기 게이트 전극 및 상기 소오스/드레인 영역의 각각의 위에 형성된 제1실리사이드층 및 상기 소오스/드레인 영역상의 상기 실리사이드층에 형성된 소오스/드레인 전극을 구비하고, 상기 바이폴라 트랜지스터는 상기 반도체 기판의 제2표면부분에 형성된 접촉저항과 그것에 인접한 컬렉터 접촉영역, 상기 컬렉터 접촉영역내에 형성된 진성 베이스 영역과 그것을 둘러싸는 외인성 베이스 영역, 상기 진성 베이스 영역 내에 형성된 이미터 영역, 상기 기판의 제2표면부분상에 형성되고 상기 이미터 영역의 주변부를 덮는 제1절연막, 상기 제1절연막상 및 상기 이미터 영역상에 형성된 이미터 전극, 상기 이미터 전극상에 형성된 제2절연막 및 상기 컬렉터 접촉영역 및 상기 베이스 영역의 각각의 위에 형성된 제2실리사이드층을 구비하는 반도체 장치.

**청구항 10**

싱글 실리콘 반도체 기판에 형성된 MISFET 및 저항기를 갖는 반도체 장치로써, 상기 MISFET는 상기 반도체 기판의 제1표면부에 형성된 소오스/드레인 영역, 상기 소오스/드레인 영역 사이에서 상기 반도체 기판의 제1표면부분의 일부의 상부에 그것으로부터 절연되어 형성된 게이트 전극, 상기 게이트 전극 및 상기 소오스/드레인 영역의 각가의 위에 형성된 제1실리사이드층 및 상기 소오스/드레인 영역상에 있는 상기 실리사이드층상에 형성된 소오스/드레인 전극을 구비하고, 상기 저항기는 상기 기판의 제2표면부분내에 형성된 저항영역상에 형성된 제1절연막, 상기 제1절연막상에 형성된 도프된 폴리실리콘막, 상기 도프된 폴리실리콘막상에 형성된 제2절연막을 구비하는 반도체 장치.

**청구항 11**

싱글 실리콘 반도체 기판에 형성된 MISFET 및 저항기를 갖는 반도체 장치로써, 상기 MISFET는 상기 반도체 기판의 제1표면부에 형성된 소오스/드레인 영역, 상기 소오스/드레인 영역 사이에서 상기 반도체 기판의 제1표면부분의 일부의 상부에 그것으로부터 절연되어 형성된 게이트 전극, 상기 게이트 전극 및 상기 소오스/드레인 영역의 각각의 위에 형성된 제1실리사이드층 및 상기 소오스/드레인 영역상에 있는 상기 실리사이드층상에 형성된 소오스/드레인 전극을 구비하고, 상기 저항기는 상기 기판의 제2표면부분내에 형성된 필드 절연막, 상기 필드 절연막의 일부상에 형성된 제1절연막, 상기 제1절연막상에 형성된 도프된 폴리실리콘막의 저항소자막, 도프된 저항소자막상에 제2절연막을 구비하는 반도체 장치.

**청구항 12**

싱글 실리콘 반도체 기판에 형성된 바이폴라 트랜지스터 및 저항기를 갖는 반도체 장치로써, 상기 바이폴라 트랜지스터는 상기 반도체 기판의 제1표면부분에 형성된 접촉저항과 그것에 인접한 컬렉터 접촉영역, 상기 컬렉터 접촉영역내에 형성된 진성 베이스 영역과 그것을 둘러싸는 외인성 베이스 영역, 상기 진성베이스 영역내에 형성된 이미터 영역, 상기 기판의 제1표면부분상에 형성되고 상기 이미터 영역의 주변부를 덮는 제1절연막, 상기 제1절연막상 및 상기 이미터 영역상에 형성된 이미터 전극, 상기 이미터 전극상에 형성된 제2절연막 및 상기 컬렉터 접촉영역 및 상기 외인성 베이스 영역의 각각의 위에 형성된 제1실리사이드층을 구비하고, 상기 저항기는 상기 기판의 제2표면부분내에 형성된 저항영역과 그 대향단에 인접한 한쌍의 접촉영역, 상기 한쌍의 접촉영역상에 형성된 한쌍의 제2실리사이드층, 상기 저항영역상에 형성된 제1절연막, 상기 제1절연막상에 형성된 도프된 폴리실리콘막, 상기 도프된 폴리실리콘막상에 형성된 제2절연막을 구비하는 반도체 장치.

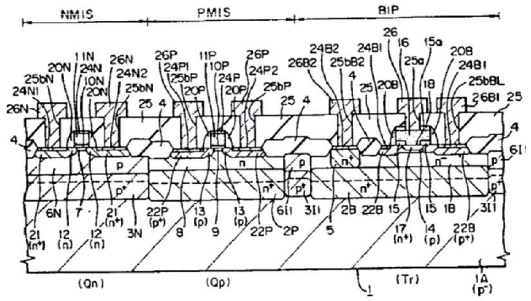
**청구항 13**

싱글 실리콘 반도체 기판에 형성된 바이폴라 트랜지스터 및 저항기를 갖는 반도체 장치로써, 상기 바이폴라 트랜지스터는 상기 반도체 기판의 제1표면부분에 형성된 접촉저항과 그것에 인접한 컬렉터 접촉영역, 상기 컬렉터 접촉영역내에 형성된 진성 베이스 영역과 그것을 둘러싸는 외인성 베이스 영역, 상기 진성베이스 영역내에 형성된 이미터 영역, 상기 기판의 제1표면부분상에 형성되고 상기 이미터 영역의 주변부를 덮는 제1절연막, 상기 제1절연막상 및 상기 이미터 영역상에 형성된 이미터 전극, 상기 이미터 전극상에 형성된 제2절연막 및 상기 컬렉터 접촉영역 및 상기 외인성 베이스 영역의 각각의 위에 형성된 제1실리사이드층을 구비하고, 상기 저항기는 상기 기판의 제2표면부분내에 형성된 필드 절연막, 상기 필드 절연막의 일부상에 형성된 제1절연막, 상기 제1절연막상에 형성된 도프된 폴리실리콘의 저항소자막, 상기 도프된 폴리실리콘의 저항소자막상에 형성된 제2절연막을 구비하는 반도체 장치.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

## 도면

### 도면1




### 도면2

