



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0033191
(43) 공개일자 2017년03월24일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
H05K 3/46 (2006.01) H05K 3/06 (2006.01)
H05K 3/20 (2006.01)</p> <p>(52) CPC특허분류
H05K 3/4697 (2013.01)
H05K 3/061 (2013.01)</p> <p>(21) 출원번호 10-2015-0131215
(22) 출원일자 2015년09월16일
심사청구일자 없음</p> | <p>(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)</p> <p>(72) 발명자
이재언
경기도 수원시 영통구 매영로 150 (매탄동)
백용호
경기도 수원시 영통구 매영로 150 (매탄동)
(뒷면에 계속)</p> <p>(74) 대리인
특허법인이지</p> |
|--|--|

전체 청구항 수 : 총 15 항

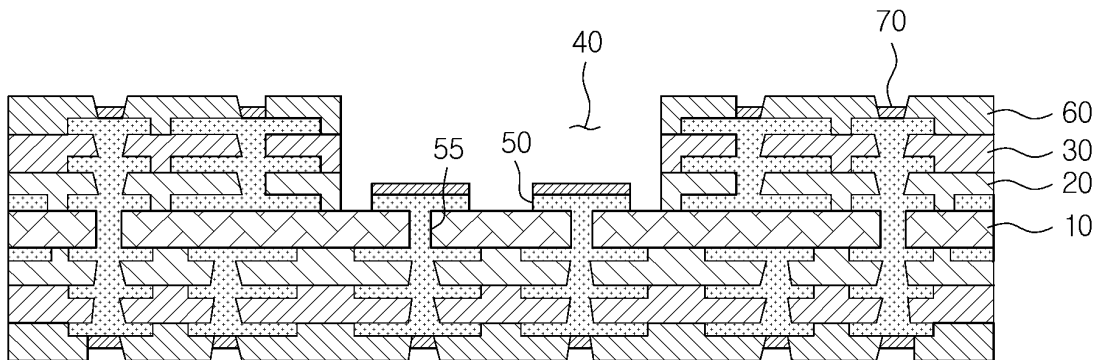
(54) 발명의 명칭 인쇄회로기판 및 그 제조 방법

(57) 요약

인쇄회로기판 및 그 제조 방법이 개시된다. 인쇄회로기판은 코어층, 상기 코어층 상에 감광성 재질로 형성된 제1 절연층, 상기 제1 절연층 상에 보강재가 함유된 재질로 형성된 제2 절연층, 상기 제1 절연층 및 제2 절연층의 내에 형성되는 캐비티를 포함한다.

대표도 - 도1

100



(52) CPC특허분류

H05K 3/202 (2013.01)

H05K 3/4602 (2013.01)

H05K 3/4626 (2013.01)

(72) 발명자

조정현

경기도 수원시 영통구 매영로 150 (매탄동)

이정환

경기도 수원시 영통구 매영로 150 (매탄동)

박진오

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

코어층;

상기 코어층 상에 감광성 재질로 형성된 제1 절연층;

상기 제1 절연층 상에 보강재가 함유된 재질로 형성된 제2 절연층; 및

상기 제1 절연층 및 제2 절연층 내에 형성되는 캐비티(cavity)

를 포함하는 인쇄회로기판.

청구항 2

제1항에 있어서,

상기 캐비티 내부에 위치하며, 상기 코어층 상에 형성되는 도체 패턴을 더 포함하는 인쇄회로기판.

청구항 3

제1항에 있어서,

상기 제2 절연층은,

일면에 동박이 적층된 프리프레그인 인쇄회로기판.

청구항 4

제1항에 있어서,

상기 제2 절연층의 상에 형성된 솔더레지스트(SR)층을 더 포함하는 인쇄회로기판.

청구항 5

제1항에 있어서,

상기 도체 패턴 상부에 형성되는 표면 처리층을 더 포함하는 인쇄회로기판.

청구항 6

코어층을 준비하는 단계;

감광성 재질로 형성된 제1 절연층을 상기 코어층 상에 적층하는 단계;

상기 제1 절연층 내에 제1 캐비티를 형성하는 단계; 및

보강재가 함유된 재질로 형성된 제2 절연층에, 상기 제1 캐비티에 대응되는 제2 캐비티를 형성하는 단계; 및

상기 제2 절연층을 상기 제1 절연층 상에 적층하는 단계를 포함하는 인쇄회로기판 제조 방법.

청구항 7

제6항에 있어서,
상기 제1 캐비티는 노광 및 현상 공정을 통해 형성되는 인쇄회로기판 제조 방법.

청구항 8

제6항에 있어서,
상기 제1 캐비티는, 상기 코어층 상에 형성된 도체 패턴을 노출시키고,
상기 제1 절연층을 상기 코어층 상에 적층하는 단계 이후에,
상기 제1 캐비티 내부에 상기 도체 패턴을 커버하는 보호층을 적층하는 단계를 더 포함하는 인쇄회로기판 제조 방법.

청구항 9

제8항에 있어서,
상기 제2 절연층을 상기 제1 절연층 상부에 적층하는 단계 이후에,
상기 보호층을 제거하는 단계를 더 포함하는 인쇄회로기판 제조 방법.

청구항 10

제8항에 있어서,
상기 보호층의 상면의 높이는,
상기 제1 절연층의 상면의 높이 이하인 인쇄회로기판.

청구항 11

제6항에 있어서,
상기 제2 절연층은 일면에 동박이 적층된 프리프레그인 인쇄회로기판 제조 방법.

청구항 12

제11항에 있어서,
상기 제2 캐비티는 상기 프리프레그 재질 부분이 타발되어 형성되는 적층하는 인쇄회로기판 제조 방법.

청구항 13

제6항에 있어서,
상기 제2 절연층은 상기 제1 캐비티의 면적보다 넓은 면적이 타발된 상태로 적층되는 인쇄회로기판 제조 방법.

청구항 14

제6항에 있어서,
 상기 제2 절연층 상에 솔더레지스트(SR)층을 형성하는 단계를 더 포함하는,
 인쇄회로기판 제조 방법.

청구항 15

제8항에 있어서,
 상기 도체 패턴을 상에 표면 처리층을 형성하는 단계를 더 포함하는 인쇄회로기판 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 인쇄회로기판 및 인쇄회로기판을 제조하기 위한 방법에 관한 것이다.

배경 기술

[0002] 반도체 패키지 형태가 초고밀도 및 소형화 됨에 따라, 임베딩(Embedding) 기판, 코어리스(Coreless) 기판 등 다양한 형태의 기판 기술이 요구되고 있다. 최근에는 임베딩 기술의 전 단계로써, 캐비티(cavity)기판의 기술이 개발되고 있다. 캐비티 기판은 기존의 단면 실장 기판에서 양면 실장을 가능하게 한다. 즉, 캐비티 기판을 사용하면 양면 실장 기판에서 한쪽 면에 캐비티를 형성하여 다이(die)나 컴포넌트(component)를 실장할 수 있게 된다. 이러한 캐비티 기판을 제조하기 위한 방법은 DFR 배리어층을 보호층으로 이용하는 것이다. 다만, DFR 배리어층을 이용해 캐비티 기판을 제조할 때, DFR 배리어층과 프리프레그가 반응하여 형성되는 DFR 잔사를 유발시키지 않기 위해 DFR 배리어층은 프리프레그와 맞닿지 않도록 설계되어야 한다. 또한, 프리프레그는 레진 플로우(resin flow)가 일어날 수 있어, 솔더레지스트 층이 일정 두께 이상으로 형성될 것을 요구한다. 이러한 점으로 인해, 캐비티 기판을 제조할 때는 프리프레그를 사용하지 않고 PID(Photo Imageable Dielectric)재질을 사용하여 포토리소그래피(Photolithography) 공정을 이용할 수 있다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본공개특허 제1999-186448호 (1997. 07. 09. 공개)

발명의 내용

해결하려는 과제

[0004] 따라서, 본 발명은 PID 재질을 사용할 때의 휨 현상을 막고, DFR 배리어층과 프리프레그 간의 DFR 잔사를 발생시키지 않으면서 전체 패키지의 높이를 낮춘 인쇄회로기판 및 그 제조 방법을 제공한다.

과제의 해결 수단

[0005] 본 발명의 일 측면에 따르면, 코어층, 코어층 상에 감광성 재질로 형성된 제1 절연층, 제1 절연층 상에 보강재가 함유된 재질로 형성된 제2 절연층 및 제1 절연층 및 제2 절연층 내에 형성되는 캐비티를 포함하는 인쇄회로기판이 제공된다.

[0006] 또한, 본 발명의 다른 측면에 따르면, 코어층을 준비하는 단계, 감광성 재질로 형성된 제1 절연층을 코어층 상에 적층하는 단계, 제1 절연층 내에 제1 캐비티를 형성하는 단계 및 보강재가 함유된 재질로 형성된 제2 절연층에, 상기 제1 캐비티에 대응되는 제2 캐비티를 형성하는 단계 및 상기 제2 절연층을 상기 제1 절연층 상에 적층하는 단계를 포함하는 인쇄회로기판 제조 방법이 제공된다.

발명의 효과

- [0007] 본 발명의 일 실시예에 따르면, 2개의 층에 캐비티를 형성해 전체 패키지의 높이를 낮출 수 있다.
- [0008] 또한, 본 발명의 일 실시예에 따르면, 내부 절연층은 PID 재질로, 외부 절연층은 PPG 재질로 형성함에 따라, 휨이 저감될 수 있다.

도면의 간단한 설명

- [0009] 도 1은 본 발명의 일 실시예에 따른 인쇄회로기판을 설명하는 도면이다.
- 도 2 내지 도 19는 도 1에 따른 인쇄회로기판의 제조 방법을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0010] 본 출원에서 사용한 용어는 단지 특정한 실시예를 설명하기 위해 사용된 것으로, 본 발명을 한정하려는 의도가 아니다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 그리고, 명세서 전체에서, "상에"라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것이 아니다.
- [0011] 또한, 결합이라 함은, 각 구성 요소 간의 접촉 관계에 있어, 각 구성 요소 간에 물리적으로 직접 접촉되는 경우만을 뜻하는 것이 아니라, 다른 구성이 각 구성 요소 사이에 개재되어, 그 다른 구성에 구성 요소가 각각 접촉되어 있는 경우까지 포괄하는 개념으로 사용하도록 한다.
- [0012] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0013] 이하, 본 발명에 따른 인쇄회로기판 및 인쇄회로기판의 실시예를 첨부도면을 참조하여 상세히 설명하기로 하며, 첨부 도면을 참조하여 설명함에 있어, 동일하거나 대응하는 구성 요소는 동일한 도면번호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.

인쇄회로기판

일 실시예

- [0016] 도 1은 본 발명의 일 실시예에 따른 인쇄회로기판을 설명하는 도면이다.
- [0017] 도 1을 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)은 코어층(10), 제1 절연층(20), 제2 절연층(30), 캐비티(40), 도체 패턴(50), 솔더레지스트층(60) 및 표면 처리층(70)을 포함할 수 있다.
- [0018] 코어층(10)은 인쇄회로기판(100)의 중심에 형성되며, 적층 기판의 휨(warp)에 대한 안정성을 유지시킨다. 코어층(10)은 일반적으로 기판에서 사용하는 프리프레그를 이용한 CCL(Copper Clad Lamination) 혹은 인터포저 등에서 사용하는 실리콘, 글라스, 세라믹과 같은 재료일 수 있으며, 코어층(10)의 재료는 이에 한정되지 않는다.
- [0019] 또한, 도 1에 도시된 바와 같이 코어층(10) 상에 도체 패턴(50)이 형성될 수 있다. 코어층(10)은 상하부에 형성된 도체 패턴(50)을 상호 연결하는 관통홀(55)을 구비할 수 있다.
- [0020] 제1 절연층(20)은 코어층(10) 상부, 하부 또는 상하부에 적어도 하나 이상 형성될 수 있다. 제1 절연층(20)은 감광성 재질로 형성될 수 있다. 예를 들어, 제1 절연층(20)은 감광성 재질로, 감광성 폴리히드록시스티렌(PHS), 감광성 폴리벤조옥사졸(PBO), 감광성 폴리이미드(PI), 감광성 벤조시클로부텐(BCB), 감광성 폴리실록산, 감광성 에폭시, 노볼락(Novolac) 수지 중에서 선택된 어느 하나 이상을 포함할 수 있다. 감광성 재질로 형성된 제1 절연층(20)은 인쇄회로기판(100)의 공정 중 필요한 DFR(Dry Film Resist) 필름과 반응하지 않기 때문에 DFR 잔사 및 기타 회로 불량 등을 막을 수 있다.
- [0021] 제2 절연층(30)은 제1 절연층(20) 상부에 적어도 하나 이상 형성될 수 있다. 이때, 제1 절연층(20)의 상부라 함은 제1 절연층(20)에 접하는 경우뿐만 아니라 제1 절연층(20)과의 사이에 다른 하나 또는 다수의 절연층이 개재되는 경우를 포함할 수 있다.

- [0022] 제2 절연층(30)은 비감광성 재질로, 유리 섬유 또는 무기 필러와 같은 보강재가 함유된 수지, 예를 들어, 프리프레그로 형성될 수 있다. 또한, 제2 절연층(30)은 회로 패턴을 형성하기 위해 동박이 적층된 프리프레그로 형성될 수 있다. 보강재가 함유된 재질로 형성된 제2 절연층(30)은 휨(warping)에 대한 저감 효과를 가져올 수 있다.
- [0023] 캐비티(40)는 제1 절연층(20) 및 제2 절연층(30) 내부에 형성될 수 있다. 캐비티(40)는 제1 절연층(20) 내부에 포함되는 제1 캐비티(41) 및 제2 절연층(30) 내부에 포함되는 제2 캐비티(42)를 포함할 수 있다. 이때, 제1 캐비티(41)는 노광(exposure) 및 현상(developing) 공정을 통해 형성될 수 있다.
- [0024] 도체 패턴(50)은 캐비티(40) 내부에 위치하며, 코어층(10) 상부에 형성될 수 있다. 도체 패턴(50)은 포토리소그래피(photolithography) 공정을 통해 형성될 수 있다. 구체적으로, 도체 패턴(50)은 텐팅(tenting) 공정에 의해 형성될 수 있다. 또한, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 도체 패턴(50)이 제1 절연층(20) 및 제2 절연층(30)의 캐비티(40) 내부에 위치하기 때문에, 이후 칩이 제1 절연층(20) 및 제2 절연층(30)의 캐비티 내부에 실장 될 수 있어 전체 패키지의 높이를 낮출 수 있다.
- [0025] 솔더레지스트층(60)은 도체 패턴(50)이 선택적으로 노출될 수 있도록, 제2 절연층(30) 상에 형성될 수 있다. 특히, 솔더레지스트층(60)은 패턴을 덮어 부품 실장 시 의도하지 않은 솔더에 의한 접착이 발생하지 않도록 할 수 있다. 또한, 솔더레지스트층(60)은 회로 패턴의 쇼트, 부식 또는 오염 등을 방지하고, 인쇄회로기판의 피막으로 남아 외부의 충격 및 화학물질 등으로부터 인쇄회로기판의 회로를 보호하는 역할을 한다.
- [0026] 표면 처리층(70)은 도체 패턴(50) 상부에 형성될 수 있다. 예를 들어, 표면 처리층(70)은 ENIG(Electroless Nickel Immersion Gold) 또는 ENEPIG(Electroless Nickel Electroless Palladium Immersion Gold) 방식에 의해 형성할 수 있다. 따라서, 표면 처리층(70)은 금(Au), 팔라듐(Pd-p), 니켈(Ni-P) 및 구리(Cu)층을 포함할 수 있다.
- [0027] **인쇄회로기판의 제조 방법**
- [0028] 일 실시예
- [0029] 도 2 내지 도 18은 도 1에 따른 인쇄회로기판의 제조 방법을 설명하는 도면이다.
- [0030] 도 2 내지 도 4는 코어층에 패턴을 형성하는 단계를 설명하는 도면이다.
- [0031] 도 2를 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 동박으로 코팅된 코어층(10)을 준비하는 단계를 포함할 수 있다.
- [0032] 도 3을 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 코어층(10)에 관통홀(55)을 형성하는 단계를 포함할 수 있다. 예를 들어, 관통홀(55)은 레이저 드릴 공정에 의해 형성될 수 있다. 여기서, 레이저 드릴 공정은 주로 CO2 레이저를 사용하는 것이 바람직하지만, 이산화탄소(CO2), 야그(YAG) 및 엑시머(Eximer) 중 적어도 어느 한 종류에 의해 수행될 수 있으며, 본 발명에서는 레이저의 종류를 한정하지 않는다.
- [0033] 도 4를 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 코어층(10)에 회로 패턴(11)을 형성하는 단계를 포함할 수 있다. 예를 들어, 회로 패턴(11)은 포토리소그래피(Photolithography) 공정에 의해 형성될 수 있다. 구체적으로, 회로 패턴(11)은 텐팅 공정에 의해 형성될 수 있다. 텐팅 공정은 서브스트랙티브(substractive) 에칭(etching)으로 회로 패턴(11)을 형성하는 것을 전제로, 에칭 시 비아가 에칭되는 것을 방지하기 위해 비아의 상면에 에칭 레지스트(etching resist)가 형성될 수 있다.
- [0034] 도 5 내지 도 12는 제1 절연층에 패턴을 형성하는 단계를 설명하는 도면이다.
- [0035] 도 5 및 도 6을 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 코어층(10) 상부에 감광성 재질로 형성된 제1 절연층(20)을 적층하는 단계 및 제1 절연층(20) 상에 제1 캐비티(41)를 형성하는 단계를 포함할 수 있다.
- [0036] 예를 들어, 제1 캐비티(41)는 노광(exposure) 및 현상(developing) 공정을 통해 형성될 수 있다. 구체적으로, 제1 절연층(20)은 포지티브 타입(Positive Type)의 감광성 재질로 형성될 수 있다. 포지티브 타입의 감광성 재질은 노광 공정에서, 빛을 받은 부분의 광중합체 폴리머 결합이 끊어질 수 있다. 이후, 현상 공정을 수행하면, 광중합체 폴리머 결합이 끊어진 부분이 제거가 될 수 있다. 또한, 제1 절연층(20)은 네거티브 타입(Negative Type)의 감광성 재질로 형성될 수 있다. 네거티브 타입의 감광성 재질은 노광 공정에서, 빛을 받은 부분이 광중합 반응을 일으켜 단일구조에서 사슬구조의 3차원 망상 구조를 형성시켜 경화될 수 있다. 이후, 현상 공정을 수

행하면, 경화되지 않은 부분이 제거가 될 수 있다.

- [0037] 도 7을 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 제1 절연층(20) 상부에 도금층(21)을 형성하는 단계를 포함할 수 있다. 예를 들어, 도금층(21)은 무전해 구리 도금(electroless Cu plating) 공정을 통해 형성될 수 있다. 여기서, 도금 공정은 구리 이외의 전도성 금속으로 사용되는 것이라면 제한 없이 적용 가능하며, 인쇄회로기판(100)에서는 구리를 사용하는 것이 전형적이다.
- [0038] 도 8을 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 제1 절연층(20) 상부에 필름(22)을 적층하는 단계를 포함할 수 있다. 예를 들어, 필름(22)은 DFR 필름을 사용할 수 있다.
- [0039] 도 9를 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 필름(22)에 노광(exposure) 및 현상(developing) 공정을 수행하는 단계를 포함할 수 있다.
- [0040] 도 10을 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 제1 절연층(20) 상부에 회로 패턴(23)을 형성하는 단계를 포함할 수 있다. 예를 들어, 회로 패턴(23)은 텐팅 공정, SAP(Semi-Additive Process), MSAP(Modify Semi-Additive Process) 등 회로 기판 분야에서 사용되는 회로 패턴 형성 공정이 적용되어 형성될 수 있다. 예를 들어, 회로 패턴(23)은 전해 구리 도금(electrolytic Cu plating) 공정을 통해 형성될 수 있다.
- [0041] 도 11을 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 필름(22)을 박리(striping)하는 단계를 포함할 수 있다.
- [0042] 도 12를 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 도금층(21)을 제거하는 단계를 포함할 수 있다. 예를 들어, 도금층(21)은 플래시 에칭(Flash etching) 공정을 통해 제거될 수 있다. 특히, 플래시 에칭 공정은 무전해 구리 도금으로 형성된 도금층(21)만을 선택적으로 제거할 수 있다. 무전해 구리 도금과 전해 구리 도금은 도금 방식의 차이로 인해 구조적 차이(예를 들어, Cu particle size, Cu particle의 조밀도 등)가 발생할 수 밖에 없어, 플래시 에칭 공정을 통해 선택적으로 도금층(21)이 제거될 수 있다.
- [0043] 도 13 내지 도 17은 제2 절연층을 적층하여 패턴을 형성하는 단계를 설명하는 도면이다.
- [0044] 도 13을 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 보호층(80)을 적층하는 단계를 포함할 수 있다. 예를 들어, 보호층(80)은 DFR 필름을 사용할 수 있다.
- [0045] 또한, 보호층(80)의 상면의 높이는 제1 절연층(20)의 상면의 높이 이하일 수 있다. 따라서, 보호층(80)과 제2 절연층(30)이 맞닿지 않기 때문에, DFR 잔사 및 기타 회로 불량들이 발생하지 않을 수 있다.
- [0046] 도 14를 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 제2 절연층(30)을 적층하는 단계를 포함할 수 있다. 예를 들어, 제2 절연층(30)은 동박이 적층된 프리프레그일 수 있다.
- [0047] 또한, 제2 절연층(30)은 프리프레그 재질 부분이 타발된 상태로 적층될 수 있다. 제2 절연층(30)은 보호층(80)의 폭보다 넓게 타발된 상태로 적층될 수 있다. 예를 들어, 제2 절연층(30)이 프리프레그 일 경우, 프리프레그는 낮은 유동성(low flow)을 가지기 때문에, 보호층(80)의 폭보다 넓게 타발된 상태로 적층되더라도, 적층된 이후에 캐비티(40)의 폭에 맞게 형성될 수 있다.
- [0048] 도 15를 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 패턴링(patterning)을 통해 동박(31)을 식각하는 단계 및 레이저 드릴 공정을 통해 제2 절연층(30)을 식각하는 단계를 포함할 수 있다.
- [0049] 도 16을 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 제2 절연층(30) 상에 비아(32)를 형성하는 단계를 포함할 수 있다. 예를 들어, 비아(32)는 구리 도금(Cu plating) 공정을 통해 형성될 수 있다. 비아(32)는 제2 절연층(30) 상하부에 형성되는 회로 패턴(33)을 연결할 수 있다.
- [0050] 도 17을 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 제2 절연층(30) 상에 회로 패턴(33)이 형성되는 단계를 포함할 수 있다. 회로 패턴(33)은 포토리소그래피 공정에 의해 형성될 수 있다. 예를 들어, 회로 패턴(33)은 텐팅 공정에 의해 형성될 수 있다.
- [0051] 도 18 및 도 19는 제1 절연층 및 제2 절연층이 적층된 인쇄회로기판의 표면을 처리하는 단계를 설명하는 도면이다.
- [0052] 도 18을 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 제2 절연층(30) 상에 솔더레지스트층(60)을 적층하는 단계를 포함할 수 있다.

[0053] 도 19를 참조하면, 본 발명의 일 실시예에 따른 인쇄회로기판(100)의 제조 방법은, 보호층(80)을 박리하는 단계 및 회로 패턴(33) 및 도체 패턴(50)을 보호하기 위해 표면 처리층(70)을 적층하는 단계를 포함할 수 있다. 예를 들어, 표면 처리층(70)은 ENIG(Electroless Nickel Immersion Gold) 또는 ENEPIG(Electroless Nickel Electroless Palladium Immersion Gold) 방식에 의해 형성할 수 있다.

[0054] 이와 같이 제1 절연층(20)에 보호층(80)과 반응하지 않는 재료를 사용함으로써, DFR 잔사 및 기타 회로 불량 문제가 발생되지 않는다. 또한, 제2 절연층(30)에 강성이 높은 재료를 사용해 제1 절연층(20)을 감싸주면서, 본 발명의 일 실시예에 따른 인쇄회로기판(100)은 휨 저감 효과를 일으킬 수 있다. 또한, 제1 절연층(20) 및 제2 절연층(30) 내에 캐비티(40)를 형성함으로써 전체 패키지의 높이를 낮출 수 있다.

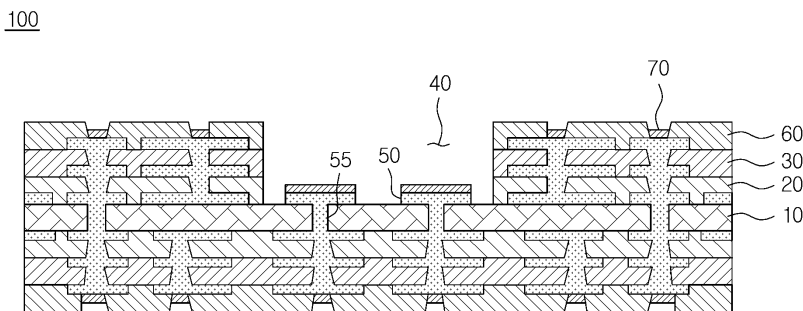
[0055] 이상, 본 발명의 일 실시예에 대하여 설명하였으나, 해당 기술 분야에서 통상의 지식을 가진 자라면 특허청구범위에 기재된 본 발명의 사상으로부터 벗어나지 않는 범위 내에서, 구성 요소의 부가, 변경, 삭제 또는 추가 등에 의해 본 발명을 다양하게 수정 및 변경시킬 수 있을 것이며, 이 또한 본 발명의 권리범위 내에 포함된다 할 것이다.

부호의 설명

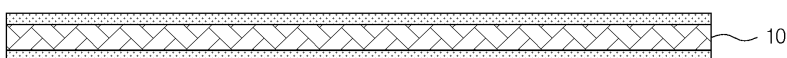
- [0056] 100: 인쇄회로기판
- 10: 코어층
- 20: 제1 절연층
- 30: 제2 절연층
- 40: 캐비티
- 50: 도체 패턴
- 60: 솔더레지스트층
- 70: 표면처리층

도면

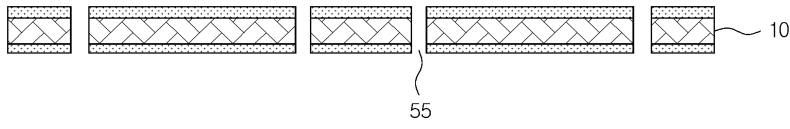
도면1



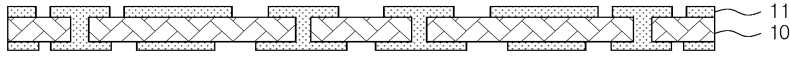
도면2



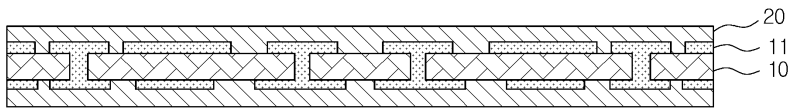
도면3



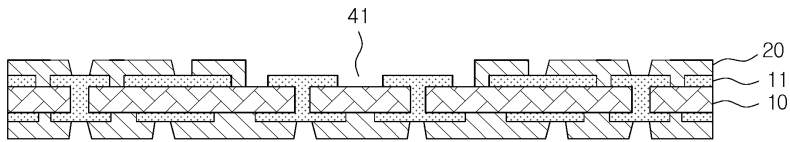
도면4



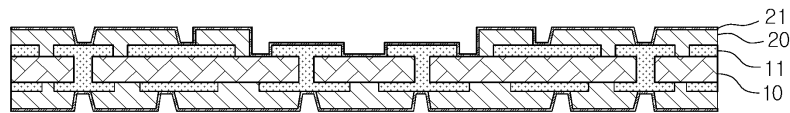
도면5



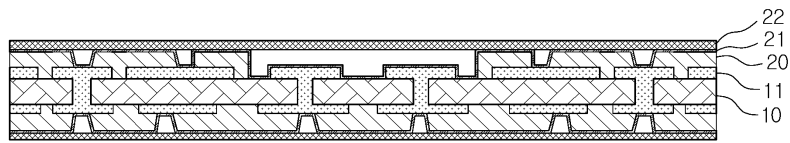
도면6



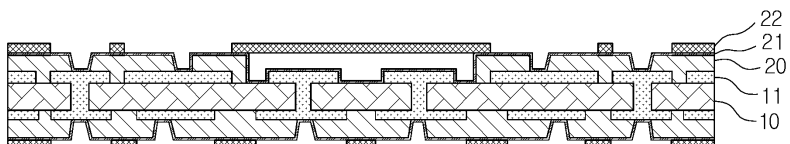
도면7



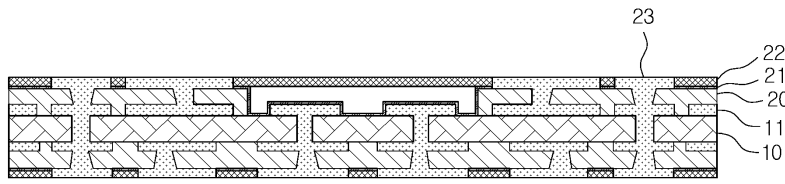
도면8



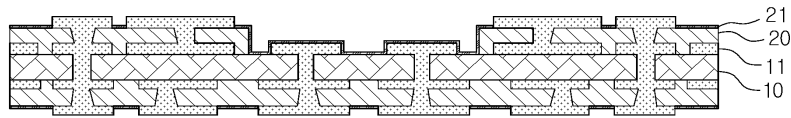
도면9



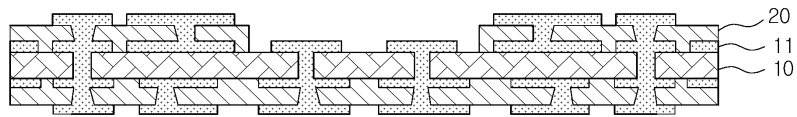
도면10



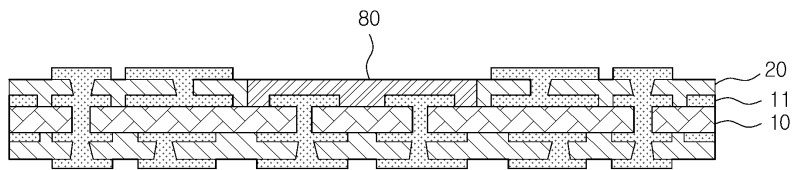
도면11



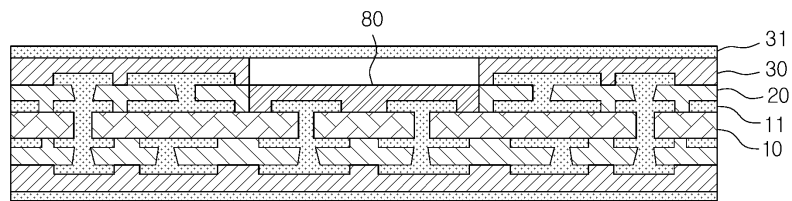
도면12



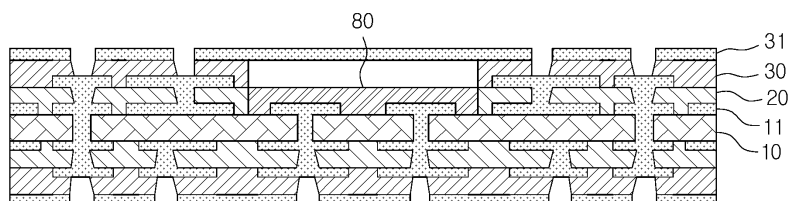
도면13



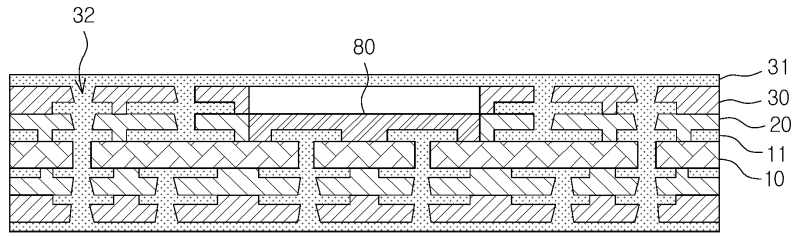
도면14



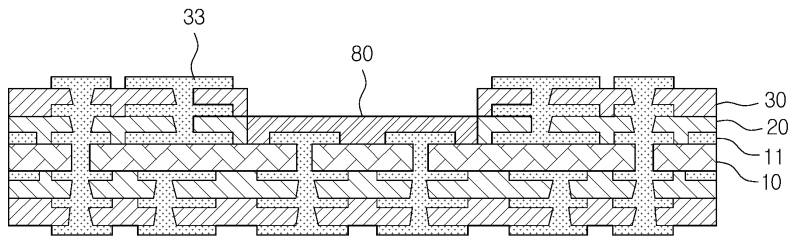
도면15



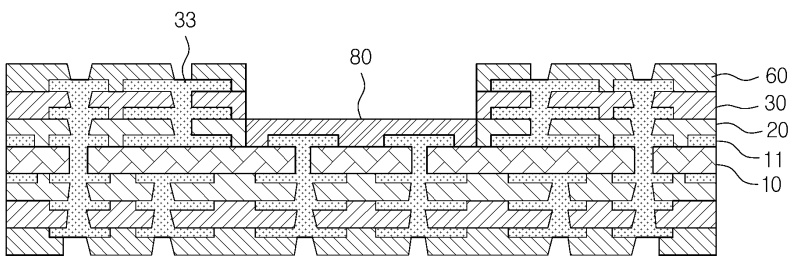
도면16



도면17



도면18



도면19

