

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 82 08428

(54) Procédé et dispositif pour adresser une mémoire à accès aléatoire.

(51) Classification internationale (Int. Cl.³). G 11 C 8/00.

(22) Date de dépôt..... 14 mai 1982.

(33) (32) (31) Priorité revendiquée : *EUA, 22 décembre 1980, n° 219.294.*

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 36 du 10-9-1982.

(71) Déposant : FAIRCHILD CAMERA AND INSTRUMENT CORPORATION, résidant aux EUA.

(72) Invention de : Jonathan Jerold Stinehelfer.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Lucien Chareyron, Schlumberger Limited, service brevets,
42, rue Saint-Dominique, 75340 Paris Cedex 07.

2° demande divisionnaire bénéficiant de la date de dépôt du 22 décembre 1981 de la
demande de brevet initiale n° 81 23906 (art. 14 de la loi du 2 janvier 1968 modifiée).

PROCEDE ET DISPOSITIF POUR ADRESSER UNE MEMOIRE A ACCES ALEATOIRE

1 L'invention concerne un procédé et dispositif d'adressage pour mémoire à accès aléatoire.

Dans une porte d'adressage classique à deux transistors, on applique une tension constante ou de seuil V_{TH} à la base d'un transistor, un signal d'entrée variable à la base de l'autre transistor
5 et on lit des signaux de sortie complémentaires sur les collecteurs respectifs des transistors. Dans les mémoires à accès aléatoire ayant un montage à émetteurs communs, on utilise habituellement la phase de signaux de cadencement d'entrée pour augmenter la vitesse apparente de la mémoire. En pratique, par exemple dans une mémoire à accès aléatoire,
10 conçue pour être adressée à des intervalles de 48 ns, on peut augmenter la vitesse en changeant l'adresse de porte, par exemple toutes les 12 ns. Les sorties complémentaires de la porte, reliées à un décodeur, pourraient alors changer les lectures toutes les 12 ns. On a trouvé que
15 la conception habituelle des portes d'adressage et des décodeurs permet un fonctionnement à une telle vitesse. Cependant, la mémoire conçue pour fonctionner à une vitesse plus faible, ne peut pas répondre assez vite, ce qui peut introduire des erreurs de données dans le contenu de la mémoire.

20 L'invention a pour objet un procédé et un dispositif perfectionnés pour adresser une mémoire.

Selon un aspect de l'invention, un procédé pour adresser une mémoire à accès aléatoire comprend les étapes successives, consistant à adresser la mémoire à une adresse particulière, puis à une adresse autre
25 que ladite adresse particulière, puis à ladite adresse particulière.

Selon un autre aspect de l'invention, un dispositif pour adresser séquentiellement une mémoire à accès aléatoire, comprend des moyens pour adresser la mémoire à une adresse particulière; des moyens pour adresser la mémoire à une adresse autre que ladite adresse

1 particulière immédiatement après ledit adressage à l'adresse particulière; et des moyens pour adresser la mémoire uniquement à ladite adresse particulière immédiatement après ledit adressage à l'adresse autre que ladite adresse particulière.

5 La présente invention sera mieux comprise grâce à la description suivante d'un mode de réalisation particulier donné à titre d'exemple non limitatif en référence aux dessins annexés dans lesquels :

- la figure 1 est un schéma d'un circuit connu de porte d'adressage ;
- 10 - la figure 2 est un schéma d'une porte d'adressage suivant l'invention ; et
- la figure 3 est un schéma d'un système utilisant des portes d'adressage du type représenté sur la figure 2.

La figure 1 représente une porte d'adressage 10 de type connu.
15 La porte 10 comprend un premier transistor 12 ayant un émetteur 16, une base 18 et un collecteur 20, et un deuxième transistor 14 ayant un émetteur 22, une base 24 et un collecteur 26. Les transistors 12, 14 sont couplés par leurs émetteurs, et des résistances 28, 30 relient respectivement les collecteurs 20, 26 à une tension d'alimentation V_{cc} .
20 Les émetteurs 16, 22 sont reliés à un autre transistor 32 comportant un émetteur 34, une base 36 et un collecteur 38, l'émetteur 34 étant relié à une résistance 40 elle-même reliée à la masse. Des conducteurs d'adresses 42 et 44 sont respectivement reliés aux collecteurs 20 et 26.

En fonctionnement, un signal d'entrée IS (fig. 1) est appliqué
25 sur la base 18 du transistor 12, ce signal changeant de niveau à des intervalles de 12 nanosecondes, puis étant maintenu à son niveau bas pendant une période de 48 ns, durant laquelle la mémoire est adressée de façon conventionnelle. Une tension de seuil constante V_{TH} est appliquée sur la base 24 du transistor 14, et une tension de référence constante
30 V_R est appliquée sur la base 36 du transistor 32. Lorsque, par exemple, le signal IS est au niveau bas, le transistor 12 est bloqué, et le transistor 14 est rendu conducteur du fait de la tension V_{TH} appliquée sur sa base 24. Ainsi, la sortie A sur le conducteur 42 est au niveau haut, et la sortie A sur le conducteur 44 est au niveau bas. En supposant
35 ensuite que le signal IS passe au niveau haut, le transistor 12 devient conducteur. L'émetteur 16 du transistor 12 passe au niveau haut, de même que l'émetteur 22 du transistor 14 ce qui bloque le transistor 14. Ainsi, la sortie sur le conducteur 42 passe au niveau bas, tandis que la sortie sur le conducteur 44 passe au niveau haut.

1 Le transistor 32, sur la base 36 duquel est appliquée la tension
de référence V_R , sert à maintenir constant le courant s'écoulant de
 V_{cc} vers la masse, que le signal d'entrée du transistor 12 soit au
niveau haut ou au niveau bas, c'est à dire que le transistor 12 soit
5 conducteur et le transistor 14 bloqué, ou inversement.

Bien qu'une telle porte 10 soit capable de répondre correctement
à des changements du signal d'entrée IS toutes les 12 ns, comme décrit
ci-dessus, une telle vitesse peut provoquer des erreurs de stockage dans
une mémoire à accès aléatoire.

10 La figure 2 représente le circuit de porte 50 suivant
l'invention. Ce circuit comprend un premier transistor 52 ayant un
émetteur 54, une base 56 et un collecteur 58. Il comprend de plus un
deuxième transistor 60, ayant aussi un émetteur 62, une base 64 et un
collecteur 66, et un troisième transistor 68 possédant un émetteur 70,
15 une base 72 et un collecteur 74. Les trois transistors 52, 60, 68 sont
couplés par leurs émetteurs, et les transistors 52 et 60 sont couplés par
leurs collecteurs. Une résistance 76 relie les collecteurs 58 et 66 des
transistors 52, 60 à une source de tension d'alimentation V_{cc} et une
résistance 78 relie le collecteur 74 du transistor 68 à cette
20 alimentation. Les émetteurs 54, 62, 70 des transistors 52, 60, 68 sont
reliés au collecteur 80 d'un transistor 82, et l'émetteur 84 de ce
transistor 82 est relié à une résistance 96 elle-même connectée à la
masse. Un conducteur d'adresse 88 est relié aux collecteurs 58 et 66 des
transistors 52, 60, et un conducteur d'adresse 90 est relié au collecteur
25 74 du transistor 68.

De nouveau, un signal d'entrée IS, changeant de niveau à des
intervalles de 12 ns et restant au niveau bas pendant 48 ns, est appliqué
sur la base 56 du transistor 52. Un signal de commande CS est appliqué
sur la base 64 du transistor 60, ce signal de commande changeant de
30 niveau à des intervalles de 48 ns. Le passage au niveau haut du signal de
commande se produit sensiblement en même temps que le passage au niveau
haut du signal d'entrée IS après la période de 48 ns au niveau bas. Le
niveau bas du signal de commande est inférieur ou égal au niveau bas du
signal d'entrée, et le niveau haut du signal de commande est supérieur ou
35 égal au niveau haut du signal d'entrée.

En fonctionnement, lorsque le signal de commande est au niveau
bas, le transistor 60 est bloqué et le circuit fonctionne exactement
comme celui de la figure 1, la mémoire étant adressée pendant cette
période. Cependant lorsque le signal de commande est au niveau haut, le

1 transistor 60 est conducteur pendant une période de 48 ns, indépendamment
 du signal d'entrée appliqué au transistor 52. Ainsi, pendant cette
 période de 48 ns, le signal X est au niveau bas, tandis que le signal X
 est au niveau haut. On voit ainsi que les données stockées dans une
 5 mémoire à accès aléatoire sont protégées contre des changements rapides
 de niveau des conducteurs d'adresses. De nouveau, une tension de seuil
 constante V_{TH} est appliquée sur la base 72 du transistor 68, et une
 tension de référence constante V_R est appliquée sur la base 86 du
 transistor 82.

10 La figure 3 représente une utilisation de la porte d'adressage
 de l'invention dans une mémoire à accès aléatoire. Des portes d'adressage
 A_1 , A_2 , et A_3 sont reliées à un décodeur "X" 90 lui-même relié, par
 l'intermédiaire de 8 conducteurs binaires, à une mémoire à accès
 aléatoire 92. Des portes d'adressage A_4 , A_5 , et A_6 sont reliées à
 15 un décodeur "Y" 94 lui-même relié à la mémoire 92 par l'intermédiaire de
 8 conducteurs binaires. Un circuit de commande 99 est relié au décodeur 4
 pour lire et écrire dans la mémoire, l'information d'écriture étant
 fournie sur un conducteur de données 101 lorsque le signal de commande
 est dans le mode d'écriture. Chacune des portes d'adressage A_1 , A_2 ,
 20 A_3 reçoit son signal d'entrée respectif IS_1 , IS_2 , IS_3 , d'une
 bascule 95 de passage transparent des adresses du système qui est dans le
 mode de maintien lorsque le signal d'entrée est au niveau pendant 48 ns,
 et dans le mode transparent lorsque le signal d'entrée est en dehors de
 ces périodes de 48 ns. De même, les portes d'adressage A_4 , A_5 , A_6
 25 reçoivent des signaux d'entrée individuels IS_4 , IS_5 , IS_6 à partir
 d'une bascule 97 de passage transparent des adresses du système.
 Cependant, le signal de commande CS est appliqué à chaque porte, comme
 représenté sur la figure 2 (et également au contrôleur 99). Ainsi,
 lorsque le niveau bas du signal de commande CS est appliqué au transistor
 30 approprié de chaque porte A_1 à A_6 , les signaux d'entrée IS_1 , IS_2
 etc... sont utilisés pour fournir l'adressage de la mémoire 92.
 Toutefois, lorsque le signal de commande CS passe au niveau haut, la
 sortie X, X de chaque porte est préétablie et une adresse particulière de
 la mémoire est adressée, déterminée par le passage au niveau haut du
 35 signal CS.

On voit que la mémoire 92 peut être adressée de façon
 avantageuse en vue d'un essai grâce au système de l'invention. La mémoire
 92 sera adressée uniquement à une adresse particulière, par exemple
 l'adresse A, lorsque le signal de commande CS est au niveau haut. Lorsque

- 1 le signal de commande CS est au niveau bas, la mémoire 92 est adressée à
une adresse autre que l'adresse particulière A (par exemple l'adresse B),
par l'intermédiaire des signaux IS_1 , IS_2 , etc provenant des bascules
95, 97 dans le mode de maintien. Cependant, lorsque le signal de commande
5 CS passe de nouveau au niveau haut, la mémoire 92 est de nouveau adressée
à ladite adresse particulière A immédiatement après avoir été adressée à
l'adresse B.

- Pour faire un essai de toute la mémoire, le procédé consiste en
outre à adresser la mémoire 92 à une adresse non précédemment adressée et
10 autre que l'adresse particulière A, par exemple l'adresse C, puis à
adresser la mémoire à l'adresse particulière A, puis répéter les
opérations jusqu'à ce que toutes les adresses dans la mémoire 92 aient
été adressées. Ainsi, étant donné qu'on revient toujours à une adresse
particulière A entre l'adressage de points quelconques autres que
15 l'adresse particulière A, le nombre d'opérations pour l'essai de toute la
mémoire est beaucoup plus faible que celui qui serait nécessaire en
partant de n'importe quelle adresse possible pour arriver à n'importe
laquelle des autres adresses possibles.

- La technologie décrite ici est applicable pour fabriquer des
20 mémoires à accès aléatoire synchrones.

25

30

35

1

REVENDICATIONS

5

1. Procédé pour adresser une mémoire à accès aléatoire, caractérisé en ce qu'il comprend les étapes successives suivantes :

- adresser la mémoire à une adresse particulière;
- adresser la mémoire à une adresse autre que ladite adresse particulière; puis

10

- adresser la mémoire à ladite adresse particulière.

2. Procédé suivant la revendication 1, caractérisé en ce qu'il comprend les étapes successives suivantes :

- adresser la mémoire à une adresse non adressée précédemment et autre que ladite adresse particulière;

15

- adresser la mémoire à l'adresse particulière; et
- répéter ces deux étapes jusqu'à ce que toutes les adresses de la mémoire aient été adressées.

20

3. Dispositif pour adresser séquentiellement une mémoire à accès aléatoire, caractérisé en ce qu'il comprend :

- des moyens pour adresser la mémoire à une adresse particulière;

25

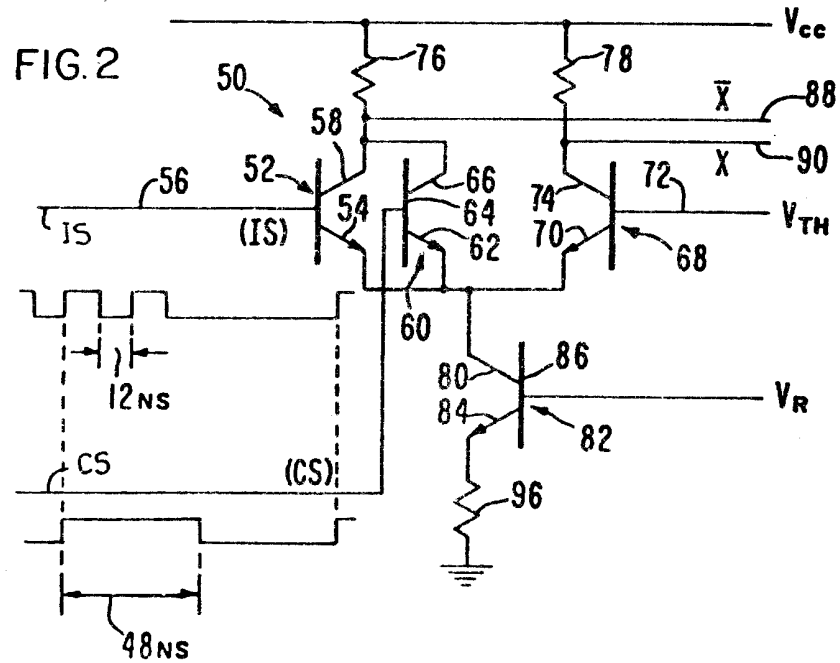
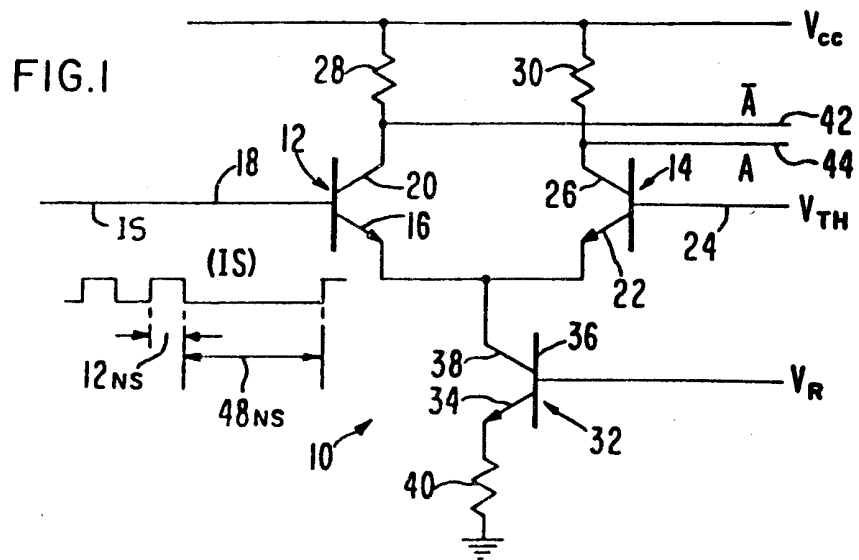
- des moyens pour adresser la mémoire à une adresse autre que ladite adresse particulière immédiatement après ledit adressage à l'adresse particulière; et

- des moyens pour adresser la mémoire uniquement à ladite adresse particulière immédiatement après ledit adressage à l'adresse autre que ladite adresse particulière.

30

35

1/2



2/2

FIG. 3

