



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0169676  
(43) 공개일자 2022년12월28일

(51) 국제특허분류(Int. Cl.)  
H01L 29/66 (2006.01) H01L 29/24 (2006.01)  
H01L 29/417 (2006.01)  
(52) CPC특허분류  
H01L 29/66969 (2013.01)  
H01L 29/24 (2013.01)  
(21) 출원번호 10-2021-0080043  
(22) 출원일자 2021년06월21일  
심사청구일자 2021년06월21일

(71) 출원인  
고려대학교 산학협력단  
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)  
(72) 발명자  
김지현  
서울특별시 강남구 도곡로93길 12, 205동 302호  
박현익  
서울특별시 성북구 안암로9가길 9-27, 301호  
조철희  
서울특별시 종로구 지봉로14길 33  
(74) 대리인  
정은열, 김태훈

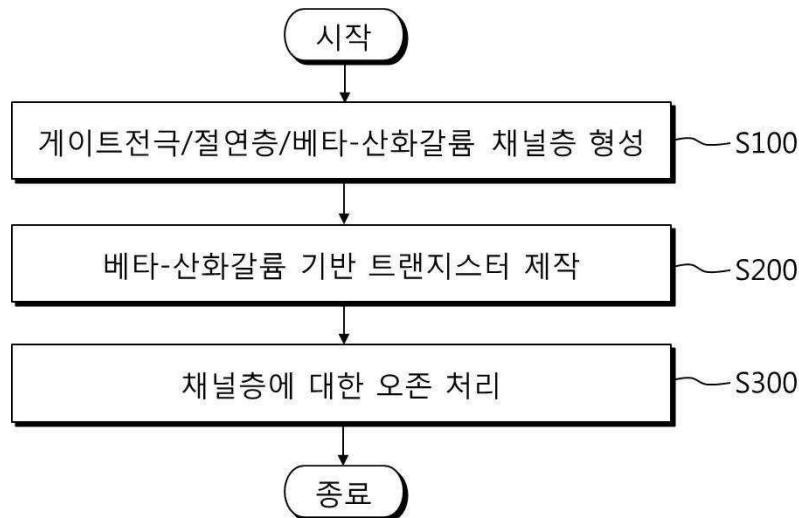
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 **베타-산화갈륨 트랜지스터의 안정성 개선 방법**

(57) 요약

본 발명은 베타-산화갈륨 채널층을 가지는 트랜지스터의 바이어스 스트레스 불안정성을 최소화하여 소자의 신뢰성을 향상시키는 베타-산화갈륨 트랜지스터의 안정성 개선 방법에 관한 것으로, 본 발명의 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법은 게이트전극 상에 배치된 절연층의 상부면에, 베타-산화갈륨 반도체로 채널층을 형성하는 단계(S100), 채널층의 상부면의 일측에 소스전극을 배치하고, 소스전극과 이격되는 타측에 드레인전극을 배치하여 베타-산화갈륨 기반 트랜지스터를 제작하는 단계(S200), 및 채널층의 상부면에 대해 오존을 처리하는 단계(S300)를 포함한다.

대표도 - 도1



(52) CPC특허분류

**H01L 29/41733** (2013.01)

이 발명을 지원한 국가연구개발사업

|             |                                        |
|-------------|----------------------------------------|
| 과제고유번호      | 1711128736                             |
| 과제번호        | 2020M3H4A3081799                       |
| 부처명         | 과학기술정보통신부                              |
| 과제관리(전문)기관명 | 한국연구재단                                 |
| 연구사업명       | 나노미래소재원천기술개발(R&D)                      |
| 연구과제명       | 산화갈륨 전력반도체 소자의 성능열화 억제 및 방열특성 향상 기술 개발 |
| 기 여 율       | 1/2                                    |
| 과제수행기관명     | 고려대학교                                  |
| 연구기간        | 2021.01.15 ~ 2021.12.31                |

이 발명을 지원한 국가연구개발사업

|             |                                     |
|-------------|-------------------------------------|
| 과제고유번호      | 1415170915                          |
| 과제번호        | 19-CM-BR-03-MKE                     |
| 부처명         | 산업통상자원부                             |
| 과제관리(전문)기관명 | 국방과학연구소                             |
| 연구사업명       | 민군기술협력(R&D)(산업부)                    |
| 연구과제명       | 220mW급 UV-LED 및 화학/생물 작용제 제독/살균기 개발 |
| 기 여 율       | 1/2                                 |
| 과제수행기관명     | 세미콘라이트                              |
| 연구기간        | 2021.01.01 ~ 2021.12.31             |

---

## 명세서

### 청구범위

#### 청구항 1

- (a) 게이트전극 상에 배치된 절연층의 상부면에, 베타-산화갈륨 반도체로 채널층을 형성하는 단계;
- (b) 상기 채널층의 상부면의 일측에 소스전극을 배치하고, 상기 소스전극과 이격되는 타측에 드레인전극을 배치하여 베타-산화갈륨 기반 트랜지스터를 제작하는 단계; 및
- (c) 상기 채널층의 상부면에 대해 오존을 처리하는 단계;를 포함하는 베타-산화갈륨 트랜지스터의 안정성 개선 방법.

#### 청구항 2

청구항 1에 있어서,

상기 (c) 단계에서, 상기 오존은, 상기 채널층의 상부면의 산소 공공에 따른 표면 결함에 반응하는 베타-산화갈륨 트랜지스터의 안정성 개선 방법.

#### 청구항 3

청구항 1에 있어서,

상기 (c) 단계는,

상기 베타-산화갈륨 기반 트랜지스터로부터 상향으로 가림막을 이격 배치하는 단계; 및

상기 가림막의 상측에서 자외선을 조사하여, 상기 오존을 생성하는 단계;를 포함하는 베타-산화갈륨 트랜지스터의 안정성 개선 방법.

#### 청구항 4

청구항 3에 있어서,

상기 베타-산화갈륨 기반 트랜지스터는 챔버의 내부에 배치되고,

소정의 유입속도로 공기가 상기 챔버의 내부로 유입되는 베타-산화갈륨 트랜지스터의 안정성 개선 방법.

#### 청구항 5

청구항 4에 있어서,

상기 공기의 유입속도는, 4 ~ 6 L/min인 베타-산화갈륨 트랜지스터의 안정성 개선 방법.

#### 청구항 6

청구항 1에 있어서,

상기 오존을 처리하는 시간은, 60분 이상인 베타-산화갈륨 트랜지스터의 안정성 개선 방법.

## 발명의 설명

### 기술 분야

- [0001] 본 발명은 베타-산화갈륨 트랜지스터의 안정성 개선 방법에 관한 것으로, 베타-산화갈륨 채널층을 가지는 트랜지스터의 바이어스 스트레스 불안정성을 최소화하여 소자의 신뢰성을 향상시키는 기술에 관한 것이다.

### 배경 기술

- [0003] 최근 반도체의 집적도가 높아지고 소자의 크기가 점점 작아짐에 따라 누설전류, 채널 길이 변조, 고온 반송자 효과 등의 문제점이 발생하면서 실리콘 반도체 소자의 한계가 나타나고 있다. 또한, 고내압, 고전류, 고온, 고주파수 등의 환경에서 사용되는 반도체 분야에서는 소형화에 따른 이러한 문제점들이 매우 중요하게 작용되면서 새로운 반도체 소재들이 주목받고 있다. 고전력, 고주파 특성을 갖는 반도체 소자를 구현하기 위해서는 높은 항복 전압과 동시에 높은 전자 이동도를 갖는 반도체 소재가 필요한데, 이러한 점에서 SiC, GaN, Ga<sub>2</sub>O<sub>3</sub> 등이 적합하다. 그 중에서 산화갈륨(Ga<sub>2</sub>O<sub>3</sub>)은 SiC와 GaN에 비해 상대적으로 더 넓은 에너지 밴드갭을 가지는 소재로서, 용액 성장을 통한 단결정 기판 제작이 가능하여 최근 활발하게 연구 개발이 진행되고 있다.
- [0004] 산화갈륨은 다양한 상으로 존재할 수 있는데, β 상이 물리적, 화학적으로 안정하기 때문에 소자의 응용에 가장 적절하다. 베타-산화갈륨(β-Ga<sub>2</sub>O<sub>3</sub>)은 높은 기계적, 화학적 안정성을 가지고, 4.9 eV의 에너지 밴드갭을 가지므로 고내압, 저손실 전력 반도체 소재로 유용하고, SiC, GaN보다 3배 더 큰 8 MV/cm의 파괴장도를 갖는 산화물 반도체로서 전력 반도체 시장에서 주목받고 있다. 특히, 하기 선행기술문헌의 특허문헌에 개시된 바와 같이, 산화갈륨을 박막 트랜지스터에 적용하기 위한 연구가 활발히 이루어지고 있다.
- [0005] 그러나 베타-산화갈륨 기반의 트랜지스터는 성장 과정에서 유발되는 고유 결함에 의해 게이트 전압을 인가했을 때에 전기적 열화가 발생한다. 예를 들어, 베타 산화갈륨 트랜지스터에 게이트 전압을 인가했을 때 채널 내부 혹은 채널과 기판의 계면에 트랩(trap)되는 전하들에 의해 트랜지스터의 문턱전압이 불안정해지고, 이동도, subthreshold swing 등의 소자의 특성 저하가 발생한다.
- [0006] 이에 종래 베타-산화갈륨 트랜지스터의 문턱전압 불안정성을 해결하기 위한 방안이 절실히 요구되고 있다.

## 선행기술문헌

### 특허문헌

- [0008] (특허문헌 0001) KR 10-2016-0043692 A

## 발명의 내용

### 해결하려는 과제

- [0009] 본 발명은 상술한 종래기술의 문제점을 해결하기 위한 것으로, 본 발명의 일 측면은 베타-산화갈륨 트랜지스터에 UV/오존 처리를 수행하여 채널의 표면 결함을 패시베이션시킴으로써 소자의 바이어스 스트레스 불안정성을 최소화하는 베타-산화갈륨 트랜지스터의 안정성 개선 방법을 제공하는 데 있다.

### 과제의 해결 수단

- [0011] 본 발명의 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법은 (a) 게이트전극 상에 배치된 절연층의 상부면에, 베타-산화갈륨 반도체로 채널층을 형성하는 단계; (b) 상기 채널층의 상부면의 일측에 소스전극을 배치하고, 상기 소스전극과 이격되는 타측에 드레인전극을 배치하여 베타-산화갈륨 기반 트랜지스터를 제작하는

단계; 및 (c) 상기 채널층의 상부면에 대해 오존을 처리하는 단계;를 포함한다.

- [0012] 또한, 본 발명의 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법에 있어서, 상기 (c) 단계에서, 상기 오존은, 상기 채널층의 상부면의 산소 공공에 따른 표면 결함에 반응할 수 있다.
- [0013] 또한, 본 발명의 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법에 있어서, 상기 (c) 단계는, 상기 베타-산화갈륨 기반 트랜지스터로부터 상향으로 가림막을 이격 배치하는 단계; 및 상기 가림막의 상측에서 자외선을 조사하여, 상기 오존을 생성하는 단계;를 포함할 수 있다.
- [0014] 또한, 본 발명의 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법에 있어서, 상기 베타-산화갈륨 기반 트랜지스터는 챔버의 내부에 배치되고, 소정의 유입속도로 공기가 상기 챔버의 내부로 유입될 수 있다.
- [0015] 또한, 본 발명의 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법에 있어서, 상기 공기의 유입속도는, 4 ~ 6 L/min일 수 있다.
- [0016] 또한, 본 발명의 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법에 있어서, 상기 오존을 처리하는 시간은, 60분 이상일 수 있다.

- [0018] 본 발명의 특징 및 이점들은 첨부도면에 의거한 다음의 상세한 설명으로 더욱 명백해질 것이다.
- [0019] 이에 앞서 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이고 사전적인 의미로 해석되어서는 아니되며, 발명자가 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다.

### 발명의 효과

- [0021] 본 발명에 따르면, 베타-산화갈륨 트랜지스터를 제작한 후 UV/오존 처리를 수행함으로써, 소자의 동작 과정에서 발생하는 전하의 트랩 현상을 억제하여 베타-산화갈륨 기반 트랜지스터의 신뢰성을 높일 수 있다.
- [0022] 또한, 상온, 상압 조건에서 오존 처리가 가능하기 때문에 적은 비용과 시간으로 베타-산화갈륨 트랜지스터를 제작할 수 있다.

### 도면의 간단한 설명

- [0024] 도 1 내지 도 2는 본 발명의 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법의 순서도이다.
- 도 3은 본 발명의 다른 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법의 순서도이다.
- 도 4는 실험예에 따른 베타-산화갈륨 트랜지스터의 성능 측정방법을 설명하는 도면이다.
- 도 5는 실험예에 따른 오존 처리 전 베타-산화갈륨 트랜지스터(a), 오존 처리 후 베타-산화갈륨 트랜지스터(b 및 c) 각각의 게이트 전압 스트레스에 따른 transfer characteristic 변화 그래프이다.
- 도 6은 실험예에 따른 오존 처리 전 베타-산화갈륨 트랜지스터(a), 오존 처리 후 베타-산화갈륨 트랜지스터(b 및 c) 각각의 문턱전압 변화 그래프이다.
- 도 7는 E-mode 베타-산화갈륨 MISFET의 오존 처리 전(a) 및 후(b) 성능 그래프이다.

### 발명을 실시하기 위한 구체적인 내용

- [0025] 본 발명의 목적, 특정한 장점들 및 신규한 특징들은 첨부된 도면들과 연관되어지는 이하의 상세한 설명과 바람직한 실시예들로부터 더욱 명백해질 것이다. 본 명세서에서 각 도면의 구성요소들에 참조번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다. 또한, "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위해 사용되는 것으로, 구성요소가 상기 용어들에 의해 제한되는 것은 아니다. 이하, 본 발명을 설명함에 있어서, 본 발명의 요지를 불필요하게 흐릴 수 있는 관련된 공지 기술에 대한 상세한 설명은 생략한다.

- [0026] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태를 상세히 설명하기로 한다.
- [0028] 도 1 내지 도 2는 본 발명의 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법의 순서도이다.
- [0029] 도 1 내지 도 2를 참고로, 본 발명의 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법은 게이트전극 상에 배치된 절연층의 상부면에, 베타-산화갈륨 반도체로 채널층을 형성하는 단계(S100), 채널층의 상부면의 일측에 소스전극을 배치하고, 소스전극과 이격되는 타측에 드레인전극을 배치하여 베타-산화갈륨 기반 트랜지스터를 제작하는 단계(S200), 및 채널층의 상부면에 대해 오존을 처리하는 단계(S300)를 포함한다.
- [0031] 본 발명은 베타-산화갈륨( $\beta$ -Ga<sub>2</sub>O<sub>3</sub>) 반도체를 채널층으로 포함하는 베타-산화갈륨 트랜지스터의 바이어스 스트레스 불안정성(bias stress instability, BSI)을 최소화하여 소자의 신뢰성을 향상시키는 베타-산화갈륨 트랜지스터의 안정성 개선 방법에 관한 것이다. 베타-산화갈륨은 높은 기계적, 화학적 안정성을 가지고, 4.9 eV의 에너지 밴드갭을 가지므로 고내압, 저손실 전력 반도체 소재로 유용하고, SiC, GaN보다 3배 더 큰 8 MV/cm의 파괴강도를 갖는 산화물 반도체로서 전력 반도체 시장에서 주목받고 있으며, 이러한 특성을 이용하여 박막 트랜지스터의 채널층으로 활용될 수 있다. 다만, 베타-산화갈륨 기반의 트랜지스터는 성장 과정에서 유발되는 고유 결함에 의해 게이트 전압을 인가했을 때에 전기적 열화, 예를 들어 베타 산화갈륨 트랜지스터에 게이트 전압을 인가했을 때 채널 내부 혹은 채널과 기판의 계면에 트랩(trap)되는 전하들에 의해 트랜지스터의 문턱전압이 불안정해지고, 이동도, subthreshold swing 등의 소자의 특성 저하가 발생하는 문제가 있는바, 이에 대한 해결방안으로서 본 발명이 안출되었다.
- [0032] 구체적으로, 본 발명의 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법은 채널층 형성단계(S100), 베타-산화갈륨 기반 트랜지스터 제작단계(S200), 및 오존 처리단계(S300)를 포함한다.
- [0034] 채널층 형성단계(S100)는 베타-산화갈륨 기반 트랜지스터의 채널층을 형성하는 공정이다. 트랜지스터의 구조는 채널층을 중심으로 게이트전극이 어디에 위치하는지에 따라 채널층 위에 게이트전극이 형성되면 상부 게이트 구조, 채널층 아래에 있으면 하부 게이트 구조로 분류하는데, 본 발명에 따른 트랜지스터는 하부 게이트 구조로 형성된다. 이하에서 본 발명에 따른 트랜지스터의 구성 중 일반적인 구성에 대해서는 설명을 생략하거나 간단하게만 기술했고 차이점을 중심으로 상세하게 설명한다. 채널층은 게이트전극 상에 배치된 절연층의 상부면에 배치된다. 게이트전극은 기판 상에 배치될 수 있다. 채널층은 베타-산화갈륨 반도체에 의해 형성된다.
- [0036] 베타-산화갈륨 기반 트랜지스터 제작단계(S200)에서는 상기 채널층의 상부면에 소스전극과 드레인전극을 배치한다. 소스전극과 드레인전극은 채널층의 상부면 중 서로 이격된 일측과 타측 영역에 배치되어, 서로 이격된다. 일반적인 트랜지스터는 채널층의 채널 영역에 채널층의 특성 저하를 방지하기 위해 Al<sub>2</sub>O<sub>3</sub> 등으로 이루어진 패시베이션층이 형성되는 반면, 본 발명은 별도의 패시베이션층을 형성하지 않고, 채널층의 상부면을 오존 처리한다.
- [0038] 오존 처리단계(S300)는 채널층의 상부면에 대해 오존을 처리하는 공정이다. 베타-산화갈륨 반도체에 의해 채널층이 형성되는 경우에 채널층의 상부면에 산소 공공에 따른 표면 결함이 발생할 수 있다. 반응성이 높은 오존은 물질 표면의 유기물이나 화학적으로 불안정한 산소 관련 결함 등에 반응하므로, 채널층의 상부면의 산소 공공에 따른 표면 결함을 제거할 수 있다. 여기서, 오존은 자외선(UV)을 이용하여 산소를 분해 및 결합시켜 생성될 수 있다. 결국, 채널층과 오존의 반응을 통해 채널층의 표면 결함을 패시베이션(passivation) 시킨다. 이렇게 채널층 표면 결함이 패시베이션 되면, 게이트 전압에 의한 전하의 트랩 효과가 감소되고, 이로 인해 바이어스 스트레스 불안정성이 저하되어 소자의 신뢰성을 향상시킬 수 있다.
- [0039] 여기서, 오존 처리는 시간이 증가함에 따라 소자의 불안정성 저하 효과가 증대되므로, 오존 처리 시간은 30분 이상, 바람직하게는 60분 이상이 적합하다.

- [0041] 도 3은 본 발명의 다른 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법의 순서도이다.
- [0042] 도 3을 참고로, 본 발명의 다른 실시예에 따른 베타-산화갈륨 트랜지스터의 안정성 개선 방법은 오존 처리 단계(S300)전에, 가림막을 배치할 수 있다.
- [0043] 자외선으로 산소를 오존으로 변화시키는 경우, 가림막은 채널층이 자외선에 노출되는 것을 방지한다. 이러한 가림막은 베타-산화갈륨 기반 트랜지스터로부터 상향으로 이격 배치된다. 여기서, 가림막과 베타-산화갈륨 기반 트랜지스터 사이의 이격 공간은 오존이 채널층의 상부면으로 유입되는 통로로 제공된다. 이렇게 가림막이 배치된 후에, 가림막의 상측에서 자외선을 조사하면, 자외선과 산소의 반응을 통해 생성된 오존이 채널층의 상부면의 결함을 제거한다. 여기서, 가림막이 채널층을 커버하여, 자외선이 채널층의 상부면에 조사되지 않으므로, 채널층의 표면에 대한 오존의 반응이 자외선에 의해 재분해되는 것을 방지한다.
- [0045] 이러한 UV/오존 처리는 챔버 내부에서 실행될 수 있다. 구체적으로, 베타-산화갈륨 기반 트랜지스터를 챔버의 내부에 배치하고, 공기를 챔버 내부로 유입시키면서, 자외선을 조사하여 채널층의 표면을 오존 처리할 수 있다. 여기서, 공기는 상온 조건에서 99.9% 이상의 고순도로서, 소정의 유입속도로 챔버로 유입될 수 있다. 이때, 유입속도는 4 ~ 6 L/min일 수 있고, 자외선은 180 ~ 190 nm 파장을 가질 수 있다. 또한, 30 ~ 60분 이상 자외선을 노출시켜 챔버 내에 오존 분위기를 조성하는 것이 바람직하다.
- [0047] 종합적으로, 본 발명에 따르면, 베타-산화갈륨 트랜지스터를 제작한 후 UV/오존 처리를 수행함으로써, 소자의 동작 과정에서 발생하는 전하의 트랩 현상을 억제하여 베타-산화갈륨 기반 트랜지스터의 신뢰성을 높일 수 있다. 또한, 상온, 상압 조건에서 오존 처리가 가능하기 때문에 적은 비용과 시간으로 베타-산화갈륨 트랜지스터를 제작할 수 있다.
- [0049] 이하에서는 실험예를 통해 본 발명을 보다 상세하게 설명한다.
- [0051] 실험예 1: 베타-산화갈륨 기반 트랜지스터의 문턱전압 측정
- [0052] 게이트전극 상의 절연층 위에 베타-산화갈륨을 성장시켜 채널층을 형성하고, 채널층의 표면에 소스전극과 드레인전극을 이격 배치하여 베타-산화갈륨 기반 트랜지스터를 제조하였다.
- [0053] 도 4는 실험예에 따른 베타-산화갈륨 트랜지스터의 성능 측정방법을 설명하는 도면으로, 도 4와 같이 상기 베타-산화갈륨 기반 트랜지스터의 transfer curve로부터 문턱전압(threshold voltage,  $V_{th}$ )을 추출하고, 추출해낸 문턱전압( $V_{th}$ )을 기준으로  $V_{th}-20$  V의 게이트 전압과 1 V의 드레인 전압을 소자에 1,000초 동안 인가하였다. 전압을 인가한 상태에서 10, 100, 1,000 및 10,000 초에서 스트레스를 멈추고 수초 동안 문턱전압을 측정하였다.
- [0055] 실험예 2: UV/오존 처리 후 베타-산화갈륨 기반 트랜지스터의 문턱전압 측정
- [0056] 상기 실험예 1에서 제조된 베타-산화갈륨 기반 트랜지스터를 UV/오존 클리너의 진공 챔버 내부에 위치시키고, UV의 영향을 받지 않으면서 오존과 채널층 표면이 반응하도록 가림막을 설치하였다. 상온 조건에서 99.99%의 고순도 공기의 흐름을 5 L/min의 속도로 챔버 내부에 흘려 보내고, 185 nm 파장의 자외선을 30분씩 누적하면서 상기 실험예 1과 같이 문턱전압 불안정성을 측정하였다.
- [0058] 소자의 문턱전압 불안정성 평가
- [0059] 실험예 1에 따라 UV/오존 처리 전의 베타-산화갈륨 트랜지스터, 실험예 2에 따라 30분간 UV/오존 처리된 베타-산화갈륨 트랜지스터, 및 60분간 UV/오존 처리된 베타-산화갈륨 트랜지스터의 성능을 평가하고, 그 결과를 도 5 내지 도 6에 나타냈다. 도 5는 실험예에 따른 오존 처리 전 베타-산화갈륨 트랜지스터(a), 오존 처리 후 베타-산화갈륨 트랜지스터(b 및 c) 각각의 게이트 전압 스트레스에 따른 transfer characteristic 변화 그래프이고, 도 6은 실험예에 따른 오존 처리 전 베타-산화갈륨 트랜지스터(a), 오존 처리 후 베타-산화갈륨 트랜지스터(b

및 c) 각각의 문턱전압 변화 그래프이다.

[0060] 오존 처리 전 소자의 문턱전압은 10,000초의 스트레스 이후 -6.1 V에서 -19.1 V로 이동하였고(도 5의 (a) 참조), 60분간 오존 처리된 소자의 문턱전압은 10,000초의 스트레스 이후 14.1 V에서 -6.4 V로 이동하였다.

[0061] 도 5의 transfer curve를 바탕으로 문턱전압을 추출한 결과, 10,000초 동안 스트레스를 가했을 때에 문턱전압의 변화가 오존 처리 전 -13.6 V에서 60분간 오존 처리 후 -7.8 V로 약 40% 정도 감소하였다(도 6 참조).

[0062] 이러한 결과로부터 베타-산화갈륨 기반 트랜지스터에 UV/오존 처리를 수행한 경우, 채널의 표면 결함이 제거되어 소자의 바이오스 스트레스 불안정성이 개선된다는 것을 알 수 있다.

[0064] E-mode 베타-산화갈륨 MISFET 제작

[0065] 도 7는 E-mode 베타-산화갈륨 MISFET의 오존 처리 전(a) 및 후(b) 성능 그래프이다.

[0066] E-mode의 전계효과 트랜지스터는 게이트 전압이 0 V일 때에 전류가 흐르지 않도록 normally-off되어야 한다. 일반적인 소자 제작 방법에 의한 산화갈륨 트랜지스터의 경우 D-mode로 구동하게 되는데, D-mode로 구동하는 소자의 경우 구성된 회로가 게이트 전압에 의해 off 상태에서도 열화가 일어날 수 있고, off 상태를 유지하기 위한 에너지 효율도 떨어지는 문제가 있다.

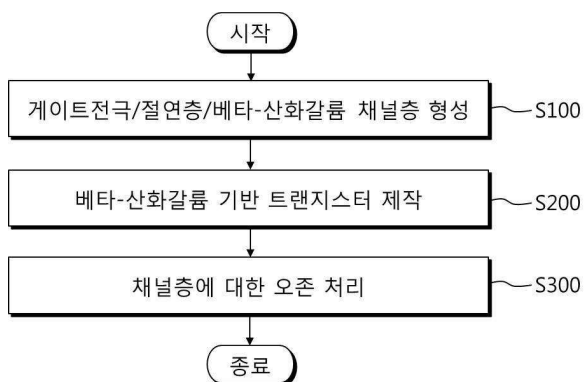
[0067] 이에 반해, 도 7을 참고로, 오존 처리에 의한 문턱전압 변화를 이용하면 E-mode 소자를 재현할 수 있다.

[0069] 이상 본 발명을 구체적인 실시예를 통하여 상세히 설명하였으나, 이는 본 발명을 구체적으로 설명하기 위한 것으로, 본 발명은 이에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야의 통상의 지식을 가진 자에 의해 그 변형이나 개량이 가능함이 명백하다.

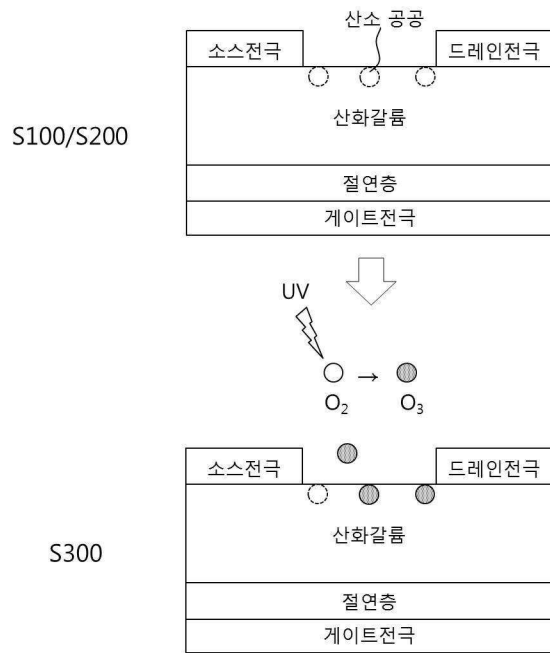
[0070] 본 발명의 단순한 변형 내지 변경은 모두 본 발명의 영역에 속한 것으로 본 발명의 구체적인 보호 범위는 첨부된 특허청구범위에 의하여 명확해질 것이다.

## 도면

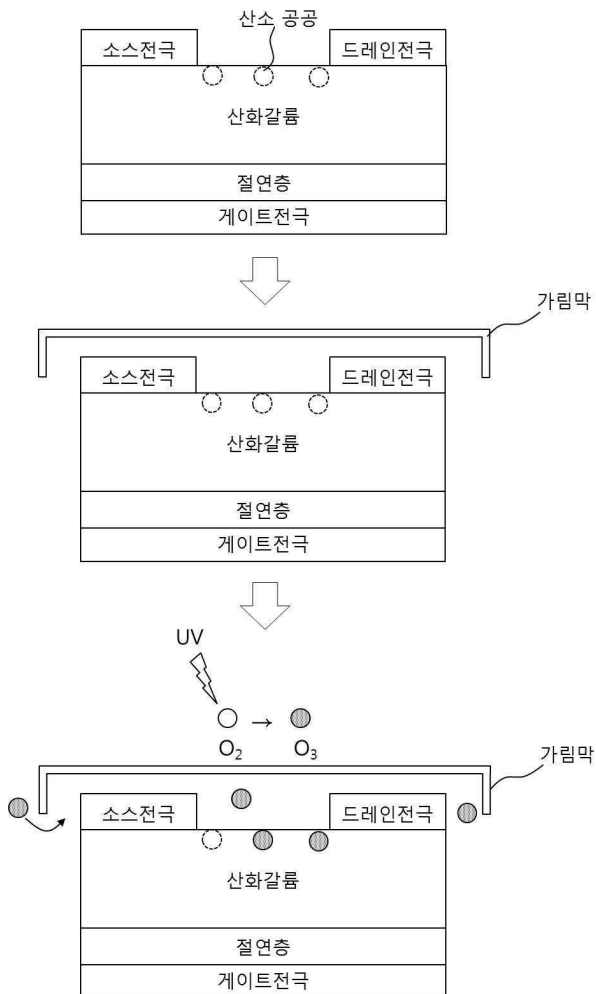
### 도면1



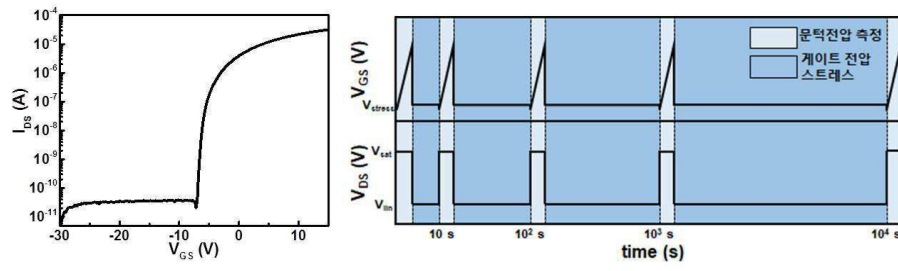
도면2



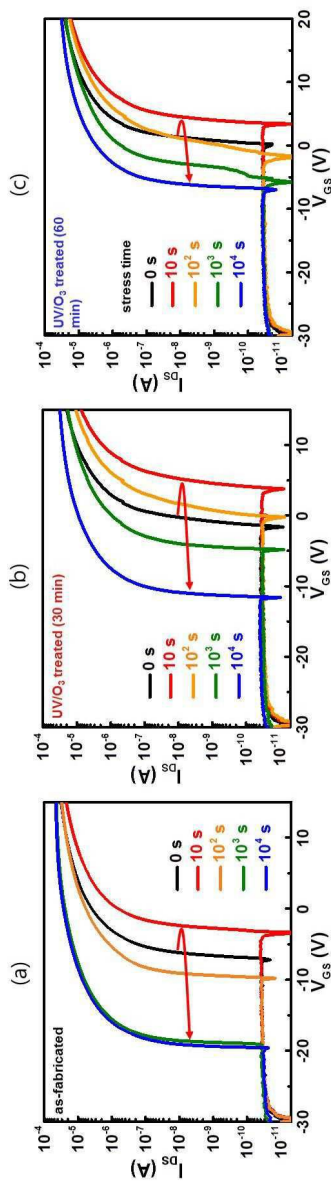
도면3



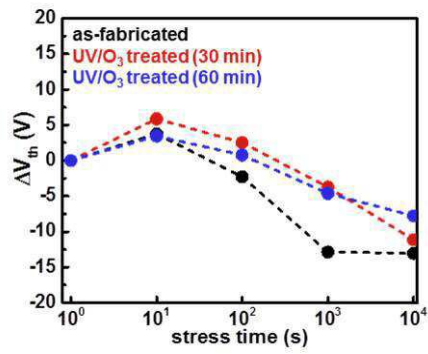
도면4



도면5



도면6



도면7

