

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成26年11月27日(2014.11.27)

【公開番号】特開2013-90290(P2013-90290A)

【公開日】平成25年5月13日(2013.5.13)

【年通号数】公開・登録公報2013-023

【出願番号】特願2011-232120(P2011-232120)

【国際特許分類】

H 03 K 5/15 (2006.01)

G 06 F 1/04 (2006.01)

G 06 F 1/10 (2006.01)

G 06 F 1/12 (2006.01)

【F I】

H 03 K 5/15 P

G 06 F 1/04 3 0 2 Z

G 06 F 1/04 3 3 0 A

G 06 F 1/04 3 4 0 A

【手続補正書】

【提出日】平成26年10月14日(2014.10.14)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

クロックツリーの分岐点を通じて分配されるクロック信号で動作する論理回路を有する半導体集積回路におけるクロック分配回路であって、

クロック信号が分配されるクロックツリーと、

前記クロックツリーの異なる分岐点から出力される複数のフィードバッククロック信号を受信し、各フィードバッククロック信号の位相差を検知する位相比較回路と、

前記位相比較回路によって検知した位相差に基づいて、前記半導体集積回路内の信号遅延バラツキを補正するためのバラツキ補正済フィードバッククロック信号を生成するフィードバッククロック信号生成回路と、

前記フィードバッククロック信号生成回路によって生成された前記バラツキ補正済フィードバッククロック信号と基準クロック信号との位相差が小さくなるように前記クロック信号を出力する位相調整回路と

を有することを特徴とするクロック分配回路。

【請求項2】

前記位相比較回路は、前記複数のフィードバッククロック信号の各フィードバッククロック信号の位相を比較して、位相差を検知する

ことを特徴とする請求項1に記載のクロック分配回路。

【請求項3】

前記フィードバッククロック信号生成回路は、前記複数のフィードバッククロック信号の位相差に基づいて、該複数のフィードバッククロック信号の内、中心特性に近いフィードバッククロック信号を選択して前記バラツキ補正済フィードバッククロック信号として生成する

ことを特徴とする請求項1または2に記載のクロック分配回路。

【請求項 4】

前記位相比較回路は、前記複数のフィードバッククロック信号の各フィードバッククロック信号と基準クロック信号との遅延差を比較することで、各フィードバッククロック信号の位相差を検知する

ことを特徴とする請求項 1 に記載のクロック分配回路。

【請求項 5】

前記フィードバッククロック信号生成回路は、前記複数のフィードバッククロック信号の各フィードバッククロック信号と基準クロック信号との遅延差から、平均遅延値を算出し、その算出した平均遅延値に従って中心特性となるフィードバッククロック信号を前記バラツキ補正済フィードバッククロック信号として生成する

ことを特徴とする請求項 1 または 4 に記載のクロック分配回路。

【請求項 6】

前記フィードバッククロック信号生成回路は、前記複数のフィードバッククロック信号の各フィードバッククロック信号と基準クロック信号との遅延差の内、前記平均遅延値と一定値以上の差がある遅延差がある場合、その遅延差を除く、残りの遅延差で平均遅延値を再算出して、その再算出した平均遅延値に従って中心特性となるフィードバッククロック信号を前記バラツキ補正済フィードバッククロック信号として生成する

ことを特徴とする請求項 5 に記載のクロック分配回路。

【請求項 7】

前記複数のフィードバッククロック信号のフィードバックパスの配線経路は、前記クロックツリーの起点から前記フィードバックパスの分歧点までのクロックの配線経路の近傍に配置される

ことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載にクロック分配回路。

【請求項 8】

請求項 1 に記載のクロック分配回路の形成方法であって、

前記複数のフィードバッククロック信号のフィードバックパスの配線経路を、前記クロックツリーの起点から前記フィードバックパスの分歧点までのクロックの配線経路の近傍に配置する工程と、

前記複数のフィードバッククロック信号のフィードバックパスを前記位相比較回路に接続する工程と、

前記位相比較回路と前記位相調整回路との間に前記フィードバッククロック信号生成回路を配置する工程と

を有することを特徴とするクロック分配回路の形成方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

上記の目的を達成するための本発明によるクロック分配回路は以下の構成を備える。即ち、

クロックツリーの分歧点を通じて分配されるクロック信号で動作する論理回路を有する半導体集積回路におけるクロック分配回路であって、

クロック信号が分配されるクロックツリーと、

前記クロックツリーの異なる分歧点から出力される複数のフィードバッククロック信号を受信し、各フィードバッククロック信号の位相差を検知する位相比較回路と、

前記位相比較回路によって検知した位相差に基づいて、前記半導体集積回路内の信号遅延バラツキを補正するためのバラツキ補正済フィードバッククロック信号を生成するフィードバッククロック信号生成回路と、

前記フィードバッククロック信号生成回路によって生成された前記バラツキ補正済フィ

ードバッククロック信号と基準クロック信号との位相差が小さくなるように前記クロック信号を出力する位相調整回路と
を有する。