(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7689297号
(P7689297)

(45)発行日　令和7年6月6日(2025.6.6)

(24)登録日　令和7年5月29日(2025.5.29)

(51)国際特許分類

Ｈ１０Ｄ　30/87　(2025.01)	Ｈ１０Ｄ	30/87	Ｌ
Ｈ１０Ｄ　89/60　(2025.01)	Ｈ１０Ｄ	30/87	Ｅ
Ｈ１０Ｄ　64/20　(2025.01)	Ｈ１０Ｄ	89/60	
Ｈ１０Ｄ　64/23　(2025.01)	Ｈ１０Ｄ	64/20	Ｆ
Ｈ０１Ｌ　21/3205(2006.01)	Ｈ１０Ｄ	64/23	Ｊ

ＦＩ

請求項の数　20　（全28頁）　最終頁に続く

(21)出願番号　特願2022-556427(P2022-556427)
(86)(22)出願日　令和3年8月16日(2021.8.16)
(86)国際出願番号　PCT/JP2021/029951
(87)国際公開番号　WO2022/079995
(87)国際公開日　令和4年4月21日(2022.4.21)
審査請求日　令和6年6月6日(2024.6.6)
(31)優先権主張番号　特願2020-174945(P2020-174945)
(32)優先日　令和2年10月16日(2020.10.16)
(33)優先権主張国・地域又は機関
日本国(JP)

(73)特許権者　314012076
パナソニックＩＰマネジメント株式会社
大阪府門真市元町２２番６号
(74)代理人　100109210
弁理士　新居 広守
(74)代理人　100137235
弁理士　寺谷 英作
(74)代理人　100131417
弁理士　道坂 伸一
(72)発明者　柳原 学
日本国大阪府門真市大字門真１００６番地 パナソニック株式会社内
(72)発明者　黒田 正行
日本国大阪府門真市大字門真１００６番地 パナソニックインダストリー株式会
最終頁に続く

(54)【発明の名称】　窒化物半導体装置

(57)【特許請求の範囲】

【請求項１】

基板と、

前記基板の上に複数の窒化物半導体層からなる半導体積層構造と、

前記半導体積層構造の上面側に、周囲を素子分離領域で囲まれる第１の活性領域と、

前記第１の活性領域の上にソース電極、前記ソース電極に対して平面視で第１方向に離間した両側に位置する第１のゲート電極と第２のゲート電極、前記第１のゲート電極または前記第２のゲート電極に対して前記ソース電極と反対方向に位置する少なくとも１つのドレイン電極を有し、

前記ソース電極、前記第１のゲート電極、前記第２のゲート電極、及び前記ドレイン電極は、平面視で前記第１方向と垂直な第２方向に延伸するフィンガー状の部分を有し、

前記ソース電極の上には第１の誘電体膜が形成されており、

前記第１のゲート電極と前記第２のゲート電極は、前記第１の誘電体膜の上に形成されたゲート電極連結部によって、電気的に接続している

窒化物半導体装置。

【請求項２】

前記第１のゲート電極、前記第２のゲート電極、および前記ゲート電極連結部は、同一の金属層で形成されている、

請求項１に記載の窒化物半導体装置。

【請求項３】

前記ゲート電極連結部の幅は、前記第１のゲート電極長及び前記第２のゲート電極長よりも大きい、
請求項１または２に記載の窒化物半導体装置。
【請求項４】
前記ソース電極の側面において、前記第１の誘電体膜と接する部分は順テーパー形状である、
請求項１から３のいずれか１項に記載の窒化物半導体装置。
【請求項５】
前記基板の上に、周囲を素子分離領域で囲まれる第２の活性領域を有し、
前記第２の活性領域に形成されたダイオードが複数個、直列接続された保護ダイオードが形成され、
前記保護ダイオードのアノードは前記ソース電極に電気的に接続され、
前記保護ダイオードのカソードは前記ゲート電極連結部に電気的に接続され、
前記保護ダイオードの前記アノードから前記カソードへ流れる電流の立ち上がり電圧は、前記第１の誘電体膜の絶縁破壊電圧よりも低い、
請求項１から４のいずれか１項に記載の窒化物半導体装置。
【請求項６】
前記ゲート電極連結部の下部を除いた前記ソース電極の上と、前記ドレイン電極の上には低抵抗金属層が形成されている、
請求項１から５のいずれか１項に記載の窒化物半導体装置。
【請求項７】
前記ソース電極の上に形成された前記低抵抗金属層は、前記第１のゲート電極および前記第２のゲート電極の上方を超えて、前記ドレイン電極の方向に延伸するソースフィールドプレート電極である、
請求項６に記載の窒化物半導体装置。
【請求項８】
前記第１方向に、前記ソース電極、前記第１のゲート電極、前記第２のゲート電極、前記ゲート電極連結部、前記ドレイン電極が繰り返して形成され、
複数の前記ゲート電極連結部の上には第２の誘電体膜が形成され、
前記第２の誘電体膜に形成されたビアを介して、複数の前記ゲート電極連結部を電気的に接続して、前記第１方向に延伸する第１のゲート引き出し配線を有する、
請求項１から７のいずれか１項に記載の窒化物半導体装置。
【請求項９】
前記第２の誘電体膜は、前記ソース電極、前記第１のゲート電極、前記第２のゲート電極、前記ドレイン電極の上にも形成され、
前記第１のゲート引き出し配線を挟んで、
前記第２の誘電体膜に形成されたビアを介して複数の前記ソース電極を電気的に接続して、前記第１方向に延伸する第１のソース引き出し配線と、
前記第２の誘電体膜に形成されたビアを介して複数の前記ドレイン電極を電気的に接続して、前記第１方向に延伸する第１のドレイン引き出し配線とを有する、
請求項８に記載の窒化物半導体装置。
【請求項１０】
前記第１のゲート引き出し配線、前記第１のソース引き出し配線、前記第１のドレイン引き出し配線は同一の金属配線層で形成されている、
請求項９に記載の窒化物半導体装置。
【請求項１１】
前記第１のゲート引き出し配線の一部に形成されたゲートパッドと、
前記第１のソース引き出し配線の一部に形成されたソースパッドと、
前記第１のドレイン引き出し配線の一部に形成されたドレインパッドとを有する、
請求項９または１０に記載の窒化物半導体装置。

【請求項１２】
前記第１のゲート引き出し配線、前記第１のソース引き出し配線、前記第１のドレイン引き出し配線はいずれも複数あり、
前記第１のゲート引き出し配線、前記第１のソース引き出し配線、前記第１のドレイン引き出し配線の上に第３の誘電体膜が形成され、
前記第３の誘電体膜に形成されたビアを介して、
複数の前記第１のゲート引き出し配線を電気的に接続して、前記第２方向に延伸する第２のゲート引き出し配線と、
複数の前記第１のソース引き出し配線を電気的に接続して、前記第２方向に延伸する第２のソース引き出し配線と、
複数の前記第１のドレイン引き出し配線を電気的に接続して、前記第２方向に延伸する第２のドレイン引き出し配線とを有する、
請求項１０に記載の窒化物半導体装置。
【請求項１３】
前記第１のソース引き出し配線の両側は前記第１のゲート引き出し配線で挟まれ、
前記第１のドレイン引き出し配線は前記第１のゲート引き出し配線で挟まれている、
請求項１２に記載の窒化物半導体装置。
【請求項１４】
前記第１のドレイン引き出し配線と前記第１のゲート引き出し配線の間隔は、
前記第１のソース引き出し配線と前記第１のゲート引き出し配線の間隔よりも大きい、
請求項１２または１３に記載の窒化物半導体装置。
【請求項１５】
前記第２のゲート引き出し配線、前記第２のソース引き出し配線、前記第２のドレイン引き出し配線は同一の金属配線層で形成されている、
請求項１２から１４のいずれか１項に記載の窒化物半導体装置。
【請求項１６】
前記第２のゲート引き出し配線の一部に形成されたゲートパッドと、
前記第２のソース引き出し配線の一部に形成されたソースパッドと、
前記第２のドレイン引き出し配線の一部に形成されたドレインパッドとを有する、
請求項１２から１５のいずれか１項に記載の窒化物半導体装置。
【請求項１７】
基板と、
前記基板の上に複数の窒化物半導体層からなる半導体積層構造と、
前記半導体積層構造の上面側に、周囲を素子分離領域で囲まれる第１の活性領域と、
前記第１の活性領域の上に、
第１のソース電極と、前記第１のソース電極に対して平面視で第１方向に離間した両側に位置する第１のゲート電極と第２のゲート電極と、
第２のソース電極と、前記第２のソース電極に対して平面視で第１方向に離間した両側に位置する第３のゲート電極と第４のゲート電極とを有し、
前記第１のソース電極、前記第１のゲート電極、前記第２のゲート電極、前記第２のソース電極、前記第３のゲート電極、前記第４のゲート電極は、平面視で前記第１方向と垂直な第２方向に延伸するフィンガー状の部分を有し、
前記第１のソース電極と前記第２のソース電極の上には第１の誘電体膜が形成されており、
前記第１のゲート電極と前記第２のゲート電極は、前記第１の誘電体膜の上に形成された第１のゲート電極連結部によって電気的に接続し、
前記第３のゲート電極と前記第４のゲート電極は、前記第１の誘電体膜の上に形成された第２のゲート電極連結部によって電気的に接続している
窒化物半導体装置。
【請求項１８】

前記第１のゲート電極、前記第２のゲート電極、前記第１のゲート電極連結部、前記第３のゲート電極、前記第４のゲート電極、および、前記第２のゲート電極連結部は、同一の金属層で形成されている、
請求項１７に記載の窒化物半導体装置。
【請求項１９】
前記第１のゲート電極連結部の幅は、前記第１のゲート電極長と前記第２のゲート電極長よりも大きく、
前記第２のゲート電極連結部の幅は、前記第３のゲート電極長と前記第４のゲート電極長よりも大きい、
請求項１７または１８に記載の窒化物半導体装置。
【請求項２０】
前記第１のソース電極の側面において、前記第１の誘電体膜と接する部分は順テーパー形状であり、
前記第２のソース電極の側面において、前記第１の誘電体膜と接する部分は順テーパー形状である、
請求項１７から１９のいずれか１項に記載の窒化物半導体装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本開示は、半導体材料として窒化ガリウム（ＧａＮ）等の窒化物半導体を用いた窒化物半導体装置に関する。
【背景技術】
【０００２】
近年、スイッチング用のパワートランジスタとして窒化物半導体であるＧａＮを用いた電界効果トランジスタ（ＧａＮ－ＦＥＴ）の商品化が進んでいる。ＧａＮ－ＦＥＴとしては、半導体基板上にＧａＮ層をチャネル層、ＡｌＧａＮをバリア層として形成して、これらの２つの層で形成されるヘテロ接合界面に自発分極とピエゾ分極で発生する２次元電子ガスをチャネルとして用いる構造が一般的である。
【０００３】
このような構造のＧａＮ－ＦＥＴにおいては、基板と平行方向にチャネル電流が流れることになる。その結果、ＦＥＴにワイヤボンディング等を通して外部から電圧を供給したり電流を流したりする、ソースパッド、ドレインパッド、ゲートパッドは、いずれも基板の表面側に形成される。従って、チップ面積削減によってＧａＮ－ＦＥＴのコストを下げるためには、チップ面積全体に占めるパッド面積を削減することが重要となってくる。
【０００４】
このようなパッド面積の削減のために、ＦＥＴが実際にトランジスタ動作をしている領域（活性領域）の上に各パッドを形成するＰＯＥ（Pad on Element）またはＰＯＡ（Pad over Active）と呼ばれる技術が開発されている（特許文献１、特許文献２）。この技術を用いることで、パッドによるチップ面積の増大は発生しないため、チップ面積削減には極めて有効である。
【先行技術文献】
【特許文献】
【０００５】
【文献】特開２００８－１７７５２７号公報
【文献】国際公開第２０１２／１７６３９９号
【発明の概要】
【発明が解決しようとする課題】
【０００６】
しかしながら、従来の窒化物半導体装置におけるＰＯＥを実現する配線技術においては、ゲート電極の配線は、活性領域の外側の素子分離領域に形成されていた。特許文献２の

段落００３８においても、「ゲート電極８は活性領域の外側で束ねられ、さらに活性領域の外周を迂回してゲート電極パッド層２３と接続されている。」と記載されている通りである。その結果、大出力化のためにパワートランジスタに含まれる単位トランジスタの数量を多くするにつれ、ゲートパッドに到達するまでのゲート電極の配線長が長くなるという課題がある。その場合は、ゲート配線抵抗が大きくなることにより、高速のスイッチングが行えなくなる。すなわち、ゲート電極の配線技術に関して改善の余地がある。

【０００７】

本開示は上記課題に鑑み、ゲート電極の配線を活性領域の上で行うことにより、ゲート電極パッドまでの配線長が短くなる結果、ゲートの配線抵抗が低くなり、高速スイッチング動作に適した窒化物半導体装置を提供することを主な目的とする。

【０００８】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかにする。

【課題を解決するための手段】

【０００９】

上記課題を解決するために、本開示の一態様に係る窒化物半導体装置においては、基板と、前記基板の上に複数の窒化物半導体層からなる半導体積層構造と、前記半導体積層構造の上面側に、周囲を素子分離領域で囲まれる第１の活性領域と、前記第１の活性領域の上にソース電極、前記ソース電極に対して平面視で第１方向に離間した両側に位置する第１のゲート電極と第２のゲート電極、前記第１のゲート電極または前記第２のゲート電極に対して前記ソース電極と反対方向に位置する少なくとも１つのドレイン電極を有し、前記ソース電極、前記第１のゲート電極、前記第２のゲート電極、及び前記ドレイン電極は、平面視で前記第１方向と垂直な第２方向に延伸するフィンガー状の部分を有し、前記ソース電極の上には第１の誘電体膜が形成されており、前記第１のゲート電極と前記第２のゲート電極は、前記第１の誘電体膜の上に形成されたゲート電極連結部によって、電気的に接続している。

【００１０】

また、上記課題を解決するために、本開示の他の一形態に係る窒化物半導体装置においては、基板と、前記基板の上に複数の窒化物半導体層からなる半導体積層構造と、前記半導体積層構造の上面側に、周囲を素子分離領域で囲まれる第１の活性領域と、前記第１の活性領域の上に、第１のソース電極と、前記第１のソース電極に対して平面視で第１方向に離間した両側に位置する第１のゲート電極と第２のゲート電極と、第２のソース電極と、前記第２のソース電極に対して平面視で第１方向に離間した両側に位置する第３のゲート電極と第４のゲート電極とを有し、前記第１のソース電極、前記第１のゲート電極、前記第２のゲート電極、前記第２のソース電極、前記第３のゲート電極、前記第４のゲート電極は、平面視で前記第１方向と垂直な第２方向に延伸するフィンガー状の部分を有し、前記第１のソース電極と前記第２のソース電極の上には第１の誘電体膜が形成されており、前記第１のゲート電極と前記第２のゲート電極は、前記第１の誘電体膜の上に形成された第１のゲート電極連結部によって電気的に接続し、前記第３のゲート電極と前記第４のゲート電極は、前記第１の誘電体膜の上に形成された第２のゲート電極連結部によって電気的に接続している。

【発明の効果】

【００１１】

本開示により、ゲート配線抵抗を低くできる窒化物半導体装置を提供する。

【図面の簡単な説明】

【００１２】

【図１】図１は、実施形態１における窒化物半導体装置の平面図である。

【図２Ａ】図２Ａは、実施形態１における図１の窒化物半導体装置のＩＩａ－ＩＩａ線における断面図である。

【図２Ｂ】図２Ｂは、実施形態１における図１の窒化物半導体装置のＩＩｂ－ＩＩｂ線における断面図である。

【図２Ｃ】図２Ｃは、実施形態１における図１の窒化物半導体装置のＩＩｃ－ＩＩｃ線における断面図である。
【図３】図３は、実施形態１の変形例１における窒化物半導体装置の断面図である。
【図４】図４は、実施形態１の変形例２における窒化物半導体装置の平面図である。
【図５Ａ】図５Ａは、実施形態１の変形例２における図４の窒化物半導体装置のＶａ－Ｖａ線における断面図である。
【図５Ｂ】図５Ｂは、実施形態１の変形例２における図４の窒化物半導体装置のＶｂ－Ｖｂ線における断面図である。
【図５Ｃ】図５Ｃは、実施形態１の変形例２における図４の窒化物半導体装置のＶｃ－Ｖｃ線における断面図である。
【図６】図６は、実施形態２における窒化物半導体装置の平面図である。
【図７】図７は、実施形態２の変形例における窒化物半導体装置の平面図である。
【図８】図８は、実施形態２の変形例における窒化物半導体装置で用いられるＰＮダイオードの断面図である。
【図９】図９は、実施形態３おける窒化物半導体装置の平面図である。
【図１０】図１０は、図９における点線部Ｍを拡大した平面図である。
【図１１】図１１は、図１０の点線部Ｎを拡大した平面図である。
【図１２】図１２は、実施形態４における窒化物半導体装置の平面図である。
【図１３Ａ】図１３Ａは、実施形態４における図１２の窒化物半導体装置のＸＩＩＩａ－ＸＩＩＩａ線における断面図である。
【図１３Ｂ】図１３Ｂは、実施形態４における図１２の窒化物半導体装置のＸＩＩＩｂ－ＸＩＩＩｂ線における断面図である。
【図１３Ｃ】図１３Ｃは、実施形態４における図１２の窒化物半導体装置のＸＩＩＩｃ－ＸＩＩＩｃ線における断面図である。
【図１３Ｄ】図１３Ｄは、実施形態４におけ図１２のる窒化物半導体装置のＸＩＩＩｄ－ＸＩＩＩｄ線における断面図である。
【発明を実施するための形態】
【００１３】
以下、実施の形態について、図面を参照して詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的または具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置位置及び接続形態などは、一例であり、本開示を限定する主旨ではない。また、本開示の実現形態は、現行の独立請求項に限定されるものではなく、他の独立請求項によっても表現され得る。
【００１４】
（実施形態１）
図１は実施形態１の窒化物半導体装置１０の平面図を、図２Ａ、図２Ｂ、図２Ｃは図１における、ＩＩａ－ＩＩａ線、ＩＩｂ－ＩＩｂ線、ＩＩｃ－ＩＩｃ線の断面図をそれぞれ示す。
【００１５】
図２Ａ、図２Ｂ、図２Ｃに示すように、Ｓｉ基板１上にＡｌＮ層やＡｌＧａＮ層からなるバッファー層２、ＧａＮチャネル層３、ＡｌＧａＮバリア層４が半導体積層体構造として、エピタキシャル成長により形成されている。ＡｌＧａＮバリア層４の上には、ＡｌＧａＮバリア層４にエピタキシャル成長された後にエッチング加工されたｐ型ＧａＮ層５とｐ型ＧａＮ層６とが形成されている。ＧａＮチャネル層３、ＡｌＧａＮバリア層４の界面においては、ピエゾ分極と自発分極の効果により高濃度の２次元電子ガスが形成されている。この２次元電子ガスが形成されている領域が図１に示す第１の活性領域８であり、２次元電子ガスがイオン注入により高抵抗化された領域が素子分離領域９である。そして、第１の活性領域８と素子分離領域９の境界が、イオン注入領域の境界８Ａである。なお素子分離領域９は、メサエッチングにより、２次元電子ガスを含む領域を除去して形成しても良い。

【００１６】
図２Ａ、図２Ｂ、図２Ｃに示すように、ＡｌＧａＮバリア層４とｐ型ＧａＮ層５とｐ型ＧａＮ層６の表面は表面保護膜としてＳｉＮ膜４１が形成され、ＳｉＮ膜４１を開口してソース電極１１、ドレイン電極３１とドレイン電極３３が形成されている。さらに、ＳｉＮ膜４１の上には第１の誘電体膜４３としてＳｉＯ膜が形成されている。ｐ型ＧａＮ層５とｐ型ＧａＮ層６の上のＳｉＮ膜４１と第１の誘電体膜４３を開口して、第１のゲート電極２１と第２のゲート電極２３が、それぞれ形成されている。
【００１７】
図１に示すように、第１のゲート電極２１と第２のゲート電極２３は、フィンガー状のソース電極１１に対して平面視で第１方向に離間した両側の位置に形成されている。ここで、第１方向は、図１ではＸ方向である。さらに、フィンガー状のドレイン電極３１は、第１のゲート電極２１に対してソース電極１１と反対方向に位置し、フィンガー状のドレイン電極３３は、第２のゲート電極２３に対してソース電極１１と反対方向に位置する。また、第１のゲート電極２１と第２のゲート電極２３は、それぞれの下部にあるｐ型ＧａＮ層５とｐ型ＧａＮ層６とともに、平面視で第１方向に垂直な方向である第２方向にフィンガー状となって延伸し、両端部で円弧状となって繋がっている。ここで、第２方向は、図１ではＹ方向である。この構成により、オフ状態においてソース電極１１とドレイン電極３１とドレイン電極３３の間に流れるリーク電流が低減する。なお、第１のゲート電極２１と第２のゲート電極２３を端部で繋がない場合は、フィンガー状のゲート電極はイオン注入領域の境界８Ａを超えて、素子分離領域９に到達する必要がある。
【００１８】
図２Ｂに示すように、第１のゲート電極２１と第２のゲート電極２３はそれぞれ、その中央部においてゲート電極連結部２５によって結合している。このゲート電極連結部２５は、第１のゲート電極２１と第２のゲート電極２３と同一の金属層で、同時に形成される。そのため、製造工程数の増加は発生しない。ただし、第１のゲート電極２１と第２のゲート電極２３はｐ型ＧａＮ層５とｐ型ＧａＮ層６にそれぞれ接触しているのに対し、ゲート電極連結部２５は第１の誘電体膜４３であるＳｉＯ膜の上に形成され、ソース電極１１とは電気的に絶縁している。また、ゲート電極連結部２５の幅（紙面の奥行方向）は３μｍ程度で、いずれも長さが１μｍ程度である第１のゲート電極２１と第２のゲート電極２３よりも大きく設計されている。この設計により、ゲート電極上では困難である、この後に説明するビアとプラグを用いる配線工程が可能となる。
【００１９】
図２Ａ、図２Ｂ、図２Ｃに示すように、第１のゲート電極２１、第２のゲート電極２３、ゲート電極連結部２５、ソース電極１１、ドレイン電極３１とドレイン電極３３の上には、第２の誘電体膜４７であるＳｉＯ膜が形成される。第２の誘電体膜４７は高耐圧用トランジスタにおいては、ソース・ドレイン間の絶縁破壊を防ぐ厚さに設計する。例えば６００Ｖ耐圧用トランジスタにおいては、第２の誘電体膜４７をＳｉＯ膜とした場合には、その厚さを２μｍから３μｍとする。この場合、ソース電極１１、ゲート電極連結部２５、ドレイン電極３１の幅をいずれも３μｍ程度とすれば、通常のフォトリソグラフィー技術と第２の誘電体膜４７及び第１の誘電体膜４３をドライエッチングする技術により、ソース電極１１上のビア５１、ゲート電極連結部２５上のビア６１、ドレイン電極３１とドレイン電極３３上のビア７１が形成される。そして、それぞれのビアを充填するプラグ５３、６３、７３が形成されている。プラグ５３、６３、７３は第２の誘電体膜４７と接する部分はＴｉＮ膜をバリア層として、Ｗ（タングステン）が用いられる。プラグ５３は第１のソース引き出し配線５５と接続し、プラグ６３は第１のゲート引き出し配線６５に接続し、プラグ７３は第１のドレイン引き出し配線７５に接続している。
【００２０】
本実施形態においては、第１のゲート電極２１と第２のゲート電極２３の中央部においてゲート電極連結部２５で接続されている。そして、ゲート電極連結部２５にビア６１を形成してゲート配線が行われている。従って、ゲート電極の端部からゲート配線を行う場

合に比べて、ゲート配線抵抗が大幅に減少する。ゲート配線抵抗の低下によって窒化物半導体装置１０は、高速スイッチング動作に適している。

【００２１】

また、ゲート配線は素子分離領域９の上ではなく、第１の活性領域８の上で形成される。その結果、チップ面積の増大も発生しない。さらに、ソース電極１１とゲート電極連結部２５との間には、第１の誘電体膜４３による容量が発生する。この容量はゲート・ソース間容量となるが、スイッチング用のパワートランジスタにおいて誤点弧を防ぐためには、ゲート・ドレイン間容量に対して、ゲート・ソース間容量を増やすことが望ましい。従って、本実施形態を用いることで、ゲート・ソース間容量が大きく誤点弧を防ぐことが可能なスイッチング用のパワートランジスタを実現することができる。

【００２２】

なお、本実施形態における窒化物半導体装置１０ではビアを充填するプラグとしてWを用いたが、Ａｌ（アルミニウム）やＣｕ（銅）を用いても良い。Ｃｕを用いる場合は、デュアルダマシン法を使って、プラグとそれに接続する配線を同時に形成しても良い。

【００２３】

なお、図１においては、ゲート電極連結部２５の上のビア６１は１個としているが、製造技術の点から可能であれば複数個形成しても構わない。また、ソース電極１１やドレイン電極３１と３３の上のビア７１の数は、配線抵抗を減らすために多い方が良いが、ビアとプラグを形成する製造技術の点から適宜設計される。

【００２４】

以上のように実施形態１に係る窒化物半導体装置は、基板と、前記基板の上に複数の窒化物半導体層からなる半導体積層構造と、前記半導体積層構造の上面側に、周囲を素子分離領域で囲まれる第１の活性領域と、前記第１の活性領域の上にソース電極、前記ソース電極に対して平面視で第１方向に離間した両側に位置する第１のゲート電極と第２のゲート電極、前記第１のゲート電極または前記第２のゲート電極に対して前記ソース電極と反対方向に位置する少なくとも１つのドレイン電極を有し、前記ソース電極、前記第１のゲート電極、前記第２のゲート電極、及び前記ドレイン電極は、平面視で前記第１方向と垂直な第２方向に延伸するフィンガー状の部分を有し、前記ソース電極の上には第１の誘電体膜が形成されており、前記第１のゲート電極と前記第２のゲート電極は、前記第１の誘電体膜の上に形成されたゲート電極連結部によって、電気的に接続している。

【００２５】

これによれば、ゲート電極の配線（この配線はフィンガー状の部分を含む）を、平面視において第１の活性領域の外側ではなく内側に形成することにより、配線長を短くし、ゲートの配線抵抗を低減することができる。その結果、スイッチング動作の高速化に適しているという効果がある。また、ゲート電極の配線を、平面視において活性領域の内側に形成することにより、窒化物半導体装置としてのチップの面積を縮小できるという効果がある。

【００２６】

例えば、前記第１のゲート電極、前記第２のゲート電極、および前記ゲート電極連結部は、同一の金属層で形成されもよい。

【００２７】

これによれば、ゲート電極連結部によりゲート電極の配線抵抗を低下させることができる。しかも第１のゲート電極、第２のゲート電極およびゲート電極連結部の形成において、製造工程を増加させないという効果がある。

【００２８】

例えば、前記ゲート電極連結部の幅は、前記第１のゲート電極長及び前記第２のゲート電極長よりも大きくてもよい。

【００２９】

これによれば、ゲート電極連結部に対してビアとプラグを用いる配線が可能にし、チップ面積を縮小することができる。

【００３０】
（実施形態１の変形例１）
図３は実施形態１の変形例を示す窒化物半導体装置１１０の部分的な断面図であり、実施形態１の図２Ｂのソース電極１１近傍に対応する部分を拡大した図である。ドレイン電極、ビア、プラグ、配線等は省略している。図３に示すように、ＡｌＧａＮバリア層４とｐ型ＧａＮ層１０５と１０６の表面は表面保護膜としてＳｉＮ膜１４１が形成され、ＳｉＮ膜１４１を開口してソース電極１１１が形成されている。さらに、ＳｉＮ膜１４１の上には第１の誘電体膜１４３としてＳｉＯ膜が形成されている。ＳｉＮ膜１４１と第１の誘電体膜１４３を開口して第１のゲート電極１２１と第２のゲート電極１２３が、ｐ型ＧａＮ層１０５と１０６の上にそれぞれ形成されている。そして、第１のゲート電極１２１と第２のゲート電極１２３がゲート電極連結部１２５により結合している。
【００３１】
本変形例においては、ソース電極１１１が第１の誘電体膜１４３と接する側面は断面形状が順テーパーとなっている。順テーパーの角度としては、４５°以上で７５°以下が好ましく、５０°以上で７０°以下が更に好ましい。この形状により、第１の誘電体膜１４３のソース電極１１１の側面に対するカバレージが良くなり、ボイド（空隙）やシーム（継ぎ目）が発生しなくなる。その結果、ソース電極１１１とゲート電極連結部１２５の間に数１０Ｖの逆バイアス電圧が印加された場合においても、第１の誘電体膜１４３が絶縁破壊することが起きにくいという効果がある。
【００３２】
本変形例のける順テーパーの断面形状を実現するには、ドライエッチングのエッチングマスクとなるレジストを熱処理により断面形状に順テーパーをつけること等により実現できる。
【００３３】
以上のように実施形態１の変形例１に係る窒化物半導体装置は、前記ソース電極の側面において、前記第１の誘電体膜と接する部分は順テーパー形状である。
【００３４】
これによれば、第１の誘電体膜のソース電極の側面に対するカバレージが良くなり、ボイド（空隙）やシーム（継ぎ目）が発生を抑制する。その結果、ソース電極とゲート電極連結部の間に逆バイアス電圧（例えば数１０Ｖ）が印加された場合においても、第１の誘電体膜が絶縁破壊することが起きにくいという効果がある。
【００３５】
（実施形態１の変形例２）
図４は実施形態１の変形例２の窒化物半導体装置２１０の平面図を、図５Ａ、図５Ｂ、図５Ｃは図４におけるＶａ－Ｖａ線、Ｖｂ－Ｖｂ線、Ｖｃ－Ｖｃ線の断面図をそれぞれ示す。
【００３６】
図５Ａ、図５Ｂ、図５Ｃに示すように、Ｓｉ基板１上にＡｌＮ層やＡｌＧａＮ層からなるバッファー層２、ＧａＮチャネル層３、ＡｌＧａＮバリア層４が半導体積層体構造として、エピタキシャル成長により形成されている。ＡｌＧａＮバリア層４の上には、エピタキシャル成長された後にエッチング加工されたｐ型ＧａＮ層５とｐ型ＧａＮ層６が形成されている。ＧａＮチャネル層３、ＡｌＧａＮバリア層４の界面においては、ピエゾ分極と自発分極の効果により高濃度の２次元電子ガス（図示せず）が形成されている。この２次元電子ガスが形成されている領域が図４の第１の活性領域２０８であり、２次元電子ガスがイオン注入により高抵抗化された領域が素子分離領域２０９である。そして、第１の活性領域２０８と素子分離領域２０９の境界が、イオン注入領域の境界２０８Ａである。なお素子分離領域２０９は、メサエッチングにより、２次元電子ガスを含む領域を除去して形成しても良い。
【００３７】
図５Ａ、図５Ｂ、図５Ｃに示すように、ＡｌＧａＮバリア層４とｐ型ＧａＮ層５とｐ型

ＧａＮ層６の表面は表面保護膜としてＳｉＮ膜２４１が形成され、ＳｉＮ膜２４１を開口してソース電極２１１、ドレイン電極２３１と２３３が形成されている。さらに、ＳｉＮ膜２４１の上には第１の誘電体膜２４３としてＳｉＯ膜が形成されている。ＳｉＮ膜２４１と第１の誘電体膜２４３を開口して第１のゲート電極２２１と第２のゲート電極２２３が、ｐ型ＧａＮ層５とｐ型ＧａＮ層６の上にそれぞれ形成されている。

【００３８】

図４に示すように、第１のゲート電極２２１と第２のゲート電極２２３は、フィンガー状のソース電極２１１に対してＸ方向に離間した両側の位置に形成されている。さらに、フィンガー状のドレイン電極２３１は、第１のゲート電極２２１に対してソース電極２１１と反対方向に位置し、フィンガー状のドレイン電極２３３は、第２のゲート電極２２３に対してソース電極２１１と反対方向に位置する。

【００３９】

また、第１のゲート電極２２１と第２のゲート電極２２３は、それぞれの下部にあるｐ型ＧａＮ層５とｐ型ＧａＮ層６とともに、Ｘ方向に垂直な方向であるＹ方向にフィンガー状となって延伸し、両端部で円弧状となって繋がっている。この構成により、オフ状態においてソース電極２１１とドレイン電極２３１、２３３の間に流れるリーク電流が低減する。なお、第１のゲート電極２２１と第２のゲート電極２２３を端部で繋がない場合は、フィンガー状のゲート電極はイオン注入領域の境界２０８Ａを超えて、素子分離領域２０９に到達する必要がある。

【００４０】

図５Ｂに示すように、第１のゲート電極２２１と第２のゲート電極２２３は、それぞれの中央部においてゲート電極連結部２２５によって結合している。このゲート電極連結部２２５は、第１のゲート電極２２１と第２のゲート電極２２３と同一の金属層で、同時に形成されている。そのため、製造工程数の増加は発生しない。ただし、第１のゲート電極２２１と第２のゲート電極２２３はｐ型ＧａＮ層５とｐ型ＧａＮ層６にそれぞれ接触しているのに対し、ゲート電極連結部２２５は第１の誘電体膜２４３の上に形成され、ソース電極２１１とは電気的に絶縁している。また、ゲート電極連結部２２５の幅（紙面の奥行方向）は３μｍ程度で、いずれも長さが１μｍ程度である第１のゲート電極２２１と第２のゲート電極２２３よりも大きく設計されている。この設計により、ゲート電極上では困難である、この後に説明するビアとプラグを用いる配線工程が可能となる。

【００４１】

図５Ａ、図５Ｂ、図５Ｃに示すように、第１のゲート電極２２１、第２のゲート電極２２３、ソース電極２１１、ドレイン電極２３１、２３３を覆うフィールドプレート膜としてＳｉＯ膜２４５を形成する。図５Ａと図５Ｃに示すように、ソース電極２１１上に、ＳｉＯ膜２４５と第１の誘電体膜２４３を開口して、ソースフィールドプレート電極となる低抵抗金属層２８５を形成する。低抵抗金属層２８５はｐ型ＧａＮ層５とｐ型ＧａＮ層６のドレイン側の端部での電界集中を緩和させる効果をもたらす。その結果、耐圧が向上するとともに、窒化物半導体装置で課題となる電流コラプスという現象も緩和する。さらに、この低抵抗金属層２８５はゲート電極連結部２２５の近傍以外のソース電極２１１の上に形成されるので、ソース電極２１１の配線抵抗を下げる効果もある。

【００４２】

同様に、図５Ａ、図５Ｂ、図５Ｃに示すように、ドレイン電極２３１とドレイン電極２３３の上に、ＳｉＯ膜２４５と第１の誘電体膜２４３を開口して、低抵抗金属層２８１と低抵抗金属層２８３をそれぞれ形成する。この低抵抗金属層２８１と低抵抗金属層２８３は、図４に示すように、ドレイン電極２３１とドレイン電極２３３の上に全面的に形成されるので、ドレイン電極２３１とドレイン電極２３３の配線抵抗を下げる効果がある。

【００４３】

また、図５Ｂに示すように、ゲート電極連結部２２５の上に、ＳｉＯ膜２４５を開口して、低抵抗金属層２８７を形成することで、ゲートの配線抵抗も下がるという効果がある。

【００４４】

低抵抗金属層２８１、２８３、２８５、２８７の上には、第２の誘電体膜２４７であるＳｉＯ膜が形成される。第２の誘電体膜２４７は高耐圧用トランジスタにおいては、ソース・ドレイン間の絶縁破壊を防ぐ厚さに設計する。例えば６００Ｖ耐圧用トランジスタにおいては、第２の誘電体膜２４７をＳｉＯ膜とした場合には、そのの厚さを２μｍから３μｍとする。この場合、低抵抗金属層２８１、２８３、２８５、２８７における最も短い寸法においても３μｍ程度以上とすれば、通常のフォトリソグラフィー技術と第２の誘電体膜２４７をドライエッチングする技術により、低抵抗金属層２８５上のビア２５１、低抵抗金属層２８７上のビア２６１、低抵抗金属層２８１と２８３上のビア２７１が形成される。そして、それぞれのビアを充填するプラグ２５３、２６３、２７３が形成されている。プラグ２５３、２６３、２７３は第２の誘電体膜２４７と接する部分はＴｉＮ膜をバリア層として、Ｗ（タングステン）が用いられる。プラグ２５３は第１のソース引き出し配線２５５と接続し、プラグ２６３は第１のゲート引き出し配線２６５に接続し、プラグ２７３は第１のドレイン引き出し配線２７５に接続している。

【００４５】

本実施形態においては、第１のゲート電極２２１と第２のゲート電極２２３の中央部においてゲート電極連結部２２５で接続されている。そして、ゲート電極連結部２２５にビア２６１を形成してゲート配線が行われている。従って、ゲート電極の端部からゲート配線を行う場合に比べて、ゲート配線抵抗が大幅に減少する。また、ゲート配線は素子分離領域２０９の上ではなく、第１の活性領域２０８の上で形成される。その結果、チップ面積の増大も発生しない。さらに、ソース電極２１１とゲート電極連結部２２５との間には、第１の誘電体膜２４３による容量が発生する。この容量はゲート・ソース間容量となるが、スイッチング用のパワートランジスタにおいて誤点弧を防ぐためには、ゲート・ドレイン間容量に対して、ゲート・ソース間容量を増やすことが望ましい。従って、本実施形態を用いることで、ゲート・ソース間容量が大きく誤点弧を防ぐことが可能なスイッチング用のパワートランジスタを実現することができる。

【００４６】

なお、本実施形態における窒化物半導体装置２１０ではビアを充填するプラグとしてＷを用いたが、Ａｌ（アルミニウム）やＣｕ（銅）を用いても良い。Ｃｕを用いる場合は、デュアルダマシン法を使って、プラグとそれに接続する配線を同時に形成しても良い。

【００４７】

なお、図４においては、ゲート電極連結部２２５の上の低抵抗金属層２８７の上にあるビア２６１は１個としているが、製造技術の点から可能であれば複数個形成しても構わない。また、ソース電極２１１やドレイン電極２３１と２３３の上のビア２７１の数は、配線抵抗を減らすために多い方が良いが、ビアとプラグを形成する製造技術の点から適宜設計される。

【００４８】

以上のように実施形態１の変形例２に係る窒化物半導体装置は、前記ゲート電極連結部の下部を除いた前記ソース電極の上と、前記ドレイン電極の上には低抵抗金属層が形成されている。

【００４９】

これによれば、低抵抗金属層はソース電極の上に形成されるのでソース電極の配線抵抗を下げる効果がある。また、低抵抗金属層はドレイン電極の上に形成されるので、ドレイン電極の配線抵抗を下げる効果がある。

【００５０】

例えば、前記ソース電極の上に形成された前記低抵抗金属層は、前記第１のゲート電極および前記第２のゲート電極の上方を超えて、前記ドレイン電極の方向に延伸するソースフィールドプレート電極であってもよい。

【００５１】

これによれば、低抵抗金属層はゲートのドレイン側端部での電界集中を緩和させる効果がある。その結果、耐圧が向上するとともに、電流コラプスという現象も緩和する効果が

ある。
【００５２】
（実施形態２）
実施形態２の窒化物半導体装置３１０の平面図を図６に示す。
【００５３】
本実施形態は、実施形態１またはその変形例１、変形例２の窒化物半導体装置を図６に示すＸ方向に繰り返して配置して、パワートランジスタを構成するものである。図６においては、簡略化のために本実施形態を説明する上で特に必要のない構成要素は省略している。
【００５４】
図６に示すように、いずれもＹ方向にフィンガー状となって延伸するソース電極３１１とドレイン電極３３１が、Ｘ方向に交互に複数個配置されている。Ｘ方向の両端は、高電圧が印加されるドレイン電極３３１ではなく、グランド接地される場合が多いソース電極３１１であることにより、外部からの水分浸入を防ぐ効果があり信頼性の点で優れている。複数のソース電極３１１の上に形成されたゲート電極連結部３２５はその上に形成された誘電体膜（図示せず）に開口されたビア３６１があり、ビア３６１を充填するようにプラグ３６３がある。各プラグ３６３を繋ぐように第１のゲート引き出し配線３６５が形成されている。第１のゲート引き出し配線３６５はその端部において面積が広いゲートパッド３９３となっている。ゲートパッド３９３は窒化物半導体装置３１０の表面保護膜（図示せず）に対してゲートパッド開口部３９３Ａが形成されている。
【００５５】
複数のソース電極３１１はその上に形成された誘電体膜（図示せず）に開口されたビア３５１があり、ビア３５１を充填するようにプラグ３５３がある。各プラグ３５３を繋ぐように第１のソース引き出し配線３５５が形成されている。第１のソース引き出し配線３５５はその中央部においてソースパッド３９１となっている。ソースパッド３９１は表面保護膜（図示せず）に対してソースパッド開口部３９１Ａが形成されている。
【００５６】
複数のドレイン電極３３１はその上に形成された誘電体膜（図示せず）に開口されたビア３７１があり、ビア３７１を充填するようにプラグ３７３がある。各プラグ３７３を繋ぐように第１のドレイン引き出し配線３７５が形成されている。第１のドレイン引き出し配線３７５はその中央部においてドレインパッド３９５となっている。ドレインパッド３９５は表面保護膜（図示せず）に対してドレインパッド開口部３９５Ａが形成されている。
【００５７】
本実施形態においては、第１のソース引き出し配線３５５と第１のドレイン引き出し配線３７５は、第１のゲート引き出し配線３６５を挟んで形成されている。第１のゲート引き出し配線３６５がゲート電極連結部３２５を介して各ゲート電極（図示せず）に接続しているのでゲート配線抵抗が低く、第１の活性領域３０８の上部に形成されているので、チップ面積の増加もない。
【００５８】
本実施形態においては、第１のゲート引き出し配線３６５、第１のソース引き出し配線３５５、第１のドレイン引き出し配線３７５は、同一の金属層で形成される。そのために製造工程は簡略なものになる。同一の金属層の例としてはＡｌ（アルミニウム）、Ｃｕ（銅）、Ａｕ（金）である。特にＣｕを用いた場合、デュアルダマシン法を用いればプラグ３６３、３５３、３７３と同時に形成することが可能となり、さらに製造工程は簡略なものとなる。
【００５９】
本実施形態においては、第１の活性領域３０８と素子分離領域３０９、そして、両者の境界であるイオン注入領域の境界３０８Ａを有す。窒化物半導体装置３１０はチップ面積に対する第１の活性領域３０８の割合が高くなるために、オン抵抗が小さくチップ面積が小さくなる。

【００６０】
以上のように実施形態２に係る窒化物半導体装置において、前記第１方向に、前記ソース電極、前記第１のゲート電極、前記第２のゲート電極、前記ゲート電極連結部、前記ドレイン電極が繰り返して形成され、複数の前記ゲート電極連結部の上には第２の誘電体膜が形成され、前記第２の誘電体膜に形成されたビアを介して、複数の前記ゲート電極連結部を電気的に接続して、前記第１方向に延伸する第１のゲート引き出し配線を有する。
【００６１】
これによれば、高速スイッチング動作において電力供給用の大電流を制御できるという効果がある。また、第１のソース引き出し配線と第１のドレイン引き出し配線は、第１のゲート引き出し配線３６５を挟んで形成されるので、チップ面積の縮小できるという効果がある。
【００６２】
例えば、前記第２の誘電体膜は、前記ソース電極、前記第１のゲート電極、前記第２のゲート電極、前記ドレイン電極の上にも形成され、前記第１のゲート引き出し配線を挟んで、前記第２の誘電体膜に形成されたビアを介して複数の前記ソース電極を電気的に接続して、前記第１方向に延伸する第１のソース引き出し配線と、前記第２の誘電体膜に形成されたビアを介して複数の前記ドレイン電極を電気的に接続して、前記第１方向に延伸する第１のドレイン引き出し配線とを有してもよい。
【００６３】
これによれば、窒化物半導体装置のチップ面積に対する第１の活性領域の割合を高くできるために、オン抵抗を小さくし、かつ、チップ面積を小さくすることという効果がある。
【００６４】
例えば、前記第１のゲート引き出し配線、前記第１のソース引き出し配線、前記第１のドレイン引き出し配線は同一の金属配線層で形成されてもよい。
【００６５】
これによれば、第１のゲート引き出し配線、第１のソース引き出し配線、第１のドレイン引き出し配線の形成において製造工程を簡略にできるという効果がある。
【００６６】
例えば、前記第１のゲート引き出し配線の一部に形成されたゲートパッドと、前記第１のソース引き出し配線の一部に形成されたソースパッドと、前記第１のドレイン引き出し配線の一部に形成されたドレインパッドとを有していてもよい。
【００６７】
これによれば、第１の活性領域の上にゲートパッド、ソースパッド、ドレインパッドを形成するＰＯＥ（Pad on Element）またはＰＯＡ（Pad over Active）を実現するので、パッドによるチップ面積の増大は抑制し、または、チップ面積を削減するという効果がある。
【００６８】
（実施形態２の変形例）
実施形態２の変形例の窒化物半導体装置４１０の平面図を図７に、その構成要素であるＰＮダイオード４９０の断面図を図８に示す。本変形例は、実施形態２における窒化物半導体装置３１０のゲート・ソース間に、ＰＮダイオード４９０の直列接続により構成される保護ダイオード４９２が、挿入された構成である。この保護ダイオード４９２はＦＥＴと同じチップ上に、ＦＥＴと同じ製造工程により作られて集積化される。
【００６９】
図８に示すように、Ｓｉ基板１上にＡｌＮ層やＡｌＧａＮ層からなるバッファー層２、ＧａＮチャネル層３、ＡｌＧａＮバリア層４が半導体積層体構造として、エピタキシャル成長により形成されている。ＡｌＧａＮバリア層４の上には、エピタキシャル成長された後にエッチング加工されたｐ型ＧａＮ層４０５が形成されている。ＧａＮチャネル層３、ＡｌＧａＮバリア層４の界面においては、ピエゾ分極と自発分極の効果により高濃度の２次元電子ガス（図示せず）が形成されている。２次元電子ガスがイオン注入により高抵抗

化された領域が素子分離領域４０９である。
【００７０】
ＡｌＧａＮバリア層４とｐ型ＧａＮ層４０５の表面は表面保護膜としてＳｉＮ膜４４１が形成され、ＳｉＮ膜４４１を開口してダミー電極４１１、カソード電極４１３が形成されている。さらに、ＳｉＮ膜４４１の上には第１の誘電体膜４４３としてＳｉＯ膜が形成されている。ＳｉＮ膜４４１と第１の誘電体膜４４３を開口してアノード電極４２５が、ｐ型ＧａＮ層４０５の上に形成されている。てアノード電極４２５はダミー電極４１１の上にまで延長されている。
【００７１】
アノード電極４２５、カソード電極４１３の上には、第２の誘電体膜４４７であるＳｉＯ膜が形成される。通常のフォトリソグラフィー技術と第２の誘電体膜４４７及び第１の誘電体膜４４３をドライエッチングする技術により、カソード電極４１３の上のビア４５１、アノード電極４２５上のビア４６１が形成される。そして、それぞれのビアを充填するプラグ４５３、４６３が形成されている。プラグ４５３、４６３は第２の誘電体膜４４７と接する部分はＴｉＮ膜をバリア層として、Ｗ（タングステン）が用いられる。プラグ４５３はカソード電極引き出し配線４５５と接続し、プラグ４６３はアノード引き出し配線４６５に接続している。
【００７２】
図７は、保護ダイオード４９２を、電気的にソース・ゲート間に入れた窒化物半導体装置４１０を示している。保護ダイオード４９２は、図８で示したＰＮダイオード４９０が５個、直列に接続されている。各ＰＮダイオード４９０は、周囲をイオン注入で高抵抗された素子分離領域４０９に囲まれた第２の活性領域４９８の中に形成されている。また、５個のＰＮダイオード４９０は、アノード・カソード間配線４８３により、電気的に直列に接続されている。保護ダイオード４９２はアノード・ソース間配線４８１により第１のソース引き出し配線３５５に接続して、カソード・ゲート間配線４８５により、第１のゲート引き出し配線３６５、またはゲートパッド３９３に接続する。
【００７３】
ＳｉＯ膜の絶縁破壊電圧は３ＭＶ／ｃｍ程度であり、図７におけるソース電極３１１とゲート電極連結部３２５の間のＳｉＯ膜（図示せず）の厚さを０．１μｍとした場合に絶縁破壊電圧は３０Ｖとなる。一方、ＧａＮのＰＮダイオードの立ち上がり電圧は約３．５Ｖである。本実施形態における窒化物半導体装置３１０の保護ダイオード４９２には、ＰＮダイオード４９０を５個直列にしているので、ソース・ゲート間に約１７．５Ｖの逆バイアスが印加された場合に電流が流れる。すなわち、十分な電圧マージンを持って、ゲート電極連結部３２５とソース電極３１１の間の誘電体膜が絶縁破壊することなく、窒化物半導体装置４１０のソース・ゲート間が保護される。
【００７４】
また図７に示すように、窒化物半導体装置４１０では、保護ダイオード４９２により素子分離領域４０９の面積が、窒化物半導体装置３１０に比べて増える結果、チップ面積がやや増える。しかしながら、保護ダイオード４９２はパワートランジスタであるＦＥＴに比べて面積を小さく設計できるために、チップ面積の増大はわずかである。
【００７５】
なお、本実施形態における窒化物半導体装置４１０では、直列に接続するＰＮダイオードの数を５個としたが、必要な保護電圧に応じて、例えば３個から１０個のように数量は適宜、設計することが可能である。
【００７６】
本実施形態における窒化物半導体装置４１０においては、チップ面積に対する第１の活性領域４０８の割合は、実施形態２における窒化物半導体装置３１０よりは小さくなるが、ＰＯＥ技術を使わない場合に比べると十分に大きい。その結果、オン抵抗が小さくチップ面積が小さくなる。
【００７７】

以上のように実施形態２の変形例１に係る窒化物半導体装置は、前記基板の上に、周囲を素子分離領域で囲まれる第２の活性領域を有し、前記第２の活性領域に形成されたダイオードが複数個、直列接続された保護ダイオードが形成され、前記保護ダイオードのアノードは前記ソース電極に電気的に接続され、前記保護ダイオードのカソードは前記ゲート電極連結部に電気的に接続され、前記保護ダイオードの前記アノードから前記カソードへ流れる電流の立ち上がり電圧は、前記第１の誘電体膜の絶縁破壊電圧よりも低い。

【００７８】

これによれば、ゲート電極連結部とソース電極の間の誘電体膜が絶縁破壊することを抑制し、窒化物半導体装置の信頼性を向上させるという効果がある。

【００７９】

（実施形態３）

図９、図１０、図１１は本開示における第３の実施形態を窒化物半導体装置５１０示す平面図である。図９の点線部Ｍの拡大図が図１０、図１０の点線部Ｎの拡大図が図１１である。図１１においては、配線層の下層にあるＦＥＴの部分を説明するために、配線層は省略してある。

【００８０】

図１１は、実施形態１と同様な構成である。第１のゲート電極５２１と第２のゲート電極５２３はそれぞれ、その中央部においてゲート電極連結部５２５によって結合している。このゲート電極連結部５２５は、第１のゲート電極５２１と第２のゲート電極５２３と同一の金属層で、同時に形成される。そのため、製造工程数の増加は発生しない。ただし、第１のゲート電極５２１と第２のゲート電極５２３はｐ型ＧａＮ層（図示せず）に接触しているのに対し、ゲート電極連結部５２５は第１の誘電体膜であるＳｉＯ膜（図示せず）の上に形成され、ソース電極５１１とは電気的に絶縁している。また、ゲート電極連結部５２５の幅は３μｍ程度で、長さが１μｍ程度である第１のゲート電極５２１と第２のゲート電極５２３よりも大きく設計されている。この設計により、ゲート電極上では困難である、以下に説明するビアとプラグを用いる配線工程が可能となる。

【００８１】

第１のゲート電極５２１、第２のゲート電極５２３、ゲート電極連結部５２５、ソース電極５１１、ドレイン電極５３１と５３３の上には、第２の誘電体膜であるＳｉＯ膜（図示せず）が形成される。ＳｉＯ膜は高耐圧用トランジスタにおいては、ソース・ドレイン間の絶縁破壊を防ぐ厚さに設計する。例えば６００Ｖ耐圧用トランジスタにおいては、ＳｉＯ膜の厚さを２μｍから３μｍとする。この場合、ソース電極５１１、ゲート電極連結部５２５、ドレイン電極５３１と５３３の幅を３μｍ程度とすれば、通常のフォトリソグラフィー技術とＳｉＯ膜をドライエッチングする技術により、ソース電極５１１上のビア５５１、ゲート電極連結部５２５上のビア５６１、ドレイン電極５３１と５３３上のビア５７１が形成される。そして、それぞれのビアを充填するプラグ５５３、５６３、５７３が形成されている。プラグ５５３、５６３、５７３はＳｉＯ膜と接する部分はＴｉＮ膜をバリア層として、Ｗ（タングステン）が用いられる。

【００８２】

図１０に示すように、プラグ５５３は第１のソース引き出し配線５５５と接続し、プラグ５６３は第１のゲート引き出し配線５６５に接続し、プラグ５７３は第１のドレイン引き出し配線５７５に接続している。第１のソース引き出し配線５５５、第１のゲート引き出し配線５６５、第１のドレイン引き出し配線５７５の上には、第３の誘電体膜としてＳｉＯ膜（図示せず）が形成される。上記と同様に、フォトリソグラフィー技術と第３の誘電体膜をドライエッチングする技術により、第１のソース引き出し配線上のビア５８１、第１のゲート引き出し配線上のビア５８３、第１のドレイン引き出し配線上のビア５８５が形成される。そして、それぞれのビアを充填するプラグ５８２、５８４、５８６が形成されている。プラグ５８２、５８４、５８６はＳｉＯ膜と接する部分はＴｉＮ膜をバリア層として、Ｗ（タングステン）が用いられる。プラグ５８２は第２のソース引き出し配線５８７と接続し、プラグ５８４は第２のゲート引き出し配線５８８に接続し、プラグ５８

６は第２のドレイン引き出し配線５８９に接続している。

【００８３】

図１０において、第１のソース引き出し配線５５５は、第１のゲート引き出し配線５６５に挟まれ、ドレイン引き出し配線５７５は、第１のゲート引き出し配線５６５に挟まれている。この結果、ゲート配線抵抗が下がると同時に、高電圧が印加されるドレイン引き出し配線５７５がチップ端に配置されないために、耐湿性に関する信頼性が向上する。

【００８４】

さらに図１０において、第１のドレイン引き出し配線５７５と第１のゲート引き出し配線５６５の間隔Ｗ２は、第１のソース引き出し配線５５５と第１のゲート引き出し配線５６５の間隔Ｗ１よりも大きい。この結果、高電圧が印加される第１のドレイン引き出し配線５７５の近傍における電界が弱くなり、耐湿性に関する信頼性が向上する。

【００８５】

図９に示すように、第２のゲート引き出し配線５８８はＹ方向に延伸して、その端部において面積が広いゲートパッド５９３となっている。ゲートパッド５９３は窒化物半導体装置５１０の表面保護膜（図示せず）に対してゲートパッド開口部５９３Ａが形成されている。また、第２のソース引き出し配線５８７はＹ方向に延伸して、その中央部付近がソースパッド５９１となっている。ソースパッド５９１は窒化物半導体装置５１０の表面保護膜（図示せず）に対してソースパッド開口部５９１Ａが形成されている。同様に、第２のドレイン引き出し配線５８９はＹ方向に延伸して、その中央部付近においてドレインパッド５９５となっている。ドレインパッド５９５は窒化物半導体装置５１０の表面保護膜（図示せず）に対してドレインパッド開口部５９５Ａが形成されている。

【００８６】

本実施形態においては、第１の活性領域５０８と素子分離領域５０９、そして、両者の境界であるイオン注入領域の境界５０８Ａを有す。窒化物半導体装置５１０はチップ面積に対する第１の活性領域５０８の割合が高くなるために、オン抵抗が小さくチップ面積が小さくなる。

【００８７】

本実施形態においては、第２のゲート引き出し配線５８８、第２のソース引き出し配線５８７、第２のドレイン引き出し配線５８９は、同一の金属層で形成される。そのために製造工程は簡略なものになる。同一の金属層の例としてはＡｌ（アルミニウム）、Ｃｕ（銅）、Ａｕ（金）である。特にＣｕを用いた場合、デュアルダマシン法を用いればプラグ５８２、５８４、５８６と同時に形成することが可能となり、さらに製造工程は簡略なものとなる。

【００８８】

実施形態２や実施形態２の変形例においては、配線層が１層のみで各パッドが形成されているが、本実施形態においては、配線層を２層用いている。この結果、ソース・ドレインのフィンガー長が長くなった場合や、ソース・ドレインのフィンガー本数が多くなった場合においても、配線層を１層しか用いない場合に比べて、ソース・ドレイン・ゲートの各配線抵抗を低くすることができる。特にゲートの配線抵抗は２層の配線層を用いるので、引用文献２等の実施例に比べて大幅に下げることが可能となる。さらに、ゲート配線を素子分離領域５０９に形成する必要が無いので、チップ面積も小さくなる。

【００８９】

なお、本実施形態においても、実施形態２の変形例のように、ソース・ゲート間に保護ダイオードを入れることも可能である。

【００９０】

以上のように実施形態３に係る窒化物半導体装置において、前記第１のゲート引き出し配線、前記第１のソース引き出し配線、前記第１のドレイン引き出し配線はいずれも複数あり、前記第１のゲート引き出し配線、前記第１のソース引き出し配線、前記第１のドレイン引き出し配線の上に第３の誘電体膜が形成され、前記第３の誘電体膜に形成されたビアを介して、複数の前記第１のゲート引き出し配線を電気的に接続して、前記第２方向に

延伸する第２のゲート引き出し配線と、複数の前記第１のソース引き出し配線を電気的に接続して、前記第２方向に延伸する第２のソース引き出し配線と、複数の前記第１のドレイン引き出し配線を電気的に接続して、前記第２方向に延伸する第２のドレイン引き出し配線とを有する。

【００９１】

これによれば、ビアを介して接続される配線層を２層用いるので、配線層を１層である場合に比べて、ソース・ドレイン・ゲートの各引き出し配線の抵抗を低くすることができる。特に、第１のゲート引き出し配線および第２のゲート引き出し配線による２層の配線層を用いるので、ゲートの配線抵抗を小さくできるという効果がある。さらに、ゲート引き出し配線を素子分離領域に形成する必要が無いので、チップ面積の縮小できるという効果がある。

【００９２】

例えば、前記第１のソース引き出し配線の両側は前記第１のゲート引き出し配線で挟まれ、前記第１のドレイン引き出し配線は前記第１のゲート引き出し配線で挟まれていてもよい。

【００９３】

これによれば、ゲート配線抵抗が低下すると同時に、高電圧が印加されるドレイン引き出し配線がチップ端に配置されないために、耐湿性に関する信頼性を向上させることができる。

【００９４】

例えば、前記第１のドレイン引き出し配線と前記第１のゲート引き出し配線の間隔は、前記第１のソース引き出し配線と前記第１のゲート引き出し配線の間隔よりも大きくてもよい。

【００９５】

これによれば、高電圧が印加される第１のドレイン引き出し配線の近傍における電界を弱くし、耐湿性に関する信頼性を向上させることができる。

【００９６】

例えば、前記第２のゲート引き出し配線、前記第２のソース引き出し配線、前記第２のドレイン引き出し配線は同一の金属配線層で形成されてもよい。

【００９７】

これによれば、第２のゲート引き出し配線、第２のソース引き出し配線、および第２のドレイン引き出し配線を形成するための製造工程を簡略にすることができる。

【００９８】

例えば、前記第２のゲート引き出し配線の一部に形成されたゲートパッドと、前記第２のソース引き出し配線の一部に形成されたソースパッドと、前記第２のドレイン引き出し配線の一部に形成されたドレインパッドとを有していてもよい。

【００９９】

これによれば、２層のＰＯＥを実現するのでチップ面積を大きく縮小できるという効果がある。

【０１００】

（実施形態４）

図１２は実施形態４の窒化物半導体装置６２０の平面図を、図１３Ａ、図１３Ｂ、図１３Ｃ、図１３Ｄは、図１２におけるＸＩＩＩａ－ＸＩＩＩａ線、ＸＩＩＩｂ－ＸＩＩＩｂ線、ＸＩＩＩｃ－ＸＩＩＩｃ線、ＸＩＩＩｄ－ＸＩＩＩｄ線、の断面図をそれぞれ示す。本実施形態はゲートを２つ有するダブルゲートトランジスタである。

【０１０１】

図１３Ａ、図１３Ｂ、図１３Ｃ、図１３Ｄに示すように、Ｓｉ基板１上にＡｌＮ層やＡｌＧａＮ層からなるバッファー層２、ＧａＮチャネル層３、ＡｌＧａＮバリア層４が半導体積層体構造として、エピタキシャル成長により形成されている。ＡｌＧａＮバリア層４の上には、エピタキシャル成長された後にエッチング加工されたｐ型ＧａＮ層６０５、６

０６、６０７、６０８が形成されている。ＧａＮチャネル層３、ＡｌＧａＮバリア層４の界面においては、ピエゾ分極と自発分極の効果により高濃度の２次元電子ガス（図示せず）が形成されている。この２次元電子ガスが形成されている領域が図１２の活性領域６０９であり、２次元電子ガスがイオン注入により高抵抗化された領域が素子分離領域６１０である。両者の境界がイオン注入領域の境界６０９Ａである。なお素子分離領域６１０は、メサエッチングにより、２次元電子ガスを含む領域を除去して形成しても良い。

【０１０２】

図１３Ａ、図１３Ｂ、図１３Ｃ、図１３Ｄに示すように、ＡｌＧａＮバリア層４とｐ型ＧａＮ層６０５、６０６、６０７、６０８の表面は表面保護膜としてＳｉＮ膜６４１が形成され、ＳｉＮ膜６４１を開口して第１のソース電極６３１、第２のソース電極６３３が形成されている。さらに、ＳｉＮ膜６４１の上には第１の誘電体膜６４３としてＳｉＯ膜が形成されている。ＳｉＮ膜６４１と第１の誘電体膜６４３を開口して第１のゲート電極６２１、第２のゲート電極６２２、第３のゲート電極６２５、第４のゲート電極６２６が、ｐ型ＧａＮ層６０５、６０６、６０７、６０８の上にそれぞれ形成されている。

【０１０３】

図１２に示すように、第１のゲート電極６２１と第２のゲート電極６２２は、フィンガー状の第１のソース電極６３１に対してＸ方向に離間した両側の位置に形成されている。また、第３のゲート電極６２５と第４のゲート電極６２６は、フィンガー状の第２のソース電極６３３とＸ方向に対して離間した両側の位置に形成されている。

【０１０４】

また、第１のゲート電極６２１と第２のゲート電極６２２は、それぞれの下部にあるｐ型ＧａＮ層６０５とｐ型ＧａＮ層６０６とともに、Ｘ方向に垂直な方向であるＹ方向にフィンガー状となって延伸し、両端部で円弧状となって繋がっている。この構成により、オフ状態において第１のソース電極６３１と第２のソース電極６３３の間に流れるリーク電流が低減する。第１のゲート電極６２１と第２のゲート電極６２２を端部で繋がない場合は、フィンガー状のゲート電極はイオン注入領域の境界６０９Ａを超えて素子分離領域６１０に到達する必要がある。第３のゲート電極６２５と第４のゲート電極６２６に関しても同様である。

【０１０５】

図１３Ｃに示すように、第１のゲート電極６２１と第２のゲート電極６２２はそれぞれ、その中央付近において第１のゲート電極連結部６２３によって結合している。この第１のゲート電極連結部６２３は、第１のゲート電極６２１と第２のゲート電極６２２と同一の金属層で、同時に形成される。そのため、製造工程数の増加は発生しない。ただし、第１のゲート電極６２１と第２のゲート電極６２２はｐ型ＧａＮ層６０５とｐ型ＧａＮ層６０６にそれぞれ接触しているのに対し、第１のゲート電極連結部６２３は第１の誘電体膜６４３であるＳｉＯ膜の上に形成され、第１のソース電極６３１とは電気的に絶縁している。また、第１のゲート電極連結部６２３の幅（紙面の奥行方向）は３μｍ程度で、長さが１μｍ程度である第１のゲート電極６２１と第２のゲート電極６２２よりも大きく設計されている。この設計により、ゲート電極上では困難である、以下に説明するビアとプラグを用いる配線工程が可能となる。同様に、図１３Ｂに示すように、第３のゲート電極６２５と第４のゲート電極６２６はそれぞれ、その中央付近において第２のゲート電極連結部６２７によって結合している。

【０１０６】

第１のゲート電極６２１、第２のゲート電極６２２、第１のゲート電極連結部６２３、第３のゲート電極６２５、第４のゲート電極６２６、第２のゲート電極連結部６２７、第１のソース電極６３１、第２のソース電極６３３の上には、第２の誘電体膜６４７であるＳｉＯ膜が形成される。第２の誘電体膜６４７は高耐圧用のダブルゲートトランジスタにおいては、第１ソース・第２ソース間の絶縁破壊を防ぐ厚さに設計する。例えば６００Ｖ耐圧用ダブルゲートトランジスタにおいては、第２の誘電体膜６４７をＳｉＯとした場合に、その厚さを２μｍから３μｍとする。この場合、第１のソース電極６３１、第１のゲ

ート電極連結部６２３、第２のゲート電極連結部６２７、第２のソース電極６３３の幅を３μｍ程度とすれば、通常のフォトリソグラフィー技術と第２の誘電体膜６４７及び第１の誘電体膜６４３をドライエッチングする技術により、第１のソース電極６３１上のビア６８１、第１のゲート電極連結部６２３上のビア６７１、第２のソース電極６３３上のビア６５１、第２のゲート電極連結部６２７上のビア６６１が形成される。そして、それぞれのビアを充填するプラグ６８３、６７３、６５３、６６３が形成されている。プラグ６８３、６７３、６５３、６６３は第２の誘電体膜６４７と接する部分はＴｉＮ膜をバリア層として、Ｗ（タングステン）が用いられる。プラグ６８３は第１のソース電極の引き出し配線６８５と接続し、プラグ６７３は第１のゲート電極の引き出し配線６７５と接続し、プラグ６５３は第２のソース電極の引き出し配線６５５と接続し、プラグ６６３は第２のゲート電極の引き出し配線６６５と接続している。

【０１０７】

本実施形態においては、第１のゲート電極６２１と第２のゲート電極６２２の中央部において第１のゲート電極連結部６２３で接続されている。そして、第１のゲート電極連結部６２３にビア６７１を形成してゲート配線を行う。また、第３のゲート電極６２５と第４のゲート電極６２６の中央部において第２のゲート電極連結部６２７で接続されている。そして、第１のゲート電極連結部６２３にビア６７１を、第２のゲート電極連結部６２７にビア６６１を形成してゲート配線が行われている。従って、ゲート電極の端部からゲート配線を行う場合に比べて、ゲート配線抵抗が大幅に減少する。また、ゲート配線は素子分離領域６１０の上ではなく、活性領域６０９の上で形成される。その結果、チップ面積の増大も発生しない。

【０１０８】

なお本実施形態の窒化物半導体装置６２０においては、実施形態１の変形例１のように、第１のソース電極６３１と第２のソース電極６３３が第１の誘電体膜６４３と接する側面は断面形状が順テーパーとなっていても良い。順テーパーの形状により、第１の誘電体膜６４３の第１のソース電極６３１と第２のソース電極６３３の側面に対するカバレージが良くなり、ボイド（空隙）やシーム（継ぎ目）が発生しなくなる。その結果、第１のソース電極６３１と第１のゲート電極連結部６２３の間や、第２のソース電極６３３と第２のゲート電極連結部６２７の間に数１０Ｖの逆バイアス電圧が印加された場合においても、第１の誘電体膜６４３が絶縁破壊することが起きにくいという効果がある。

【０１０９】

なお本実施形態の窒化物半導体装置６２０においては、実施形態１の変形例２のように、第１のソース電極６３１と第２のソース電極６３３の上に、フィールドプレート電極となる低抵抗金属層が設けられていても良い。

【０１１０】

なお本実施形態の窒化物半導体装置６２０においては、実施形態２のように、図１２の構成がＸ方向に繰り返し形成され、第１のソース電極の引き出し配線６８５の中に第１のソースパッド、第２のソース電極の引き出し配線６５５の中に第２のソースパッド、第１のゲート電極の引き出し配線６７５の中に第１のゲートパッド、第２のゲート電極の引き出し配線６６５の中に第２のゲートパッドが形成されても良い。

【０１１１】

なお本実施形態の窒化物半導体装置６２０においては、実施形態２の変形例のように、第１のソースと第１のゲートの間に保護ダイオードを入れても、第２のソースと第２にゲートの間に保護ダイオードを入れても良い。

【０１１２】

なお本実施形態の窒化物半導体装置６２０においては、実施形態３のように、２層目の配線技術を用いることにより、第１のソースパッド、第２のソースパッド、第１のゲートパッド、第２のゲートパッドを形成しても良い。

【０１１３】

以上のように実施形態４に係る窒化物半導体装置は、基板と、前記基板の上に複数の窒

化物半導体層からなる半導体積層構造と、前記半導体積層構造の上面側に、周囲を素子分離領域で囲まれる第１の活性領域と、前記第１の活性領域の上に、第１のソース電極と、前記第１のソース電極に対して平面視で第１方向に離間した両側に位置する第１のゲート電極と第２のゲート電極と、第２のソース電極と、前記第２のソース電極に対して平面視で第１方向に離間した両側に位置する第３のゲート電極と第４のゲート電極とを有し、前記第１のソース電極、前記第１のゲート電極、前記第２のゲート電極、前記第２のソース電極、前記第３のゲート電極、前記第４のゲート電極は、平面視で前記第１方向と垂直な第２方向に延伸するフィンガー状の部分を有し、前記第１のソース電極と前記第２のソース電極の上には第１の誘電体膜が形成されており、前記第１のゲート電極と前記第２のゲート電極は、前記第１の誘電体膜の上に形成された第１のゲート電極連結部によって電気的に接続し、前記第３のゲート電極と前記第４のゲート電極は、前記第１の誘電体膜の上に形成された第２のゲート電極連結部によって電気的に接続している。

【０１１４】

これによれば、ゲート電極の配線を、平面視において第１の活性領域の内側に形成することにより、配線長を短くし、ゲートの配線抵抗を低減することができえる。その結果、スイッチング動作の高速化に適しているという効果がある。また、ゲート電極の配線を、平面視において活性領域の内側に形成することにより、窒化物半導体装置としてのチップの面積を縮小できるという効果がある。

【０１１５】

例えば、前記第１のゲート電極、前記第２のゲート電極、前記第１のゲート電極連結部、前記第３のゲート電極、前記第４のゲート電極、前記第２のゲート電極連結部は、同一の金属層で形成されてもよい。

【０１１６】

これによれば、第１のゲート電極、第２のゲート電極、第１のゲート電極連結部、第３のゲート電極、第４のゲート電極、および前記第２のゲート電極連結部の形成において、製造工程を増加させないという効果がある。

【０１１７】

例えば、前記第１のゲート電極連結部の幅は、前記第１のゲート電極長と前記第２のゲート電極長よりも大きく、前記第２のゲート電極連結部の幅は、前記第３のゲート電極長と前記第４のゲート電極長よりも大きくてもよい。

【０１１８】

これによれば、ゲート電極連結部に対してビアとプラグを用いる配線が可能にし、チップ面積を縮小することができる。

【０１１９】

例えば、前記第１のソース電極の側面において、前記第１の誘電体膜と接する部分は順テーパー形状であり、前記第２のソース電極の側面において、前記第１の誘電体膜と接する部分は順テーパー形状であってもよい。

【０１２０】

これによれば、第１の誘電体膜の第１および第２のソース電極の側面に対するカバレージが良くなり、ボイド（空隙）やシーム（継ぎ目）が発生を抑制する。その結果、ソース電極とゲート電極連結部の間に逆バイアス電圧（例えば数１０Ｖ）が印加された場合においても、第１の誘電体膜が絶縁破壊することが起きにくいという効果がある。

【０１２１】

以上、一つまたは複数の態様に係る窒化物半導体装置について、実施の形態に基づいて説明したが、本開示は、この実施の形態に限定されるものではない。本開示の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、一つまたは複数の態様の範囲内に含まれてもよい。

【産業上の利用可能性】

【０１２２】

本開示にかかる窒化物半導体装置においては、ゲートの配線抵抗が低いスイッチング用トランジスタとして利用可能である。

【符号の説明】

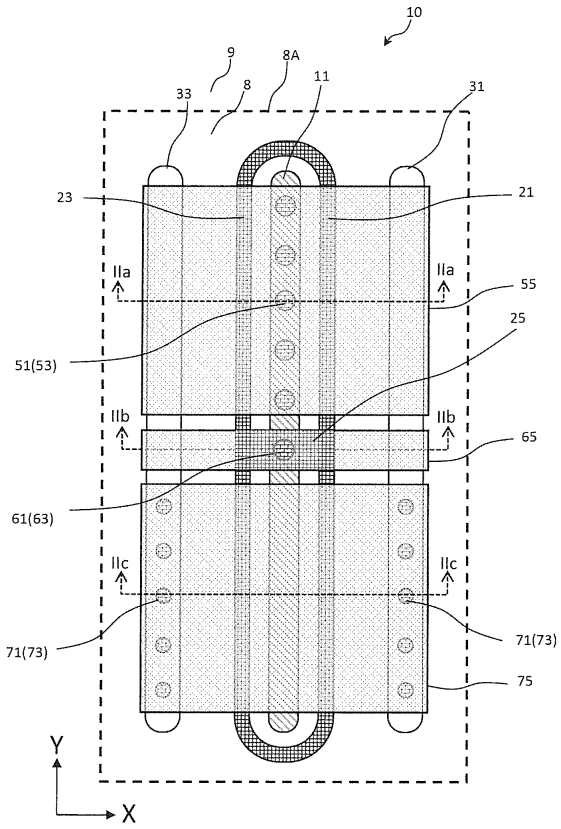
【０１２３】

１　Ｓｉ基板
２　バッファー層
３　ＧａＮチャネル層
４　ＡｌＧａＮバリア層
５、６、１０５、１０６、４０５　ｐ型ＧａＮ層
８、２０８、３０８、４０８、５０８　第１の活性領域
８Ａ、２０８Ａ、３０８Ａ、４０８Ａ、５０８Ａ、６０９Ａ　イオン注入領域の境界
９、２０９、３０９、４０９、５０９　素子分離領域
１０、１１０、２１０、３１０、４１０、５１０、６２０　半導体装置
１１、１１１、２１１、３１１、５１１　ソース電極
２１、１２１、２２１、５２１　第１のゲート電極
２３、１２３、２２３、５２３　第２のゲート電極
２５、１２５、２２５、３２５、５２５　ゲート電極連結部
３１、３３、２３１、２３３、３３１、５３１、５３３　ドレイン電極
４１、１４１、２４１、４４１　ＳｉＮ膜
４３、１４３、２４３　４４３　第１の誘電体膜（ＳｉＯ膜）
４７、２４７、４４７　第２の誘電体膜（ＳｉＯ膜）
５１、２５１、３５１、５５１　ソース電極上のビア
５３、２５３　プラグ
５５、２５５、３５５、５５５　第１のソース引き出し配線
６１、２６１、３６１、５６１　ゲート電極連結部上のビア
６３、２６３　プラグ
６５、２６５、３６５、５６５　第１のゲート引き出し配線
７１、２７１、３７１、５７１　ドレイン電極上のビア
７３、２７３　プラグ
７５、２７５、３７５、５７５　第１のドレイン引き出し配線
２４５　ＳｉＯ膜（フィールドプレート膜）
２８１、２８３、２８７　低抵抗金属層
２８５　低抵抗金属層（ソースフィールドプレート電極）
３９１　ソースパッド
３９１Ａ　ソースパッド開口部
３９３　ゲートパッド
３９３Ａ　ゲートパッド開口部
３９５　ドレインパッド
３９５Ａ　ドレインパッド開口部
４０５　ｐ型層
４１１　ダミー電極
４１３　カソード電極
４２５　アノード電極
４５１　ビア
４５３　プラグ
４５５　カソード電極引き出し配線
４６１　ビア
４６３　プラグ
４６５　アノード電極引き出し配線
４８１　アノード・ソース間配線

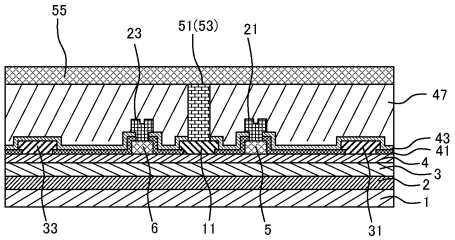
４８３　アノード・カソード間配線
４８５　カソード・ゲート間配線
４９０　ＰＮダイオード
４９２　保護ダイオード
４９８　第２の活性領域
５８１　第１のソース引き出し配線上のビア
５８２　５８４、５８６　プラグ
５８３　第１のゲート引き出し配線上のビア
５８５　第１のドレイン引き出し配線上のビア
５８７　第２のソース引き出し配線
５８８　第２のゲート引き出し配線
５８９　第２のドレイン引き出し配線
５９１　ソースパッド
５９１Ａ　ソースパッド開口部
５９３　ゲートパッド
５９３Ａ　ゲートパッド開口部
５９５　ドレインパッド
５９５Ａ　ドレインパッド開口
６０５、６０６、６０７、６０８　ｐ型ＧａＮ層
６０９　活性領域
６１０　素子分離領域
６２１　第１のゲート電極
６２２　第２のゲート電極
６２３　第１のゲート電極連結部
６２５　第３のゲート電極
６２６　第４のゲート電極
６２７　第２のゲート電極連結部
６３１　第１のソース電極
６３３　第２のソース電極
６４１　ＳｉＮ膜
６４３　第１の誘電体膜（ＳｉＯ膜）
６４７　第２の誘電体膜（ＳｉＯ膜）
６５１　第２のソース電極上のビア
６５３　プラグ
６５５　第２のソース電極の引き出し配線
６６１　第２のゲート電極連結部上のビア
６６３　プラグ
６６５　第２のゲート電極の引き出し配線
６７１　第１のゲート電極連結部上のビア
６７３　プラグ
６７５　第１のゲート電極の引き出し配線
６８１　第１のソース電極上のビア
６８３　プラグ
６８５　第１のソース電極の引き出し配線

【図面】

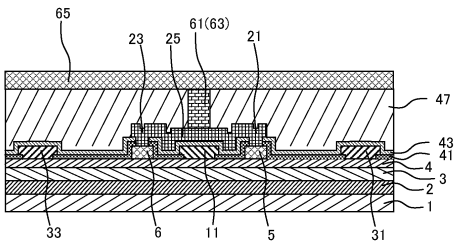
【図１】



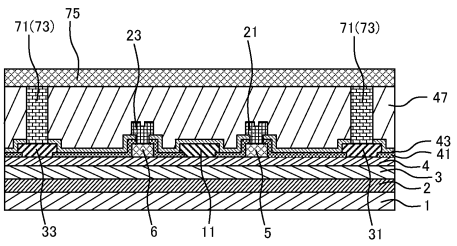
【図２Ａ】



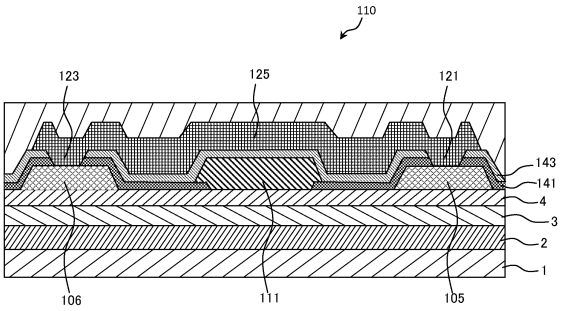
【図２Ｂ】



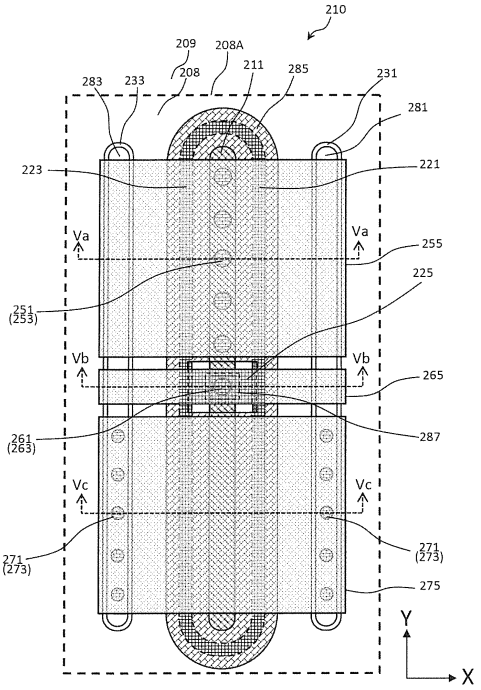
【図２Ｃ】



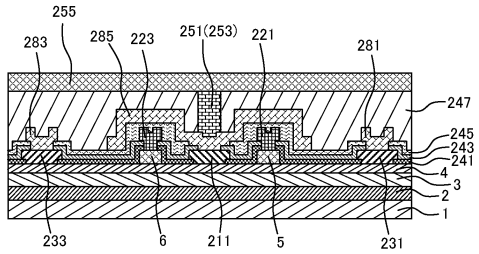
【図３】


110
123
125
121
143
141
4
3
2
1
106
111
105

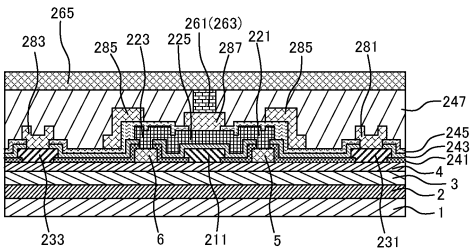
【図４】


210
209
208A
211
285
231
283
233
208
281
223
221
Va
Va
255
225
251
(253)
Vb
Vb
265
261
(263)
287
Vc
Vc
271
(273)
271
(273)
275
Y
X

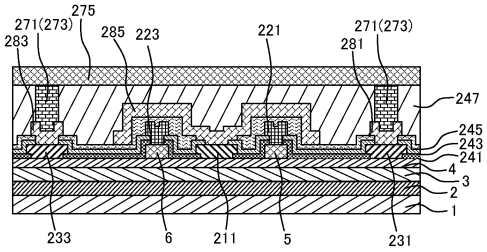
【図５Ａ】


255
283
285
223
251(253)
221
281
247
245
243
241
4
3
2
1
233
6
211
5
231

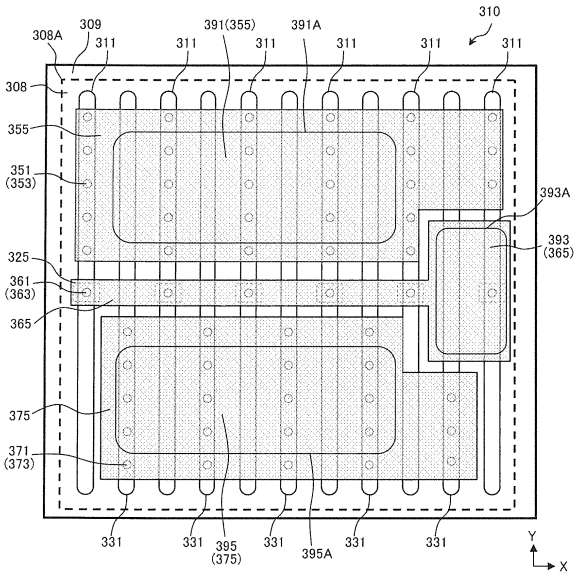
【図５Ｂ】


265
283
285
223
225
261(263)
287
221
285
281
247
245
243
241
4
3
2
1
233
6
211
5
231

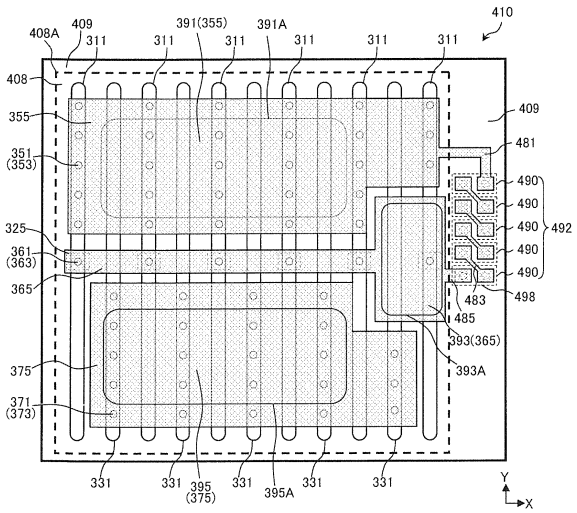
【図５Ｃ】


271(273)
275
283
285
223
221
271(273)
281
247
245
243
241
4
3
2
1
233
6
211
5
231

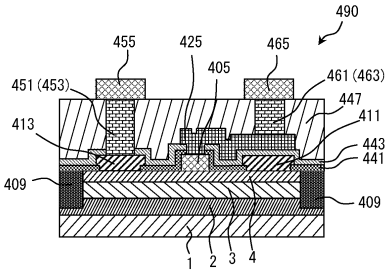
【図６】


310
308A
309
311
391(355)
391A
308
355
351
(353)
393A
393
(365)
325
361
(363)
365
375
371
(373)
331
395
(375)
395A
Y
X

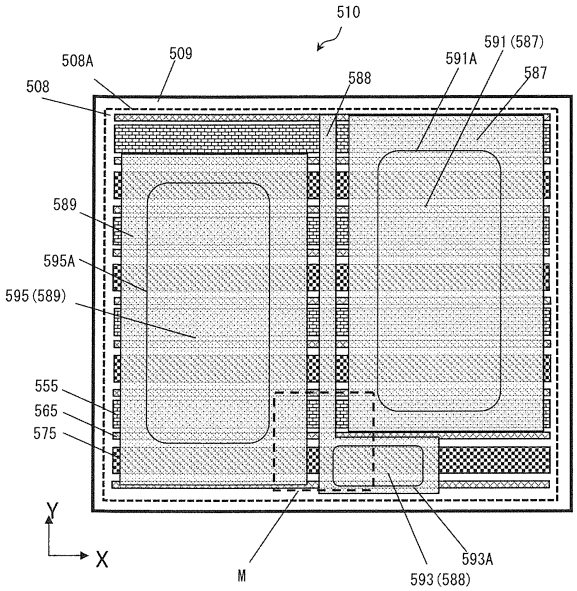
【図７】


410
408A
409
311
391(355)
391A
408
355
351
(353)
481
490
492
325
361
(363)
365
483
485
498
393(365)
393A
375
371
(373)
331
395
(375)
395A
Y
X

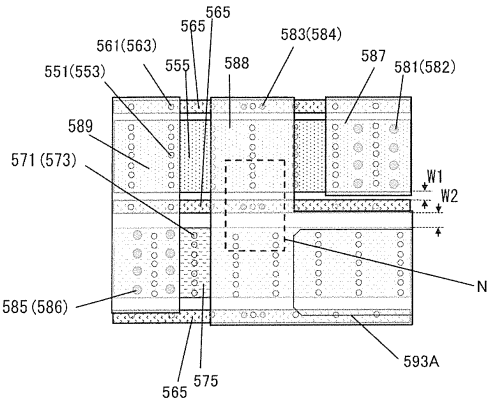
【図８】


490
455
425
465
405
451 (453)
461 (463)
447
411
413
443
441
409
409
1
2
3
4

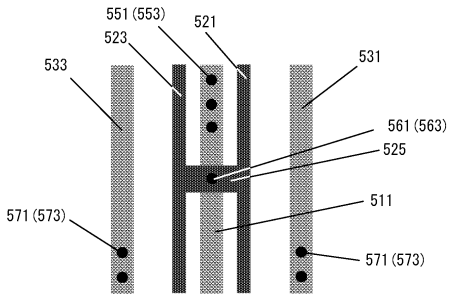
【図９】



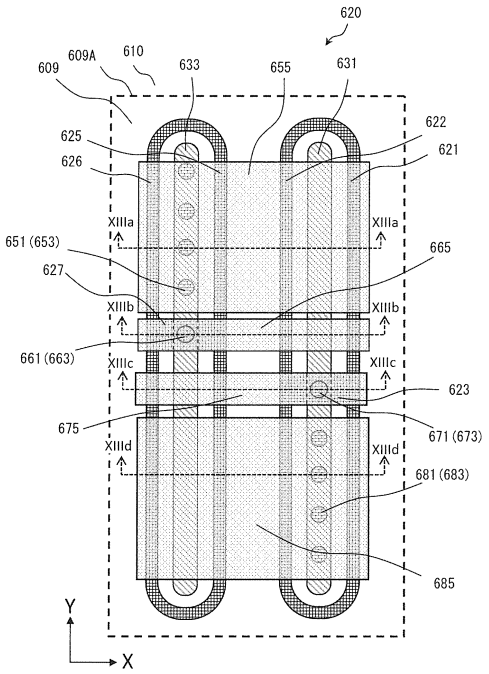
【図１０】



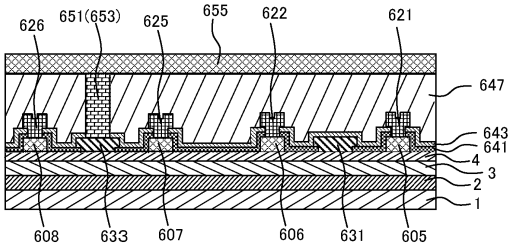
【図１１】



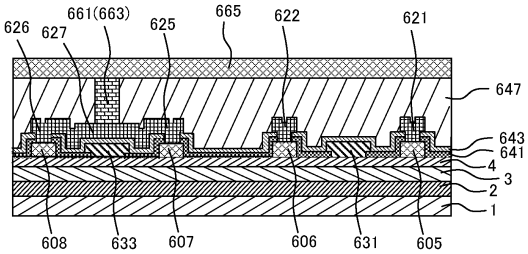
【図１２】



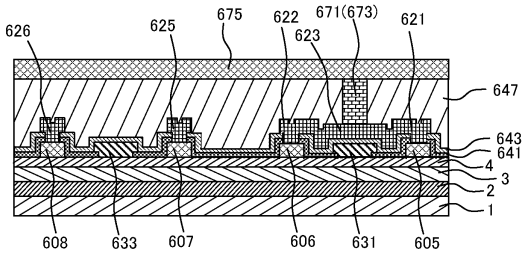
【図１３Ａ】



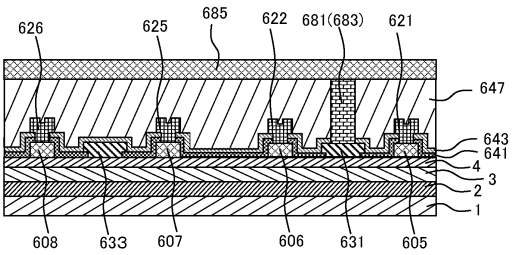
【図１３Ｂ】



【図１３Ｃ】



【図１３Ｄ】



フロントページの続き

(51)国際特許分類		FI		
H01L 21/768 (2006.01)		H10D	64/20	Z
H01L 23/522 (2006.01)		H01L	21/88	T
H10D 30/83 (2025.01)		H10D	30/83	
H10D 30/47 (2025.01)		H10D	30/47	201
		H01L	21/88	Z

社内
(72)発明者 山際 優人
日本国大阪府門真市大字門真１００６番地 パナソニックインダストリー株式会社内
(72)発明者 大来 英之
日本国大阪府門真市大字門真１００６番地 パナソニックインダストリー株式会社内
(72)発明者 引田 正洋
日本国大阪府門真市大字門真１００６番地 パナソニックインダストリー株式会社内
審査官 恩田 和彦

(56)参考文献
特開２００９－１２３９３２（ＪＰ，Ａ）
特開２０１８－０８８４７３（ＪＰ，Ａ）
特表２０１９－５１２８８６（ＪＰ，Ａ）
特開２０１３－０５８６４０（ＪＰ，Ａ）
特開２０１６－１３９７１８（ＪＰ，Ａ）
特開２０２０－０６８３４３（ＪＰ，Ａ）
特開２０１２－０８９７９３（ＪＰ，Ａ）
特表２０２０－５２４９１１（ＪＰ，Ａ）
特開２００３－１６８７３６（ＪＰ，Ａ）
特開２００２－２９９３５１（ＪＰ，Ａ）
米国特許出願公開第２０１３／０３１３６５３（ＵＳ，Ａ１）
特開平４－１７１７３４（ＪＰ，Ａ）

(58)調査した分野 (Int.Cl.，ＤＢ名)
Ｈ１０Ｄ ３０／８７
Ｈ１０Ｄ ８９／６０
Ｈ１０Ｄ ６４／２０
Ｈ１０Ｄ ６４／２３
Ｈ０１Ｌ ２１／３２０５
Ｈ１０Ｄ ３０／８３
Ｈ１０Ｄ ３０／４７