



(21) (PV 8188-79)

(51) Int. Cl.³
H 03 H 7/46

(40) Zveřejněno 27 02 81

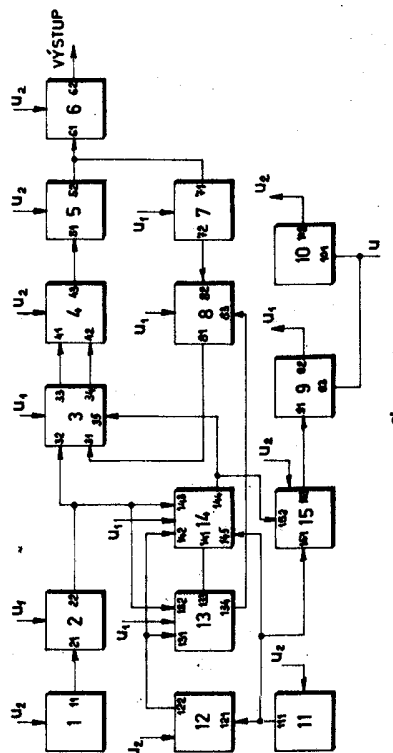
(45) Vydáno 01 07 83

Autor vynálezu

NĚMEC ALEXEJ ing. a ŠPATENKA MILAN ing., PRAHA

(54) Zapojení ekonomizéru v knitočtovém synteZátoru

Zapojení ekonomizéru v kmitočtovém syntezátoru je tvořeno řídicím krystalovým oscilátorem, děličem referenčního kmitočtu, digitální a lineární částí fázového detektoru, řízeným oscilátorem, oddělovacím zesilovačem, předděličem kmitočtu s pevným dělicím poměrem, řízeným děličem kmitočtu a zdrojem napájecího napětí.



Vynález se týká zapojení kmitočtového syntezátoru, u něhož se pro snížení příkonu využívá přerušované doladování řízeného oscilátoru, přičemž výstupní signál syntezátoru není blokován. To umožňuje snížení příkonu radiostanice bez přerušování příjmu.

Doposud se pro částečné snížení příkonu radiostanice (syntezátoru) používá tzv. pohotovostní příjem. Toto snížení příkonu vychází z toho, že radiostanice je v převážné části provozní doby přepnuta na příjem. Po dobu pohotovostního příjmu je radiostanice zapínána do funkce jen na dobu nezbytně nutnou pro vyhodnocení příjmu, tj. na dobu několika desítek sec. V případě vyhodnocení příjmu se radiostanice automaticky přepne na trvalý příjem. Systém pohotovostního příjmu sice umožňuje snížení spotřeby radiostanice, avšak toto snížení je závislé na poměru časů, po které je radiostanice zapnuta na pohotovostní a trvalý příjem.

Příkon syntezátoru lze snížit použitím známých integrovaných obvodů s malou spotřebou, vyráběných především technologií N MOS, P MOS případně C MOS. Použití těchto obvodů v syntezátorech však umožňuje realizaci řízených a referenčních děličů kmitočtu s relativně nízkými mezními kmitočty (2–7 MHz). Při požadavku zpracovat děličem kmitočty do 80 MHz, v některých případech i nad 100 MHz a současně zajistit maximální srovnávací kmitočty na fázovém detektoru, je třeba před pomalou část řízeného děliče předradit rychlé předděliče, většinou programovatelné.

Předděliče jsou vytvořeny z integrovaných obvodů vyráběných technologií TTLIS, TTLS, TTL, TTLH nebo ECL, které mají podstatně větší spotřebu než obvody MOS. V těchto případech pak spotřebu syntezátoru určuje především příkon předděliče.

Předmětem vynálezu je zapojení ekonomizéru v kmitočtovém syntezátoru s řídicím krystalovým oscilátorem, děličem referenčního kmitočtu, digitální a lineární částí fázového detektoru, řízeným oscilátorem, oddělovacím zesilovačem, předděličem kmitočtu s pevným dělicím poměrem, řízeným děličem kmitočtu a zdrojem napájecího napětí, vyznačené tím, že výstup děliče referenčního kmitočtu je připojen na třetí vstup obvodu blokování fázového detektoru, vstup obvodu počátečního nafázování a výstup monostabilního obvodu, jehož vstup je připojen na výstup astabilního obvodu, jakož i na pátý vstup obvodu blokování fázového detektoru a první vstup ovládání zdroje přerušovaného napětí, jehož druhý vstup je propojen jednak ke druhému vstupu digitální části fázového detektoru, jednak k výstupu obvodu blokování fázového detektoru, jehož první vstup je připojen na první výstup obvodu počátečního nafázování, jehož druhý výstup je připojen na třetí vstup řízeného děliče kmitočtu, přičemž výstup ovládání blokování zdroje přerušovaného napětí je připojen na vstup zdroje přerušovaného napájecího napětí, z jehož

výstupu jsou napájeny jednak dělič referenčního kmitočtu, digitální část prvního fázového detektoru, předdělič kmitočtu, řízený dělič kmitočtu, obvod počátečního nafázování a obvod blokování fázového detektoru.

Zapojení syntezátoru se sníženým příkonem podle vynálezu umožňuje výrazné snížení příkonu až $20\times$ za předpokladu použití obvodů TTL a TTLS při zanedbatelném zhoršení některých parametrů syntezátoru. Snížení příkonu syntezátoru využívá vlastností kvalitního řízeného oscilátoru s dobrou krátkodobou stabilitou kmitočtu, který není nutné řídit trvale. Některé obvody syntezátoru jako řízení a referenční dělič kmitočtu, oddělovací zesilovač pro řízení předděliče a část fázového detektoru jsou zapínány do funkce jen na dobu nezbytně nutnou k doregulování kmitočtové odchylky, která vznikne v době, kdy řízený oscilátor pracuje v neřízeném režimu. V trvalém provozu zůstávají pouze řízený oscilátor (VCO), referenční krystalový oscilátor a oddělovací zesilovač ve výstupním obvodu syntezátoru. Tyto obvody mají spotřebu, která odpovídá asi 3 % spotřeby běžných syntezátorů používaných v radiostanicích za předpokladu použití TTL integrovaných obvodů.

Další výhodou syntezátoru zapojeného podle vynálezu je skutečnost, že řízený oscilátor pracuje po dobu „spoření“ bez řízení, čímž se zlepšují některé parametry (především se snižuje parazitní kmitočtová modulace srovnávacím kmitočtem a jeho harmonickými a parazitní vyzařování na neharmonických kmitočtech).

Zapojení syntezátoru se sníženým příkonem podle vynálezu bude dále popsáno se zřetelem k výkresové části, kde obr. 1 znázorňuje blokové schéma syntezátoru podle vynálezu a obr. 2 idealizované časové průběhy signálů v důležitých bodech zapojení podle obr. 1. Zapojení podle vynálezu obsahuje běžně používané obvody v syntezátorech: řídicí krystalový oscilátor 1, dělič referenčního kmitočtu 2, napětím řízený oscilátor 5 oddělovací zesilovač 6, předdělič kmitočtu 7 s pevným dělicím poměrem a lineární část druhého detektoru 4.

Pouze digitální část prvního fázového detektoru 3 musí být vybavena blokováním funkce a řízený dělič kmitočtu musí mít vstup, kterým lze nastavit potřebný vnitřní stav při počátečním nafázování. Dále je zde použito dvou zdrojů napětí 9; 10, z nichž první zdroj 9 je vybaven elektronickým vypínačem výstupního napětí U_1 . Druhý zdroj 10 se běžně používá v radiostanicích a dodává trvalé napájecí napětí U_2 . Běžné zapojení syntezátoru doplňují tyto obvody: astabilní obvod 11, monostabilní obvod 12, obvod počátečního nafázování 13, obvod blokování fázového detektoru 14, a obvod pro ovládání zdroje přerušovaného napětí 15.

Předpokládáme, že syntezátor je v režimu „spoření“ – druhý interval T_2 , jak patrně z obr. 2. Po příchodu aktivní hrany signálu na výstupu 111 astabilního multivibrátoru 11, která určuje začátek

prvního intervalu T_1 , se odblokuje první zdroj 9 přerušovaného napájecího napětí.

Toto napětí nedosáhne ihned jmenovité hodnoty (viz U_1 – obr. 2), proto monostabilní obvod 12 zajišťuje ve čtvrtém intervalu T_4 nulování obvodů počátečního nafázování 13 a obvodu blokování fázového detektoru 14. Tím je blokována i digitální část prvního fázového detektoru 3. Po skončení impulsu na výstupu 122 monostabilního obvodu 12 se uvolní nulování obvodů počátečního nafázování 13 a blokování fázového detektoru 14. První aktivní hrana signálu na výstupu 22 děliče referenčního kmitočtu 2, která přijde po odblokování obvodů 13 a 14, zajistí nafázování signálu na výstupu S1 řízeného děliče kmitočtu 8 na výstupní signál děliče 2. Tímto způsobem se v syntezátoru připraví podmínky k odblokování digitální části prvního fázového detektoru 3. Nejbližší hranou, která následuje za aktivní hranou signálu na výstupu 22, jak patrně z obr. 2 děliče referenčního kmitočtu 2 se překlápí obvod blokování fázového detektoru 14 a signál na jeho výstupu 144 zajistí odblokování digitální části prvního fázového detektoru 3 s dostatečným zpožděním v pátém intervalu T_5 od okamžiku zapnutí zdroje napájecího napětí 9. Vozka mezi obvodem počátečního nafázování 13 a obvodem blokování fázového detektoru 14, při níž výstup 133 je spojen se vstupem 141, zabraňuje předčasnému odblokování fázového detektoru.

Konec prvního intervalu T_1 je odvozen od aktivní hrany výstupního signálu děliče referenčního kmitočtu 2 na výstupu 22. První aktivní hrana signálu na výstupu 22, která přijde po skončení impulsu astabilního multivibrátoru 11 (výstup 111) překlápí obvod 14 (vstup 145), čímž dojde k zeslabování digitální části fázového detektoru 3. Změna signálu na výstupu 144 obvodu blokování fázového detektoru 14 způsobí překlápění obvodu pro ovládání zdroje přerušovaného napětí 15, čímž se s dostatečným časovým zpožděním vypne zdroj přerušovaného napájecího napětí 9. Vytvořený časový předstih zablokování některého z fázových detektorů 4; 3 před vypnutím napájecího zdroje 9 je dostatečný proto, aby v zapojení syntezátoru podle vynálezu zbytečně nedocházelo ke vzniku parazitní kmitočtové modulace při přechodu do režimu spojení v druhém intervalu T_2 .

K počátečnímu nafázování se v zapojení syntezátoru podle vynálezu využívá vlastností fázové

smyčky druhého řádu, která udržuje nulovou fázovou odchylku mezi srovnávatelnými signály ve fázovém detektoru. Nafázování signálů na vstupech 32, 31 digitální části fázového detektoru 3 je odvozeno od posledního impulsu signálu na výstupu 134 obvodu pro počáteční nafázování 13. Řízený dělič kmitočtu $N/1$ 8 se tímto impulsem nastaví na vnitřní stav, který zajišťuje minimální rozdíl fází signálů na vstupech 32, 31 fázového detektoru 3, 4 již na konci první srovnávací periody po odblokování fázového detektoru. Při použití řízeného děliče s programovatelným předděličem je nutné nastavit nejen pomalou část řízeného děliče, ale i předděliče.

Protože dělič referenčního kmitočtu 2 může mít po zapnutí napájecího napětí na libovolný vnitřní stav, můžeme počáteční nafázování signálů na vstupech 32, 31 provést pouze s určitou počáteční odchylkou. Tím se může použít předchozí soufázovost signálů srovnávaných ve fázovém detektoru i za předpokladu ideálního kmitočtově stálého oscilátoru, který by v době „spojení“ ve druhém intervalu T_2 neměnil kmitočet. Navíc se zde uplatňuje „naintegrovaní“ fázové chyby vlivem nestability kmitočtu řízeného oscilátoru 5 během režimu „spojení“. Vyjádříme-li chybu v počátečním nafázování $\Delta\varphi$ signálů na vstupech 31, 32 digitální části fázového detektoru 3 časovým intervalem, pak platí nerovnost

$$\Delta\varphi \leq T_v,$$

kde T_v je délka periody signálu na vstupu 82 řízeného děliče kmitočtu 8. Chyba v počátečním nafázování $\Delta\varphi$, jejíž velikost je nahodilá a přitom splňuje výše uvedenou nerovnost, způsobuje parazitní kmitočtovou modulaci, kterou můžeme minimalizovat volbou vhodných časových konstant v lineární části fázového detektoru 4.

Obvody 12, 13, 14 a 15 včetně změn v digitální části fázového detektoru 3 a řízeného děliče kmitočtu 8 lze realizovat čtyřmi integrovanými obvody například jedním dvojitým klopným obvodem a zbytek dvojestupnými hradly. Klopné obvody 13, 14 je možné napájet ze zdroje přerušovaného napětí 9, takže pomocné obvody jen minimálně zvyšují příkon syntezátoru.

Řešení syntezátoru se zvýšeným příkonem podle vynálezu je určeno pro mobilní a přenosné radio-stanice nebo přijímače s kmitočtovou modulací.

PŘEDMĚT VYNÁLEZU

Zapojení ekonomizéru v kmitočtovém syntezátoru s řídicím krystalovým oscilátorem, děličem referenčního kmitočtu, digitální a lineární částí fázového detektoru, řízeným oscilátorem, oddělovacím zesilovačem, předděličem kmitočtu s pevným dělicím poměrem, řízeným děličem kmitočtu a zdrojem napájecího napětí, vyznačené tím, že výstup (22) děliče referenčního kmitočtu (2) je

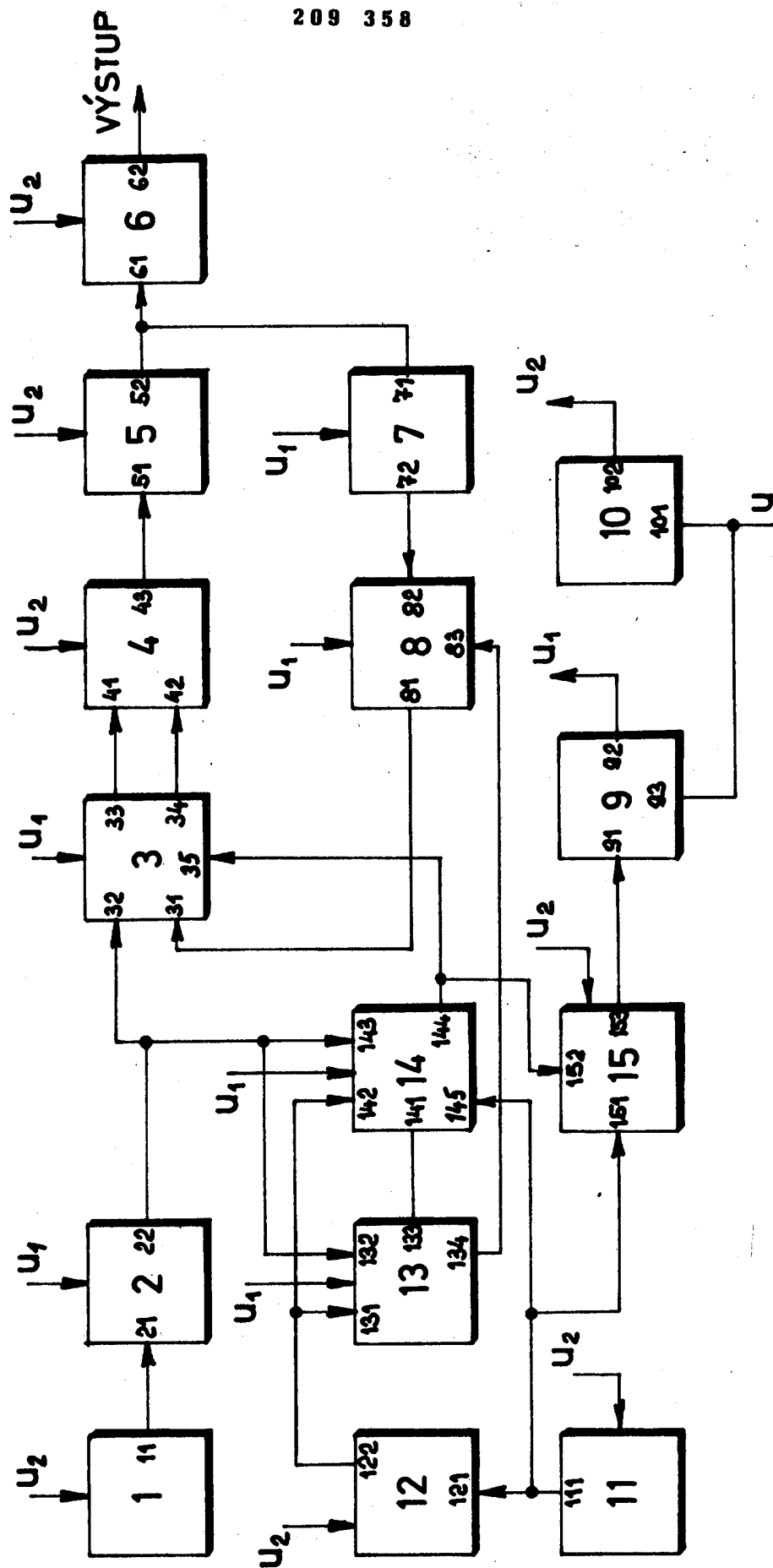
připojen na třetí vstup (143) obvodu blokování fázového detektoru (14), vstup (132) obvodu počátečního nafázování (13) a výstup (122) monostabilního obvodu (12), jehož vstup (121) je připojen na výstup (111) astabilního obvodu (11), jakož i pátý vstup (145) obvodu blokování fázového detektoru (14) a první vstup (151) ovládání zdroje přerušovaného napětí (15), jehož druhý

209358

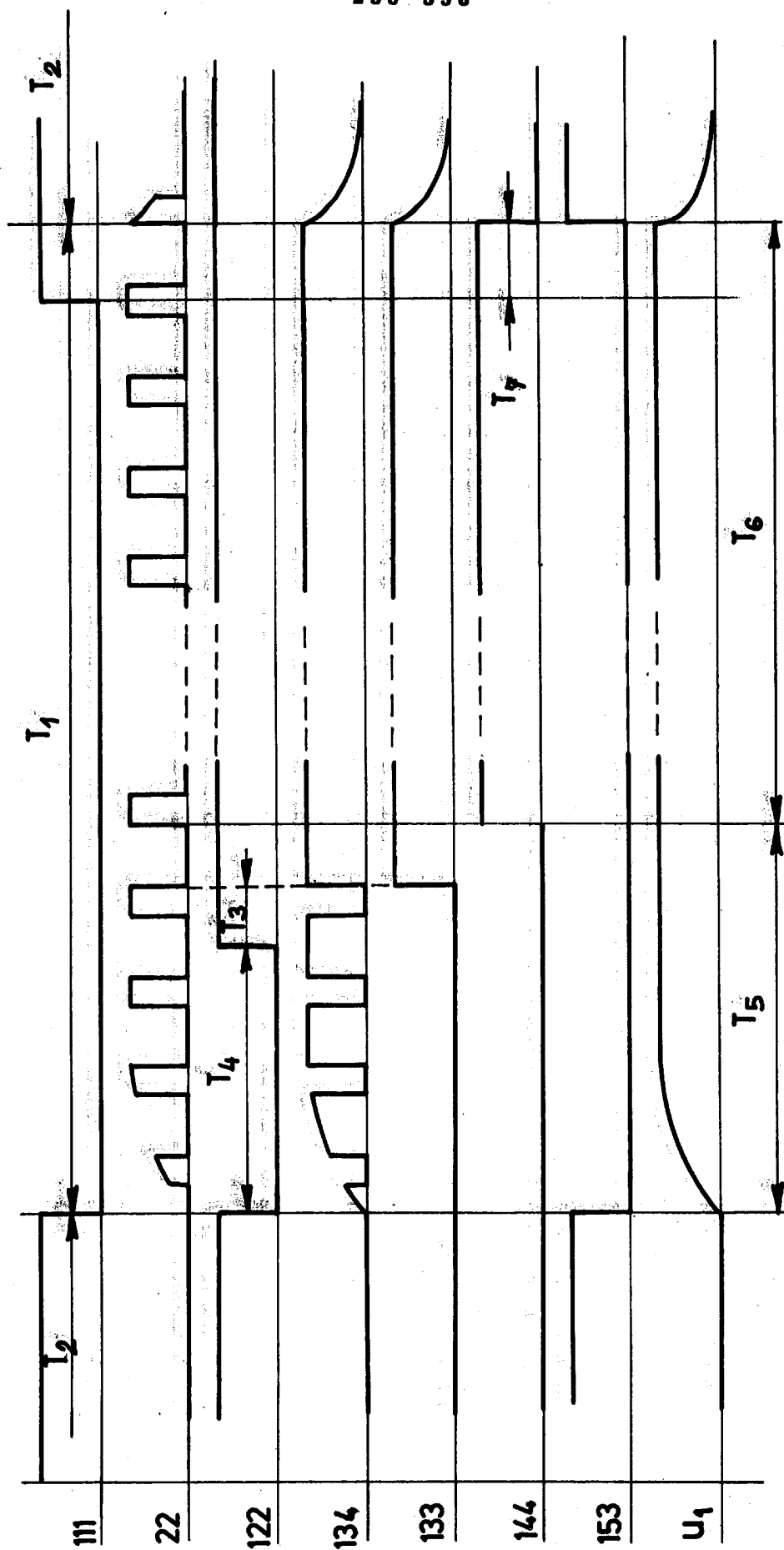
vstup (152) je propojen jednak ke druhému vstupu (35) digitální části fázového detektoru (3), jednak k výstupu (144) obvodu blokování fázového detektoru (14), jehož první vstup (141) je připojen na první výstup (133) obvodu počátečního nafázování (13), jehož druhý výstup (134) je připojen na třetí vstup (83) řízeného děliče kmitočtu (8), přičemž výstup (153) ovládání blokování zdroje přerušova-

ného napětí (15) je připojen na vstup (91) zdroje přerušovaného napájecího napětí (9), z jehož výstupu (92) jsou napájeny jednak dělič referenčního kmitočtu (2), digitální část prvního fázového detektoru (3), předdělič kmitočtu (7), řízený dělič kmitočtu (8), obvod počátečního nafázování (13) a obvod blokování fázového detektoru (14).

2 výkresy



Obr. 2



Обр. 2