



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년07월02일
(11) 등록번호 10-1995389
(24) 등록일자 2019년06월26일

(51) 국제특허분류(Int. Cl.)
H03L 7/081 (2006.01) H03K 5/13 (2014.01)
(21) 출원번호 10-2013-0098625
(22) 출원일자 2013년08월20일
심사청구일자 2017년11월23일
(65) 공개번호 10-2015-0021364
(43) 공개일자 2015년03월02일
(56) 선행기술조사문헌
KR100884590 B1*
KR1020070021559 A*
KR1020080073143 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
(72) 발명자
장재민
서울 광진구 아차산로 549, 1007동 1003호 (광장동, 현대파크빌아파트)
김용주
서울 송파구 양재대로 1218, 207동 2004호 (방이동, 올림픽선수기자촌아파트)
(뒷면에 계속)
(74) 대리인
김성남

전체 청구항 수 : 총 2 항

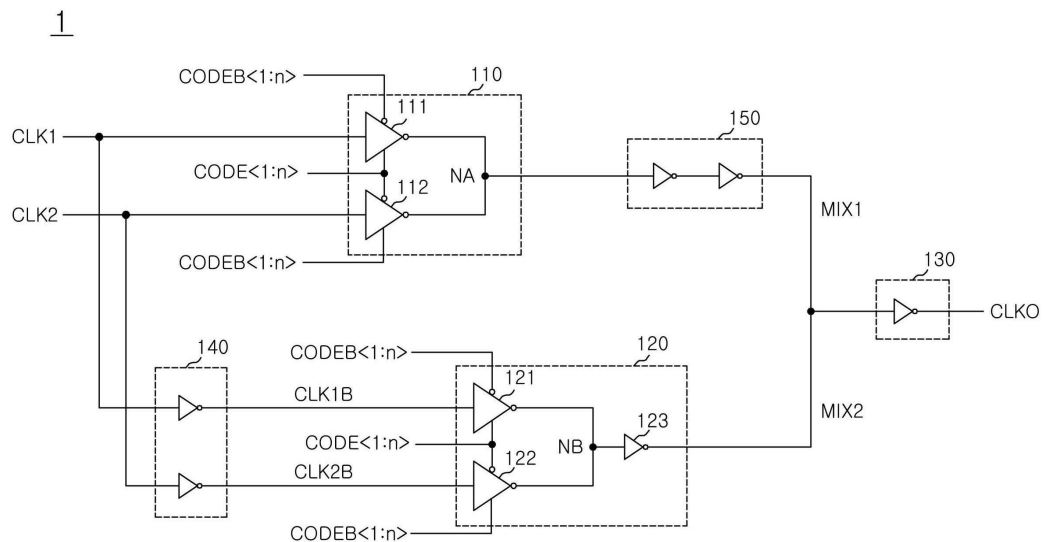
심사관 : 김병성

(54) 발명의 명칭 위상 혼합 회로, 이를 포함하는 반도체 장치 및 반도체 시스템

(57) 요약

위상 혼합 회로는 제 1 혼합부, 제 2 혼합부 및 출력부를 포함한다. 상기 제 1 혼합부는 제 1 및 제 2 클럭의 위상을 소정의 비율로 혼합하여 제 1 혼합신호를 생성한다. 상기 제 2 혼합부는 상기 제 1 클럭의 반전신호 및 상기 제 2 클럭의 반전신호의 위상을 상기 소정 비율로 혼합하여 제 2 혼합신호를 생성한다. 상기 출력부는 상기 제 1 및 제 2 혼합신호에 기초하여 출력신호를 생성한다.

대표도



(72) 발명자

권대한

서울 노원구 동일로214길 21, 410동 305호 (상계동, 상계주공4단지아파트)

차길호

대구 북구 동북로 131, 102동 1902호 (산격동, 양우내안애아파트)

명세서

청구범위

청구항 1

제 1 및 제 2 클럭의 위상을 소정의 비율로 혼합하여 제 1 혼합신호를 생성하는 제 1 혼합부;

상기 제 1 및 제 2 클럭을 수신하고, 상기 제 1 클럭의 반전신호 및 상기 제 2 클럭의 반전신호를 생성하는 반전 입력부;

상기 제 1 클럭의 반전신호 및 상기 제 2 클럭의 반전신호의 위상을 상기 소정 비율로 혼합하는 제 2 혼합부;

상기 제 2 혼합부의 출력을 수신하고, 상기 제 2 혼합부의 출력을 반전시켜 제 2 혼합 신호를 생성하는 반전 구동부;

상기 반전 입력부 및 상기 반전 구동부의 지연량에 대응하는 지연량만큼 제 1 혼합 신호를 지연시키는 지연부; 및

상기 제 1 및 제 2 혼합신호에 기초하여 출력신호를 생성하는 출력부를 포함하는 위상 혼합 회로.

청구항 2

◆청구항 2은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 제 1 혼합부는 제어신호에 응답하여 상기 제 1 클럭의 위상을 변경시키는 제 1 구동부; 및

상기 제어신호에 응답하여 상기 제 2 클럭의 위상을 변경시키는 제 2 구동부를 포함하고,

상기 제 1 및 제 2 구동부의 출력으로부터 상기 제 1 혼합 신호를 생성하는 위상 혼합 회로.

청구항 3

◆청구항 3은(는) 설정등록료 납부시 포기되었습니다.◆

제 1 항에 있어서,

상기 제 2 혼합부는 제어신호에 응답하여 상기 제 1 클럭의 반전신호의 위상을 변경시키는 제 3 구동부; 및

상기 제어신호에 응답하여 상기 제 2 클럭의 반전신호의 위상을 변경시키는 제 4 구동부를 포함하는 위상 혼합 회로.

청구항 4

삭제

청구항 5

삭제

청구항 6

제 1 클럭 및 제 2 클럭을 반전시켜 상기 제 1 클럭의 반전신호 및 상기 제 2 클럭의 반전신호를 생성하는 반전 입력부;

제어신호에 응답하여 상기 제 1 클럭의 위상을 변경시키는 제 1 구동부;

상기 제어신호에 응답하여 상기 제 1 클럭의 반전신호의 위상을 변경시키는 제 1 보상 구동부;

상기 제어신호에 응답하여 상기 제 2 클럭의 위상을 변경시키는 제 2 구동부; 및

상기 제어신호에 응답하여 상기 제 2 클럭의 반전신호의 위상을 변경시키는 제 2 보상 구동부;

상기 제 1 및 제 2 구동부의 출력을 지연시켜 제 1 혼합 신호를 생성하는 지연부; 및

상기 제 1 및 제 2 보상 구동부의 출력을 수신하여 제 2 혼합 신호를 생성하는 반전 구동부를 포함하고,

상기 제 1 및 제 2 구동부, 상기 제 1 및 제 2 보상 구동부의 출력에 기초하여 출력신호를 생성하는 위상 혼합 회로.

청구항 7

삭제

청구항 8

◆청구항 8은(는) 설정등록료 납부시 포기되었습니다.◆

제 6 항에 있어서,

상기 제 1 혼합신호와 상기 제 2 혼합신호를 수신하여 상기 출력신호를 생성하는 출력부를 포함하는 위상 혼합 회로.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로서, 더 상세하게는 클럭의 위상을 혼합하는 위상 혼합 회로, 이를 포함하는 반도체 장치 및 반도체 시스템에 관한 것이다.

배경 기술

[0002] 일반적으로, 반도체 장치는 클럭에 동기하여 동작하도록 구성된다. 복잡하고 다양한 동작을 정확하게 수행하거나 서로 연결된 장치와 정확하게 통신하기 위해서, 반도체 장치는 클럭의 위상을 보정하여 사용한다. 서로 다른 위상을 갖는 복수의 클럭의 위상을 혼합함으로써 상기 클럭의 위상을 보정할 수 있다.

[0003] 도 1은 종래기술에 따른 위상 혼합 회로(10)의 구성을 개략적으로 보여주는 도면이다. 도 1에서, 상기 위상 혼합 회로(10)는 제 1 드라이버(11), 제 2 드라이버(12) 및 출력부(13)를 포함한다. 상기 제 1 드라이버(11)는 제어신호(CODE<1:n>) 및 그 반전신호(CODEB<1:n>)에 응답하여 제 1 클럭(CLK1)의 위상을 변경하여 출력 노드(N1)로 출력한다. 상기 제 2 드라이버(12)는 상기 제어신호(CODE<1:n>) 및 그 반전신호(CODEB<1:n>)에 응답하여 제 2 클럭(CLK2)의 위상을 변경하여 상기 출력 노드(N1)로 출력한다. 상기 출력부(13)는 상기 제 1 드라이버(11) 및 상기 제 2 드라이버(12)의 출력으로부터 출력신호(MIX0)를 생성한다.

[0004] 상기 제 1 및 제 2 드라이버(11, 12)는 도 2에 도시된 것과 같은 스위치 인버터(20)를 각각 복수 개 구비한다. 도 2에서는 상기 제 1 드라이버(11)를 구성하는 스위치 인버터(20)를 도시한다. 상기 스위치 인버터(20)는 제 1 스위치 트랜지스터(21), 제 2 스위치 트랜지스터(22) 및 반전부(23)를 포함한다. 상기 제 1 스위치 트랜지스터(21)는 피모스 트랜지스터로 구성되고 제어신호의 반전신호(CODEB<n>)를 수신한다. 상기 제 2 스위치 트랜지스터(22)는 엔모스 트랜지스터로 구성되고 상기 제어신호(CODE<n>)를 수신한다. 상기 반전부(23)는 상기 제 1 및 제 2 스위치 트랜지스터(21, 22)가 턴온 되었을 때, 제 1 클럭(CLK1)을 반전하여 출력할 수 있다.

[0005] 상기 제 1 드라이버(11)의 스위치 인버터들은 각각 제 1 스위치 트랜지스터로 상기 제어신호의 반전신호(CODEB<1:n>)를 수신하고, 제 2 스위치 트랜지스터로 상기 제어신호(CODE<1:n>)를 수신한다. 상기 스위치 인버터들의 반전부는 상기 제 1 클럭(CLK1)을 공통 수신하고, 서로 병렬로 연결될 수 있다. 마찬가지로, 상기 제 2 드라이버(12)의 스위치 인버터들은 각각 제 1 스위치 트랜지스터로 상기 제어신호(CODE<1:n>)를 수신하고, 제 2 스위치 트랜지스터로 상기 제어신호의 반전신호(CODEB<1:n>)를 수신한다. 상기 스위치 인버터들의 반전부는 상기 제 2 클럭(CLK2)을 공통 수신하고, 서로 병렬로 연결될 수 있다.

[0006] 상기 위상 혼합 회로(10)는 공정 특성에 따라 출력신호(MIX0)의 듀티비가 일정하지 못하게 될 수 있다. 예를 들어, 엔모스 트랜지스터가 피모스 트랜지스터보다 빠른 공정 특성을 갖거나 엔모스 트랜지스터가 피모스 트랜지스터보다 느린 공정 특성을 갖는 경우, 상기 출력신호(MIX0)의 듀티비는 상기 엔모스 트랜지스터 및 피모스 트랜지스터의 공정 특성이 동일한 경우와 비교하여 커지거나 작아질 수 있다.

[0007] 도 3은 종래기술에 따른 위상 혼합 회로의 동작을 보여주는 타이밍도이다. 도 3에서, 상기 제 1 및 제 2 드라이버(11, 12)는 각각 4개의 스위치 인버터를 포함하고, 상기 제 1 및 제 2 클럭(CLK1, CLK2)의 위상을 3:1의 비율로 혼합하는 경우를 예시한다. 도 3에서, A는 상기 엔모스 트랜지스터와 피모스 트랜지스터의 공정 특성이 서로 동일한 경우에 출력신호의 파형을 보여주고, B는 엔모스 트랜지스터가 피모스 트랜지스터보다 느려지는 공정 특성을 갖는 경우에 출력신호의 파형을 보여주며, C는 엔모스 트랜지스터가 피모스 트랜지스터보다 빠른 공정 특성을 갖는 경우에 출력신호의 파형을 보여준다.

[0008] B의 경우에, 하이 레벨의 제 1 클럭(CLK1)과 로우 레벨의 제 2 클럭(CLK2)이 혼합되는 구간에서 상기 혼합 비율은 3:1이지만, 엔모스 트랜지스터의 동작이 상대적으로 느리기 때문에 실제 혼합 비율은 약 2.4:1 정도가 되고, 로우 레벨의 제 1 클럭(CLK1)과 하이 레벨의 제 2 클럭(CLK2)이 혼합되는 구간에서 실제 혼합 비율은 약 3.6:1 정도가 된다. 따라서, 상기 출력신호는 A의 경우에 비해 라이징 타이밍이 늦고 폴링 타이밍이 빨라져서 낮은 듀티비 왜곡이 발생한다.

[0009] C의 경우에, 하이 레벨의 제 1 클럭(CLK1)과 로우 레벨의 제 2 클럭(CLK2)이 혼합되는 구간에서 상기 혼합 비율은 3:1이지만, 엔모스 트랜지스터의 동작이 상대적으로 빠르기 때문에 실제 혼합 비율은 약 3.6:1 정도가 되고, 로우 레벨의 제 1 클럭(CLK1)과 하이 레벨의 제 2 클럭(CLK2)이 혼합되는 구간에서 실제 혼합 비율은 약 2.4:1 정도가 된다. 따라서, 상기 출력신호는 A의 경우에 비해 라이징 타이밍이 빠르고, 폴링 타이밍이 늦어져 높은

듀티비 왜곡이 발생하게 된다.

발명의 내용

해결하려는 과제

[0010] 본 발명의 실시예에 따른 엔모스 트랜지스터와 피모스 트랜지스터 사이의 공정 특성 차이를 보상하여 공정 특성에 무관하게 정확한 듀티비를 갖는 클럭 신호를 출력할 수 있는 위상 혼합 회로 및 이를 포함하는 반도체 장치를 제공한다.

과제의 해결 수단

[0011] 본 발명의 일 실시예에 따른 위상 혼합 회로는 제 1 및 제 2 클럭의 위상을 소정의 비율로 혼합하여 제 1 혼합 신호를 생성하는 제 1 혼합부; 상기 제 1 클럭의 반전신호 및 상기 제 2 클럭의 반전신호의 위상을 상기 소정 비율로 혼합하여 제 2 혼합신호를 생성하는 제 2 혼합부; 및 상기 제 1 및 제 2 혼합신호에 기초하여 출력신호를 생성하는 출력부를 포함한다.

[0012] 본 발명의 일 실시예에 따른 위상 혼합 회로는 제어신호에 응답하여 제 1 클럭의 위상을 변경시키는 제 1 구동부; 상기 제어신호에 응답하여 상기 제 1 클럭의 반전신호의 위상을 변경시키는 제 1 보상 구동부; 상기 제어신호에 응답하여 제 2 클럭의 위상을 변경시키는 제 2 구동부; 및 상기 제어신호에 응답하여 상기 제 2 클럭의 반전신호의 위상을 변경시키는 제 2 보상 구동부를 포함하고, 상기 제 1 및 제 2 구동부, 상기 제 1 및 제 2 보상 구동부의 출력에 기초하여 출력신호를 생성한다.

[0013] 또한, 본 발명의 일 실시예에 따른 반도체 장치는 입력 클럭을 수신하여 소정의 위상 차이를 갖는 제 1 및 제 2 클럭을 생성하는 입력 클럭 생성부; 지연 제어신호에 응답하여 상기 제 1 클럭을 지연하여 제 1 및 제 2 지연 클럭을 생성하는 제 1 지연라인; 제어신호에 응답하여 상기 제 1 및 제 2 지연 클럭의 위상을 혼합하고, 상기 제 1 및 제 2 지연 클럭의 반전신호의 위상을 혼합하여 제 1 혼합 클럭을 생성하는 제 1 위상 혼합부; 상기 지연 제어신호에 응답하여 상기 제 2 클럭을 지연하여 제 3 및 제 4 지연 클럭을 생성하는 제 2 지연라인; 상기 제어신호에 응답하여 상기 제 3 및 제 4 지연 클럭의 위상을 혼합하고, 상기 제 3 및 제 4 지연 클럭의 반전신호의 위상을 혼합하여 제 2 혼합 클럭을 생성하는 제 2 위상 혼합부; 및 상기 제 1 및 제 2 혼합 클럭의 듀티비를 보정하여 멀티 페이즈 클럭을 생성하는 멀티 페이즈 클럭 생성부를 포함한다.

[0014] 또한, 본 발명의 일 실시예에 따른 반도체 시스템은 호스트; 메모리; 및 상기 호스트 및 상기 메모리 사이의 통신을 중계하는 컨트롤러를 포함하고, 상기 호스트, 상기 메모리 및 상기 컨트롤러는 제 1 클럭을 이용하여 서로 통신하고, 상기 호스트, 상기 메모리 및 상기 컨트롤러 중 적어도 하나는 위상 혼합 회로를 포함하며, 상기 위상 혼합 회로는 상기 제 1 클럭 및 상기 제 1 클럭과 소정의 위상 차이를 갖는 제 2 클럭의 위상을 소정의 비율로 혼합하여 제 1 혼합신호를 생성하는 제 1 혼합부; 상기 제 1 클럭의 반전신호 및 상기 제 2 클럭의 반전신호의 위상을 상기 소정 비율로 혼합하여 제 2 혼합신호를 생성하는 제 2 혼합부; 및 상기 제 1 및 제 2 혼합신호에 기초하여 출력신호를 생성하는 출력부를 포함한다.

발명의 효과

[0015] 본 발명의 실시예에 따른 공정 특성과 무관하게 일정한 듀티비를 갖는 출력신호를 생성할 수 있다. 따라서, 클럭을 기반으로 사용하는 반도체 장치의 동작 특성을 향상시키고, 고속동작을 지원할 수 있다.

도면의 간단한 설명

[0016] 도 1은 종래기술에 따른 위상 혼합 회로의 구성을 개략적으로 보여주는 도면,
 도 2는 스위치 인버터의 구성을 보여주는 도면,
 도 3은 클럭의 위상이 혼합되면서 듀티비의 변동이 일어나는 것을 보여주는 타이밍도,
 도 4는 본 발명의 일 실시예에 따른 위상 혼합 회로의 구성을 개략적으로 보여주는 도면,
 도 5는 본 발명의 실시예에 따른 위상 혼합 회로의 동작을 보여주는 타이밍도,
 도 6은 본 발명의 일 실시예에 따른 위상 혼합 회로의 구성을 개략적으로 보여주는 도면,

도 7은 본 발명의 실시예에 따른 지연 고정 루프의 구성을 보여주는 블록도,

도 8은 본 발명의 실시예에 따른 반도체 시스템의 구성을 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 도 4에서, 본 발명의 실시예에 따른 위상 혼합 회로(1)는 제 1 혼합부(110), 제 2 혼합부(120) 및 출력부(130)를 포함한다. 상기 제 1 혼합부(110)는 제 1 클럭(CLK1) 및 제 2 클럭(CLK2)을 수신한다. 상기 제 1 혼합부(110)는 상기 제 1 및 제 2 클럭(CLK1, CLK2)의 위상을 소정의 비율로 혼합하여 제 1 혼합 신호(MIX1)를 생성한다. 상기 제 1 혼합부(110)는 제어신호(CODE<1:n>)에 응답하여 상기 제 1 및 제 2 클럭(CLK1, CLK2)의 위상을 상기 소정의 비율로 혼합할 수 있다.
- [0018] 상기 제 2 혼합부(120)는 상기 제 1 클럭의 반전신호(CLK1B) 및 상기 제 2 클럭의 반전신호(CLK2B)를 수신한다. 상기 제 2 혼합부(120)는 상기 제 1 및 제 2 클럭의 반전신호(CLK1B, CLK2B)의 위상을 상기 소정의 비율로 혼합하여 제 2 혼합 신호(MIX2)를 생성한다. 상기 제 2 혼합부(120)는 상기 제어신호(CODE<1:n>)에 응답하여 상기 제 1 및 제 2 클럭의 반전신호(CLK1B, CLK2B)의 위상을 상기 소정 비율로 혼합할 수 있다. 상기 출력부(130)는 상기 제 1 및 제 2 혼합 신호(MIX1, MIX2)에 기초하여 출력신호(CLK0)를 생성할 수 있다. 상기 제어신호(CODE<1:n>)는 제어회로(도시하지 않음)를 통해 입력될 수 있으며, 복수의 코드신호일 수 있다.
- [0019] 상기 제 1 혼합부(110)는 제 1 및 제 2 구동부(111, 112)를 포함한다. 상기 제 1 구동부(111)는 상기 제 1 클럭(CLK1)을 수신하고, 상기 제어신호(CODE<1:n>)에 응답하여 상기 제 1 클럭(CLK1)의 위상을 변경시킬 수 있다. 상기 제 1 구동부(111)는 복수의 스위치 인버터를 포함할 수 있다. 상기 제 1 구동부(111)는 상기 제어신호(CODE<1:n>)의 개수에 대응하는 개수의 스위치 인버터를 포함할 수 있다. 상기 제 1 구동부(111)를 구성하는 상기 복수의 스위치 인버터는 상기 제어신호(CODE<1:n>)에 응답하여 인에이블 여부가 결정될 수 있다. 상기 복수의 스위치 인버터는 제 1 스위치 트랜지스터로 상기 제어신호의 반전신호(CODEB<1:n>)를 수신하고, 제 2 스위치 트랜지스터로 상기 제어신호(CODE<1:n>)를 수신하여 인에이블될 수 있다. 상기 복수의 스위치 인버터 중 인에이블된 스위치 인버터의 개수가 많을수록 상기 제 1 클럭(CLK1)의 위상은 적게 지연되고, 디스에이블된 스위치 인버터의 개수가 많을수록 상기 제 1 클럭(CLK1)의 위상은 많이 지연될 수 있다. 따라서, 상기 제 1 구동부(111)는 상기 제어신호(CODE<1:n>)에 응답하여 상기 제 1 클럭(CLK1)의 위상이 지연되는 양을 조절할 수 있다. 본 명세서에서, 상기 제 1 스위치 트랜지스터는 피모스 트랜지스터로 구성된 스위치를 말하고, 상기 제 2 스위치 트랜지스터는 엔모스 트랜지스터로 구성된 스위치를 말한다.
- [0020] 상기 제 2 구동부(112)는 상기 제 2 클럭(CLK2)을 수신하고, 상기 제어신호(CODE<1:n>)에 응답하여 상기 제 2 클럭(CLK2)의 위상을 변경시킬 수 있다. 상기 제 2 구동부(112)는 상기 제 1 구동부(111)와 마찬가지로 복수의 스위치 인버터를 포함할 수 있다. 상기 제 2 구동부(112)의 스위치 인버터는 제 1 스위치 트랜지스터로 상기 제어신호(CODE<1:n>)를 수신하고, 상기 제 2 스위치 트랜지스터로 상기 제어신호의 반전신호(CODEB<1:n>)를 수신한다. 따라서, 상기 제 1 구동부(111)의 스위치 트랜지스터가 인에이블되는 개수와 상기 제 2 구동부(112)의 스위치 인버터가 인에이블되는 개수는 반비례한다. 예를 들어, 상기 제 1 구동부(111) 및 제 2 구동부(112)가 각각 4개의 스위치 인버터로 구성될 때, 상기 제어신호(CODE<1:n>)에 응답하여 상기 제 1 구동부(111)의 스위치 인버터 중 3개의 스위치 인버터가 인에이블된다면 상기 제 2 구동부(112)의 스위치 인버터 중 1개의 스위치 인버터가 인에이블될 수 있을 것이다. 따라서, 상기 제 1 및 제 2 구동부(111, 112)는 상기 제어신호(CODE<1:n>)에 따라 상기 제 1 및 제 2 클럭(CLK1, CLK2)의 위상이 지연되는 정도를 변경시킬 수 있고, 이에 따라 상기 제 1 및 제 2 클럭(CLK1, CLK2)의 위상이 혼합되는 비율을 변경시킬 수 있다. 상기 제 1 및 제 2 구동부(111, 112)의 출력은 제 1 출력 노드(NA)에서 혼합되어 상기 제 1 혼합신호(MIX1)로서 제공된다.
- [0021] 상기 제 2 혼합부(120)는 제 3 구동부(121), 제 4 구동부(122) 및 반전 구동부(123)를 포함한다. 상기 제 3 구동부(121) 및 제 4 구동부(122)는 각각 상기 제 1 구동부(111) 및 제 2 구동부(112)와 동일한 구성을 갖고, 상기 제어신호(CODE<1:n>) 및 제어신호의 반전신호(CODEB<1:n>)가 입력되는 것도 동일하다. 그러나, 상기 제 3 구동부(121)는 상기 제 1 클럭의 반전신호(CLK1B)를 수신하고, 상기 제 4 구동부(122)는 상기 제 2 클럭의 반전신호(CLK2B)를 수신한다. 따라서, 상기 제 3 구동부(121)는 상기 제 1 클럭의 반전신호(CLK1B)의 위상을 지연시켜 제 2 출력 노드(NB)로 출력하고, 상기 제 4 구동부(122)는 상기 제 2 클럭의 반전신호의(CLK2B) 위상을 지연시켜 상기 제 2 출력 노드(NB)로 출력할 수 있다. 상기 제 3 및 제 4 구동부(121, 122)는 상기 제 1 및 제 2 클럭(CLK1, CLK2)과 180도의 위상 차이를 갖는 반전신호(CLK1B, CLK2B)에 대해 위상 혼합 동작을 수행하므로, 상기 제 1 및 제 2 구동부(111, 112)의 공정 특성과 정확히 반대인 공정 특성으로 상기 제 1 및 제 2 클럭의 반전신

호(CLK1B, CLK2B)에 대한 위상 혼합 동작을 수행할 수 있다. 상기 제 3 구동부(121)는 상기 제 1 구동부(111)에서 공정 특성에 기인해 발생하는 듀티비 왜곡을 보상할 수 있고, 상기 제 4 구동부(122)는 상기 제 2 구동부(112)에서 공정 특성에 기인해 발생하는 듀티비 왜곡을 보상할 수 있다. 따라서, 상기 제 3 및 제 4 구동부(121, 122)는 각각 상기 제 1 및 제 2 구동부(111, 112)에 대한 보상 구동부의 기능을 수행한다. 이하에서, 상기 제 3 구동부는 제 1 보상 구동부와 명칭이 혼용되고, 상기 제 4 구동부는 제 2 보상 구동부와 명칭이 혼용될 수 있으며, 각각의 구성을 서로 동일한 구성요소를 지칭할 수 있다. 상기 반전 구동부(123)는 상기 제 3 및 제 4 구동부(121, 122)의 출력을 반전시켜 상기 제 2 혼합신호(MIX2)를 생성한다.

[0022] 상기 출력부(130)는 상기 제 1 혼합신호(MIX1)와 상기 제 2 혼합신호(MIX2)를 수신하고, 상기 제 1 및 제 2 혼합신호(MIX1, MIX2)의 위상을 1:1의 비율로 혼합하여 상기 출력신호(CLK0)를 생성한다.

[0023] 도 4에서, 상기 위상 혼합 회로(1)는 반전 입력부(140)를 더 포함할 수 있다. 상기 반전 입력부(140)는 상기 제 1 및 제 2 클럭(CLK1, CLK2)을 수신하고, 상기 제 1 및 제 2 클럭(CLK1, CLK2)을 반전시켜 상기 제 1 클럭의 반전신호(CLK1B) 및 상기 제 2 클럭의 반전신호(CLK2B)를 생성할 수 있다. 또한, 상기 위상 혼합 회로(1)는 지연부(150)를 더 포함할 수 있다. 상기 지연부(150)는 상기 제 1 혼합신호(MIX1)를 지연시킨다. 상기 제 2 혼합부(120)는 상기 제 2 혼합신호(MIX2)가 상기 제 1 혼합신호(MIX1)와 혼합될 수 있도록, 상기 제 1 혼합부(110)와 비교할 때 상기 제 3 및 제 4 구동부(111, 112)의 출력을 반전시키는 반전 구동부(123)를 더 포함한다. 또한, 상기 제 1 및 제 2 클럭의 반전신호(CLK1B, CLK2B)를 생성하기 위한 상기 반전 입력부(140)의 구성을 고려할 때, 상기 제 1 및 제 2 클럭의 반전신호(CLK1B, CLK2B)의 위상이 혼합되어 상기 제 2 혼합신호(MIX2)가 생성되는 경로의 지연 시간은 상기 제 1 및 제 2 클럭(CLK1, CLK2)의 위상이 혼합되어 상기 제 1 혼합신호(MIX1)가 생성되는 경로의 지연시간보다 길다. 따라서, 상기 위상 혼합 회로(1)는 상기 제 1 및 제 2 혼합신호(MIX1, MIX2)가 생성되는 경로의 지연시간을 동일하게 맞추기 위해 상기 지연부(150)를 구비할 수 있다. 도 4에서, 상기 지연부(150)는 인버터로 구성되는 것을 예시하였으나, 지연 시간을 최대한 정확히 맞추기 위해서 스위치 인버터의 구성이 사용될 수 있다. 또한, 상기 반전 입력부(140)도 스위치 인버터로 구성될 수 있다.

[0024] 도 5는 도 4의 위상 혼합회로의 동작을 보여주는 도면이다. 도 5에서, 상기 제 1 내지 제 4 구동부(111, 112, 121, 122)는 각각 4개의 스위치 인버터를 구비하고 엔모스 트랜지스터가 피모스 트랜지스터보다 느려지는 공정 특성을 갖는 것으로 가정한다. 또한, 상기 제 1 및 제 2 클럭(CLK1, CLK2)이 3:1의 비율로 혼합되는 경우를 예시한다. 따라서, 상기 제어신호(CODE<1:n>)에 응답하여 상기 제 1 및 제 3 구동부(111, 121)의 4개의 스위치 인버터 중 3개가 인에이블되고, 상기 제 2 및 제 4 구동부(112, 122)의 4개의 스위치 인버터 중 1개가 인에이블될 수 있다.

[0025] 상기 제 1 혼합부(110)는 상기 공정 특성에 기인하여 정상적인 경우(A)보다 라이징 타이밍이 느리고 폴링 타이밍이 빠른 상기 제 1 혼합신호(MIX1)를 생성한다. 따라서, 상기 제 1 혼합신호(MIX1)는 A의 경우보다 낮은 듀티비 왜곡을 갖는다. 상기 제 2 혼합부(120)는 상기 제 1 및 제 2 클럭의 반전신호(CLK1B, CLK2B)에 대해 위상 혼합 동작을 수행하므로, 동일한 공정 특성 조건 하에서, 상기 제 1 혼합신호(MIX1)와 반대되는 듀티비 왜곡을 갖는 상기 제 2 혼합신호(MIX2)를 생성할 수 있다. 따라서, 상기 제 2 혼합신호(MIX2)는 A의 경우보다 높은 듀티비 왜곡을 갖는다. 상기 출력부(130)는 상기 제 1 및 제 2 혼합신호(MIX1, MIX2)를 1:1로 혼합하여 상기 출력신호(CLK0)를 생성한다. 따라서, 상기 출력신호(CLK0)는 A의 경우와 동일하게 정상적 듀티비를 갖는 신호가 될 수 있다. 상기 제 1 및 제 2 혼합부(110, 120)는 공정 특성에 기인하여 발생하는 듀티비 왜곡을 서로 상쇄할 수 있다.

[0026] 도 6은 본 발명의 일 실시예에 따른 위상 혼합 회로(2)의 구성을 개략적으로 보여주는 도면이다. 도 6에서, 상기 위상 혼합 회로(2)는 도 4의 위상 혼합 회로(1)와 구성이 동일할 수 있다. 상기 위상 혼합 회로(2)는 제 1 구동부(211), 제 2 구동부(212), 제 1 보상 구동부(221), 제 2 보상 구동부(222), 반전 구동부(223), 출력부(230), 반전 입력부(240) 및 지연부(250)를 포함할 수 있다. 단, 제 1 구동부(211) 및 제 2 구동부(212)는 상기 제어신호(CODE<1:n>) 중 홀수 번째 코드(CODE<1:2n-1>, n은 2 이상의 정수)를 수신할 수 있고, 제 1 보상 구동부(221) 및 제 2 보상 구동부(222)는 상기 제어신호(CODE<1:n>) 중 짝수 번째 코드(CODE<2:2n>)를 수신할 수 있다.

[0027] 상기 제 1 및 제 2 구동부(211, 212)와 제 1 및 제 2 보상 구동부(221, 222)가 각각 8개의 스위치 인버터를 포함한다고 가정하면, 상기 제 1 및 제 2 구동부(211, 212)는 홀수 번째 제어신호(CODE<1:2n-1>)를 수신하므로 각각 8개의 스위치 인버터 중 최대 4개의 스위치 인버터만이 인에이블될 수 있다. 마찬가지로, 상기 제 1 및 제 2 보상 구동부(221, 222)는 짝수 번째 제어신호(CODE<2:2n>)를 수신하므로 각각 8개의 스위치 인버터 중 최대 4개

의 스위치 인버터만이 인에이블될 수 있다.

[0028] 상기 제 1 및 제 2 클럭(CLK1, CLK2)의 위상을 1:3의 비율로 혼합하기 위해 제어신호(CODE<1:n>)가 논리 레벨 H, H, L, L, L, L, L로 입력되면, 상기 제 1 구동부(211)의 스위치 인버터 중 1개가 인에이블되고, 상기 제 2 구동부(212)의 스위치 인버터 중 3개가 인에이블될 수 있다. 마찬가지로, 상기 제 1 보상 구동부(221)의 스위치 인버터 중 1개가 인에이블되고, 상기 제 2 보상 구동부(222)의 스위치 인버터 중 3개가 인에이블될 수 있다. 따라서, 제 1 혼합신호(MIX1)는 상기 제 1 및 제 2 클럭(CLK1, CLK2)의 위상이 1:3의 비율로 혼합되어 생성되고, 상기 제 2 혼합신호(MIX2)는 상기 제 1 및 제 2 클럭의 반전신호(CLK1B, CLK2B)의 위상이 1:3의 비율로 혼합되어 생성된다. 상기 제 1 및 제 2 혼합신호(MIX1, MIX2)는 출력부(230)에 의해 1:1로 혼합되므로, 최종적으로 상기 제 1 및 제 2 클럭(CLK1, CLK2)의 위상이 1:3의 비율로 혼합된 출력신호(CLK0)가 생성될 수 있다.

[0029] 다른 예시로, 상기 제 1 및 제 2 클럭(CLK1, CLK2)의 위상을 3:5의 비율로 혼합하기 위해 제어신호(CODE<1:n>)가 논리 레벨 H, H, H, L, L, L, L로 입력되면, 상기 제 1 구동부(211)의 스위치 인버터 중 2개가 인에이블되고, 상기 제 2 구동부(212)의 스위치 인버터 중 2개가 인에이블될 수 있다. 따라서, 상기 제 1 혼합신호(MIX1)는 상기 제 1 및 제 2 클럭(CLK1, CLK2)의 위상이 1:1로 혼합되어 생성된다. 상기 제어신호(CODE<1:n>)에 응답하여, 상기 제 1 보상 구동부(221)에서 스위치 인버터 중 1개가 인에이블될 수 있고, 상기 제 2 보상 구동부(222)에서 스위치 인버터 중 5개가 인에이블될 수 있다. 따라서, 상기 제 2 혼합신호(MIX2)는 상기 제 1 및 제 2 클럭의 반전신호(CLK1B, CLK2B)의 위상이 1:3의 비율로 혼합되어 생성될 수 있다. 상기 제 1 및 제 2 혼합신호(MIX1, MIX2)는 상기 출력부(230)에 의해 1:1로 혼합되므로, 최종적으로 제 1 및 제 2 클럭(CLK1, CLK2)의 위상이 1.5:2.5의 비율로 혼합된 출력신호(CLK0)가 생성될 수 있다. 상기 위상 혼합회로(2)는 동일한 제어신호(CODE<1:n>)를 이용하여 절반의 스위치 인버터만을 동작시킬 수 있으므로 상기 제 1 및 제 2 클럭(CLK1, CLK2)의 위상을 혼합하는데 사용되는 전류 소모를 더욱 감소시킬 수 있다.

[0030] 도 7은 본 발명의 일 실시예에 따른 지연 고정 루프(3)의 실시예의 구성을 보여주는 도면이다. 도 7에서, 상기 지연 고정 루프(3)는 입력 클럭 생성부(310), 제 1 지연라인(320), 제 1 위상 혼합부(330), 제 2 지연라인(340) 및 제 2 위상 혼합부(350)를 포함할 수 있다. 상기 입력 클럭 생성부(310)는 입력 클럭(ICLK)을 수신하고, 상기 입력 클럭(ICLK)으로부터 제 1 및 제 2 클럭(CLKI, CLKQ)을 생성할 수 있다. 상기 입력 클럭 생성부(310)는 소정의 위상 차이를 갖는 제 1 및 제 2 클럭(CLKI, CLKQ)을 생성할 수 있다. 본 발명의 실시예에서, 상기 소정의 위상 차이는 90도 이하인 것이 바람직하다. 반도체 장치의 동작이 고속화되면서, 동작 클럭의 주파수가 매우 높아졌다. 따라서, 하나의 클럭에 대해서만 지연 고정 동작을 수행하는 경우 원하는 위상을 갖는 멀티 페이즈 클럭을 정확하게 생성할 수 없다. 따라서, 상기 지연 고정 루프(3)는 상기 입력 클럭 생성부(310)를 통해 소정의 위상 차이를 갖는 제 1 및 제 2 클럭(CLKI, CLKQ)을 생성하고, 상기 제 1 및 제 2 클럭(CLKI, CLKQ)에 대해 각각 지연 고정 동작을 수행함으로써, 원하는 위상을 갖는 멀티 페이즈 클럭을 정확하게 생성할 수 있다.

[0031] 상기 제 1 지연라인(320)은 지연 제어신호(CCODE<1:m>)에 응답하여 상기 제 1 클럭(CLKI)을 지연하여, 제 1 및 제 2 지연 클럭을 생성(CLKI1, CLKI2)한다. 상기 제 1 위상 혼합부(330)는 상기 제 1 및 제 2 지연 클럭(CLKI1, CLKI2)을 수신하고, 제어신호(CODE<1:n>)에 응답하여 상기 제 1 및 제 2 지연 클럭(CLKI1, CLKI2)에 대해 위상 혼합 동작을 수행한다. 상기 제 1 위상 혼합부(330)는 상기 제 1 및 제 2 지연 클럭(CLKI1, CLKI2)의 위상을 혼합하여 제 1 혼합 클럭(MCLKI)을 생성한다. 상기 제 1 위상 혼합부(330)는 상기 제 1 및 제 2 지연 클럭(CLKI1, CLKI2)의 위상을 혼합하고, 상기 제 1 및 제 2 지연 클럭의 반전신호의 위상을 혼합하여 상기 제 1 혼합 클럭(MCLKI)을 생성할 수 있다. 상기 제 1 위상 혼합부(330)는 도 4 및 도 5에 도시된 위상 혼합 회로(1, 2)의 구성과 동작이 동일할 수 있다.

[0032] 상기 제 2 지연라인(340)은 지연 제어신호(CCODE<1:m>)에 응답하여 상기 제 2 클럭(CLKQ)을 지연하여, 제 3 및 제 4 지연 클럭(CLKQ1, CLKQ2)을 생성한다. 상기 제 2 위상 혼합부(350)는 상기 제 3 및 제 4 지연 클럭(CLKQ1, CLKQ2)을 수신하여 상기 제 3 및 제 4 지연 클럭(CLKQ1, CLKQ2)에 대해 위상 혼합 동작을 수행한다. 상기 제 2 위상 혼합부(350)는 상기 제 3 및 제 4 지연 클럭(CLKQ1, CLKQ2)의 위상을 혼합하여 제 2 혼합 클럭(MCLKQ)을 생성한다. 상기 제 2 위상 혼합부(350)는 상기 제 3 및 제 4 지연 클럭(CLKQ1, CLKQ2)의 위상을 혼합하고, 상기 제 3 및 제 4 지연 클럭의 반전신호의 위상을 혼합하여 상기 제 2 혼합 클럭(MCLKQ)을 생성할 수 있다. 상기 제 2 위상 혼합부(350)는 도 4 및 도 5에 도시된 위상 혼합 회로(1, 2)의 구성과 동작이 동일할 수 있다.

[0033] 지연 고정 루프(3)는 코스 딜레이와 파인 딜레이를 구비하여 클럭의 위상을 정밀하게 지연할 수 있는데, 상기 제 1 및 제 2 지연라인(320, 340)은 코스 딜레이일 수 있고, 상기 제 1 및 제 2 위상 혼합부(330, 350)는 파인

딜레이일 수 있다. 상기 제 1 및 제 2 위상 혼합부(330, 350)는 상기 각각의 지연 클럭(CLKI1, CLKI2, CLKQ1, CLKQ2)에 대해서뿐만 아니라 각각의 지연 클럭의 반전신호에 대해서도 위상 혼합 동작을 수행하기 때문에 상기 제 1 및 제 2 혼합 클럭(MCLKI, MCLKQ)의 듀티비를 정확하게 보정할 수 있다. 따라서, 상기 제 1 및 제 2 위상 혼합부(330, 350)는 파인 딜레이로서 기능할 수 있을 뿐만 아니라, 듀티 보정 회로의 기능을 함께 수행할 수 있다.

[0034] 상기 지연 고정 루프(3)는 지연 복제부(360), 위상 비교부(370), 지연라인 제어부(380) 및 멀티 페이즈 클럭 생성부(390)를 더 포함할 수 있다. 상기 지연 복제부(360)는 상기 제 1 혼합 클럭(MCLKI)을 소정의 지연량으로 지연시켜 피드백 클럭(FCLK)을 출력한다. 상기 지연 복제부(360)의 소정의 지연량은 클럭의 전송 경로를 모델링한 것일 수 있다. 상기 위상 비교부(370)는 상기 입력 클럭(ICLK)과 상기 피드백 클럭(FCLK)의 위상을 비교하여 위상 비교신호(COM)를 생성할 수 있다. 상기 지연라인 제어부(380)는 상기 위상 비교신호(COM)에 기초하여 상기 지연 제어신호(CCODE<1:m>) 및 상기 제어신호(CODE<1:n>)를 생성할 수 있다.

[0035] 상기 멀티 페이즈 클럭 생성부(390)는 상기 제 1 및 제 2 혼합 클럭(MCLKI, MCLKQ)을 수신하여 복수의 멀티 페이즈 클럭(CLKDLL1-CLKDLL4)을 생성한다. 상기 멀티 페이즈 클럭 생성부(390)는 상기 제 1 및 제 2 혼합 클럭(MCLKI, MCLKQ)에 기초하여 서로 90도의 위상 차이를 갖는 복수의 멀티 페이즈 클럭(CLKDLL1-CLKDLL4)을 생성할 수 있다. 상기 멀티 페이즈 클럭 생성부(390)는 듀티 보정부를 추가로 포함하여, 상기 제 1 및 제 2 혼합 클럭(MCLKI, MCLKQ) 사이의 듀티비를 보정하기 위한 듀티 보정 기능을 함께 수행할 수 있다.

[0036] 도 8은 본 발명의 일 실시예에 따른 반도체 시스템(4)의 구성을 개략적으로 보여주는 블록도이다. 도 8에서, 상기 반도체 시스템(4)은 호스트(410), 메모리(420) 및 컨트롤러(430)를 포함한다. 상기 호스트(410)는 상기 메모리(420)를 액세스 하기 위해 커맨드, 어드레스 및 데이터 등을 제공할 수 있다. 상기 메모리(420)는 상기 커맨드 및 어드레스에 기초하여 데이터를 저장하거나 출력할 수 있다. 상기 컨트롤러(430)는 상기 호스트(410)와 상기 메모리(420) 사이의 통신을 중계한다.

[0037] 상기 호스트(410), 메모리(420) 및 컨트롤러(430)는 모두 클럭(CLK)에 기초하여 동작할 수 있다. 따라서, 상기 호스트(410), 메모리(420) 및 컨트롤러(430)는 서로 간에 정확한 데이터 통신을 수행하기 위해서 클럭(CLK)의 위상을 조절하거나 듀티비를 정확하게 맞추는 필요가 있다. 이를 위해, 도 4 및 도 5에 도시된 상기 위상 혼합 회로(1, 2)와 도 7에 도시된 지연 고정 루프(3)는 각각 상기 호스트(410), 메모리(420) 및 컨트롤러(430) 중 적어도 하나에 구비될 수 있다. 더 나아가, 본 발명의 실시예에 따른 위상 혼합 회로(1, 2)는 예시된 도면에 한정되지 않고, 클럭을 사용하거나 신호의 위상을 혼합하는 모든 반도체 장치에 채용될 수 있을 것이다.

[0038] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있으므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

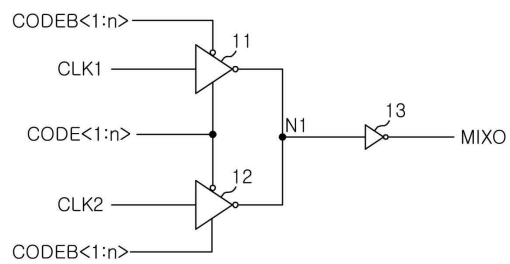
[0039]	1/2/10: 위상 혼합 회로	3: 지연 고정 루프
	4: 반도체 시스템	20: 스위치 인버터
	210: 제 1 혼합부	211: 제 1 구동부
	212: 제 2 구동부	220: 제 2 혼합부
	221: 제 3 구동부/제 1 보상 구동부	
	222: 제 4 구동부/제 2 보상 구동부	
	223: 반전 구동부	230: 출력부
	240: 반전 입력부	250: 지연부
	310: 입력 클럭 생성부	320: 제 1 지연라인
	330: 제 1 위상 혼합부	340: 제 2 지연라인

- | | |
|--------------------|---------------|
| 350: 제 2 위상 혼합부 | 360: 지연 복제부 |
| 370: 위상 비교부 | 380: 지연라인 제어부 |
| 390: 멀티 페이즈 클럭 생성부 | 410: 호스트 |
| 420: 메모리 | 430: 컨트롤러 |

도면

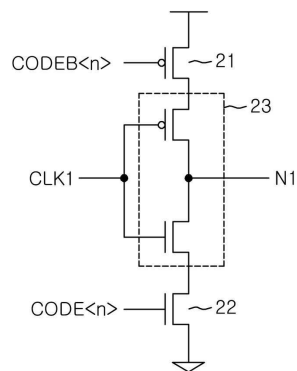
도면1

10

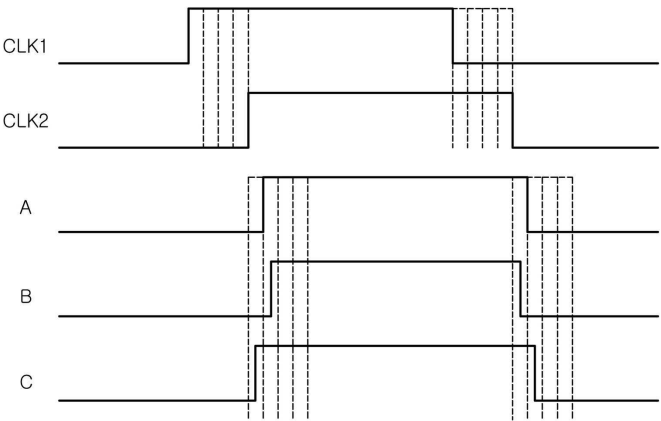


도면2

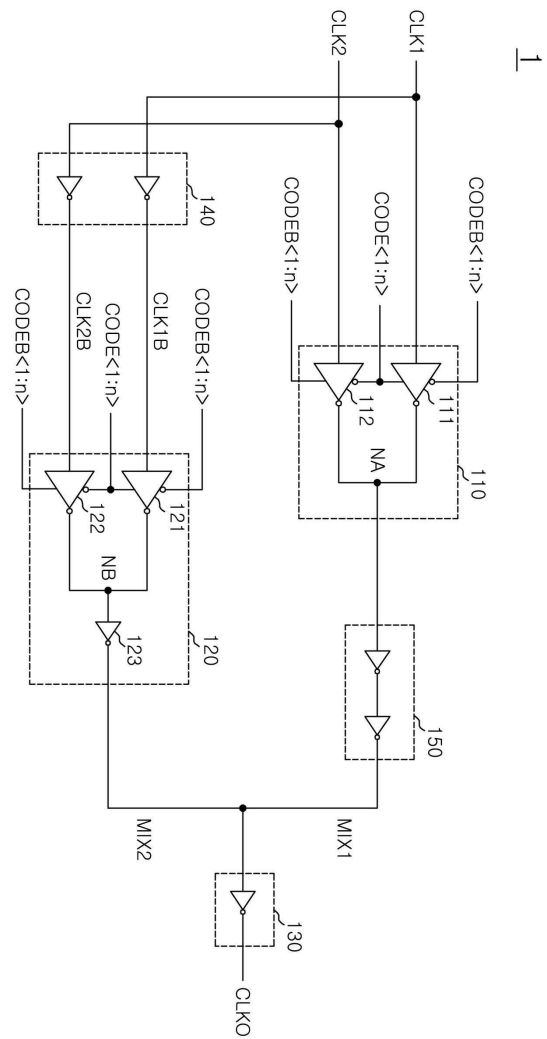
20



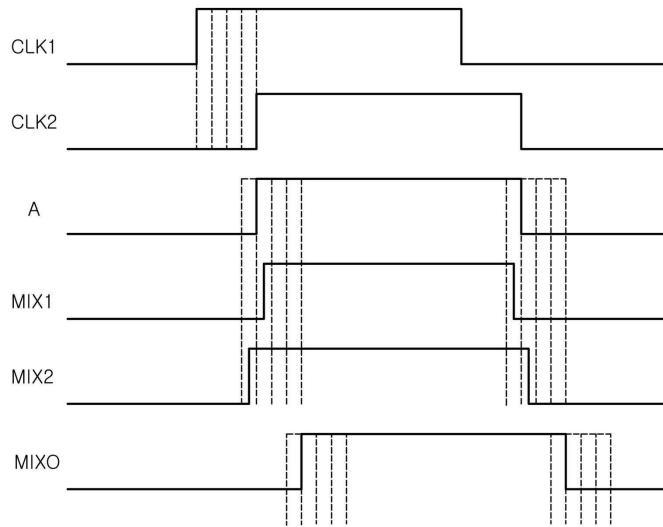
도면3



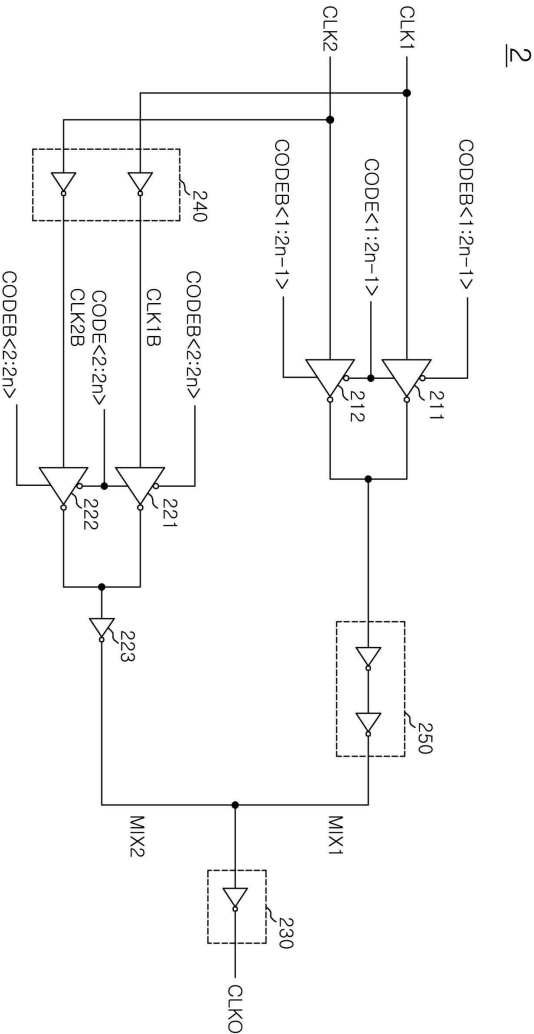
도면4



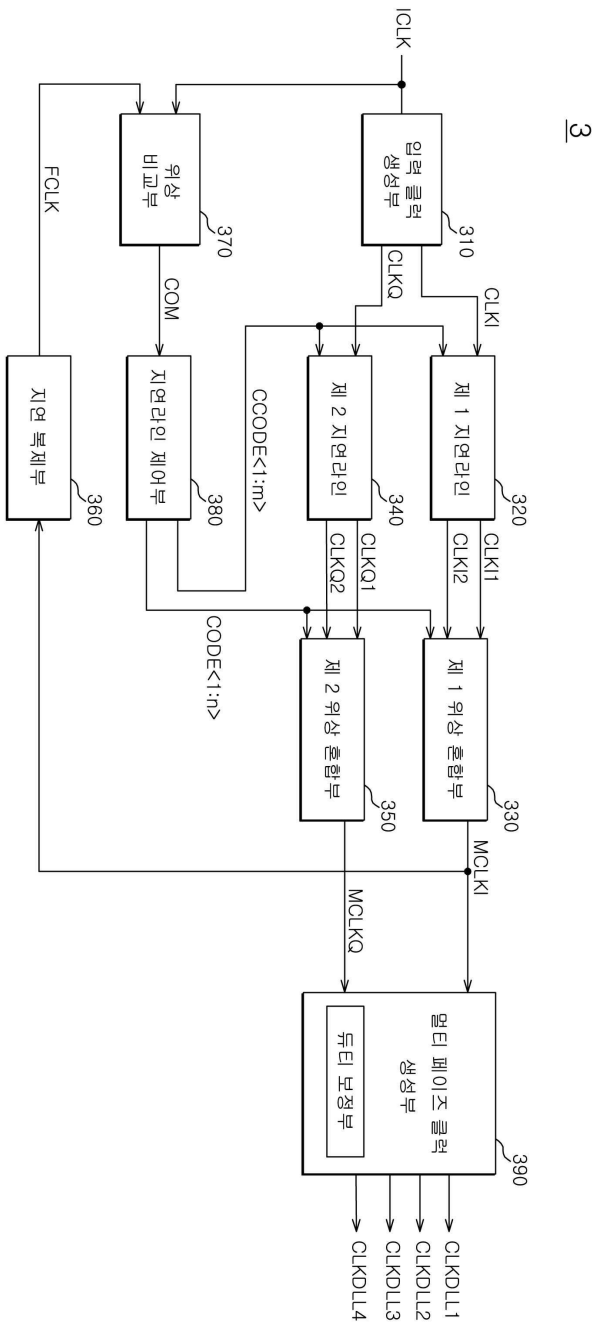
도면5



도면6



도면7



도면8

