

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-156807

(P2006-156807A)

(43) 公開日 平成18年6月15日(2006.6.15)

| (51) Int. Cl.                        | F I                   | テーマコード (参考) |
|--------------------------------------|-----------------------|-------------|
| H O 1 L 27/092 (2006.01)             | H O 1 L 27/08 3 2 1 D | 4 M 1 0 4   |
| H O 1 L 21/8238 (2006.01)            | H O 1 L 29/58 G       | 5 F 0 4 8   |
| H O 1 L 29/423 (2006.01)             | H O 1 L 29/78 6 1 3 A | 5 F 1 1 0   |
| H O 1 L 29/49 (2006.01)              | H O 1 L 29/78 6 1 7 L |             |
| H O 1 L 29/786 (2006.01)             | H O 1 L 29/78 6 1 7 M |             |
| 審査請求 未請求 請求項の数 7 O L (全 21 頁) 最終頁に続く |                       |             |

(21) 出願番号 特願2004-346957 (P2004-346957)

(22) 出願日 平成16年11月30日(2004.11.30)

(71) 出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(74) 代理人 100075812

弁理士 吉武 賢次

(74) 代理人 100088889

弁理士 橘谷 英俊

(74) 代理人 100082991

弁理士 佐藤 泰和

(74) 代理人 100096921

弁理士 吉元 弘

(74) 代理人 100103263

弁理士 川崎 康

(74) 代理人 100108785

弁理士 箱崎 幸雄

最終頁に続く

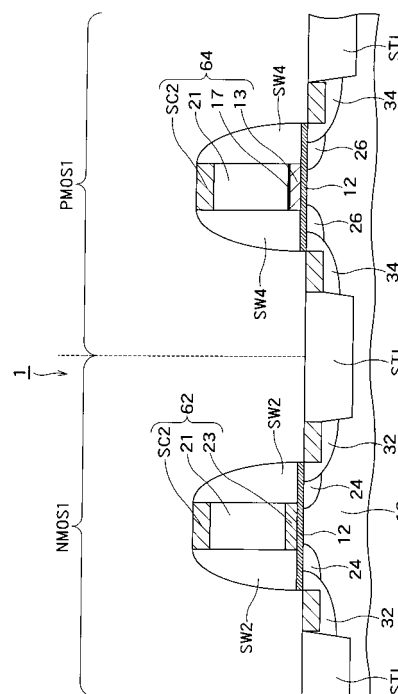
(54) 【発明の名称】 半導体装置およびその製造方法

## (57) 【要約】

【課題】 しきい値が低い高性能の半導体装置およびその製造方法を提供する。

【解決手段】 シリコン基板10の表面部に形成されるCMOSを備える半導体装置1において、PMOS1のゲート電極G4は、窒化タングステンによる表面処理を行なったタングステン上に多結晶シリコン21を堆積させることにより形成する一方、NMOS1のゲート電極G2は、タングステン薄膜上にと多結晶シリコン21を形成した後の熱処理でタングステン薄膜をタングステンシリサイド23に反応させることにより、ゲート電極G2の仕事関数をゲート電極G4の仕事関数からシフトさせる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

少なくとも表面にシリコン層を有する基板と、  
前記シリコン層上に形成された絶縁膜と、  
前記絶縁膜上に形成され、第 1 の金属薄膜と前記第 1 の金属薄膜の上に形成された多結晶シリコンとを含む第 1 の電極と、  
前記絶縁膜上に形成され、前記第 1 の金属とシリコンとの合金である金属シリサイドと、  
前記金属シリサイドの上に形成された多結晶シリコンとを含む第 2 の電極と、  
を備え、  
前記第 1 の電極は、前記第 1 の金属薄膜の表面に形成され、前記第 1 の金属と前記多結晶シリコンとの反応を制御する化合物をさらに含む、  
半導体装置。

## 【請求項 2】

少なくとも表面にシリコン層を有する基板と、  
前記シリコン層上に形成された絶縁膜と、  
前記絶縁膜上に形成された第 1 の金属からなる第 1 の金属薄膜と、前記第 1 の金属薄膜の上に形成され、前記第 1 の金属とシリコンとの合金である第 1 の金属シリサイドを含む第 1 の電極と、  
前記絶縁膜上に形成され、前記第 1 の金属とシリコンとの合金である第 2 の金属シリサイドでなる第 2 の電極と、  
を備え、  
前記第 1 の電極は、前記第 1 の金属薄膜の表面に形成され、前記第 1 の金属と前記第 1 の金属シリサイドとの反応を制御する化合物をさらに含む、  
半導体装置。

## 【請求項 3】

前記第 1 の金属薄膜は、第 1 の金属と、からなり、  
前記化合物は、前記第 1 の金属と窒素との化合物であることを特徴とすることを特徴とする請求項 1 または 2 に記載の半導体装置。

## 【請求項 4】

少なくとも表面にシリコン層を有する基板と、  
前記シリコン層上に形成された絶縁膜と、  
前記絶縁膜上に形成され、第 1 の金属と、前記第 1 の金属とは異なる第 2 の金属と、シリコンとの合金である第 1 の金属シリサイドを含む第 1 の電極と、  
前記絶縁膜上に形成され、前記第 1 の金属とシリコンとの合金である第 2 の金属シリサイドを含む第 2 の電極と、  
を備える半導体装置。

## 【請求項 5】

前記金属シリサイドは不純物を含むことを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

## 【請求項 6】

少なくとも表面にシリコン層を有する基板の前記シリコン層上に絶縁膜を形成する工程と、  
前記絶縁膜上の全面に第 1 の金属でなる第 1 の金属薄膜を成膜する工程と、  
前記第 1 の金属薄膜の領域のうち第 1 の電極の形成予定領域を選択的に表面処理する工程と、  
全面に多結晶シリコンまたは非結晶シリコンを形成する工程と、  
前記第 1 の金属薄膜の領域のうち第 2 の電極の形成予定領域で前記第 1 の金属と前記多結晶シリコンまたは非結晶シリコンとを反応させる工程と、  
を備え、  
前記表面処理は、前記第 1 の金属と前記多結晶シリコンまたは非結晶シリコンとの反応

を制御する処理である、  
半導体装置の製造方法。

【請求項 7】

少なくとも表面にシリコン層を有する基板の前記シリコン層上に絶縁膜を形成する工程と、

前記絶縁膜上の全面に第 1 の金属を含む金属シリサイドを成膜する工程と、

前記第 1 の金属と反応し得る第 2 の金属を含む薄膜を前記金属シリサイド上の一部の領域に選択的に成膜する工程と、

前記第 1 の金属を含む金属シリサイドと前記第 2 の金属を含む薄膜とを反応させて前記第 1 の金属の仕事関数とは異なる仕事関数を有する合金を形成する工程と、  
を備える半導体装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、例えば金属電極をゲートに使った M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) 型半導体装置を対象とする。

【背景技術】

【0002】

シリコン半導体トランジスタの微細化の進展に伴い、従来の多結晶シリコンを電極材料に使ったトランジスタではゲート空乏層の影響が無視できなくなり、金属材料を電極材料に使ったメタルゲートトランジスタが開発されるようになってきた。メタルゲートトランジスタにおいて、しきい値電圧はゲート電極の仕事関数で決定される。

20

【0003】

しかしながら、トランジスタのしきい値を低くしてその性能を高めようとする、N M O S トランジスタ、P M O S トランジスタで仕事関数の異なるデュアルメタルゲート (Dual Metal Gate) 電極は複数の電極材料を用意しなければならないために、製造工程が複雑になるという問題があった。また、その製造工程においては、ゲート絶縁膜上に電極材料の成膜と剥離とを複数回行わなければならないので、剥離・再成膜を行った電極側の絶縁膜の信頼性が劣るという問題があった。

30

【特許文献 1】特開 2 0 0 2 - 1 9 8 4 4 1 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明の目的は、しきい値が最適な高性能の半導体装置およびその製造方法を提供することにある。

【課題を解決するための手段】

【0005】

本発明は、以下の手段により上記課題の解決を図る。

【0006】

40

即ち、本発明によれば、

少なくとも表面にシリコン層を有する基板と、

前記シリコン層上に形成された絶縁膜と、

前記絶縁膜上に形成され、第 1 の金属薄膜と前記第 1 の金属薄膜の上に形成された多結晶シリコンとを含む第 1 の電極と、

前記絶縁膜上に形成され、前記第 1 の金属とシリコンとの合金である金属シリサイドと、前記金属シリサイドの上に形成された多結晶シリコンとを含む第 2 の電極と、

を備え、

前記第 1 の電極は、前記第 1 の金属薄膜の表面に形成され、前記第 1 の金属と前記多結晶シリコンとの反応を制御する化合物をさらに含む、

50

半導体装置が提供される。

【0007】

また、本発明によれば、  
少なくとも表面にシリコン層を有する基板と、  
前記シリコン層上に形成された絶縁膜と、  
前記絶縁膜上に形成された第1の金属からなる第1の金属薄膜と、前記第1の金属薄膜の上に形成され、前記第1の金属とシリコンとの合金である第1の金属シリサイドを含む第1の電極と、  
前記絶縁膜上に形成され、前記第1の金属とシリコンとの合金である第2の金属シリサイドでなる第2の電極と、  
を備え、  
前記第1の電極は、前記第1の金属薄膜の表面に形成され、前記第1の金属と前記第1の金属シリサイドとの反応を制御する化合物をさらに含む、  
半導体装置が提供される。

10

【0008】

また、本発明によれば、  
少なくとも表面にシリコン層を有する基板と、  
前記シリコン層上に形成された絶縁膜と、  
前記絶縁膜上に形成され、第1の金属と、前記第1の金属とは異なる第2の金属と、シリコンとの合金である第1の金属シリサイドを含む第1の電極と、  
前記絶縁膜上に形成され、前記第1の金属とシリコンとの合金である第2の金属シリサイドを含む第2の電極と、  
を備える半導体装置が提供される。

20

【0009】

また、本発明によれば、  
少なくとも表面にシリコン層を有する基板の前記シリコン層上に絶縁膜を形成する工程と、  
前記絶縁膜上の全面に第1の金属でなる第1の金属薄膜を成膜する工程と、  
前記第1の金属薄膜の領域のうち第1の電極の形成予定領域を選択的に表面処理する工程と、  
全面に多結晶シリコンまたは非結晶シリコンを形成する工程と、  
前記第1の金属薄膜の領域のうち第2の電極の形成予定領域で前記第1の金属と前記多結晶シリコンまたは非結晶シリコンとを反応させる工程と、  
を備え、  
前記表面処理は、前記第1の金属と前記多結晶シリコンまたは非結晶シリコンとの反応を制御する処理である、  
半導体装置の製造方法が提供される。

30

【0010】

さらに、本発明によれば、  
少なくとも表面にシリコン層を有する基板の前記シリコン層上に絶縁膜を形成する工程と、  
前記絶縁膜上の全面に第1の金属を含む金属シリサイドを成膜する工程と、  
前記第1の金属と反応し得る第2の金属を含む薄膜を前記金属シリサイド上の一部の領域に選択的に成膜する工程と、  
前記第1の金属を含む金属シリサイドと前記第2の金属を含む薄膜とを反応させて前記第1の金属の仕事関数とは異なる仕事関数を有する合金を形成する工程と、  
を備える半導体装置の製造方法が提供される。

40

【発明の効果】

【0011】

本発明によれば、電極直下の絶縁膜にダメージを与えることなく、互いに異なる仕事関

50

数を有する電極を同一ウェーハ内に形成することができる。

【発明を実施するための最良の形態】

【0012】

以下、本発明の実施の形態について図面を参照しながら説明する。なお、以下の各図において、同一の部分には同一の参照番号を付し、その重複説明は適宜省略する。

(1) 第1の実施の形態

図1は、本発明の第1の実施の形態にかかる半導体装置の主要部の構成を示す断面図である。同図に示す半導体装置1は、シリコン基板10と、シリコン基板10のシリコン層表面部に形成されたCMOSトランジスタとを備える。CMOSトランジスタは、いずれも浅溝素子分離(Shallow Trench Isolation)型絶縁膜(以下、単にSTIという)で相互に、または他の素子から分離されたPMOS領域およびNMOS領域にそれぞれ形成されたPMOSTランジスタ1およびNMOSTランジスタ1を備える。

10

【0013】

PMOSTランジスタトランジスタ1は、基板10の上にゲート絶縁膜12を介して形成されたゲート電極G4と、STIに近接してPMOS領域内の周辺部に形成され、表面にシリサイドが設けられたソースドレイン電極34と、これらの電極の周辺、およびこれらの電極に挟まれるチャネル領域に形成された低ドーブドレイン(Lightly Doped Drain: 以下、LDDという)不純物拡散層とを含む。ゲート電極G4は、ゲート絶縁膜12の直上に成膜されたタングステン(W)膜13と、窒化タングステン(WN)17と、窒化タングステン(WN)17の上に形成された多結晶シリコン21と、多結晶シリコン21の上部に形成されたシリサイドSC2とを含む。本実施形態において、ゲート電極G4は、例えば第1の電極に対応する。タングステン(W)は、例えば第1の金属に対応し、タングステン(W)膜13は、例えば第1の金属薄膜に対応し、窒化タングステン(WN)17は、例えば第1の金属と多結晶シリコンとの反応を制御する化合物に対応する。ゲート電極G4の周辺はゲート側壁SW4が形成されている。

20

【0014】

NMOSTランジスタ1は、基板10の上にゲート絶縁膜12を介して形成されたゲート電極G2と、STIに近接してPMOS領域内の周辺部に形成され、表面にシリサイドが設けられたソースドレイン電極32と、これらの電極の周辺、およびこれらの電極に挟まれるチャネル領域に形成されたLDD層とを含む。ゲート電極G2は、ゲート絶縁膜12の直上に形成されたタングステンシリサイド膜(WSi<sub>x</sub>)23と、タングステンシリサイド膜23の上に形成された多結晶シリコン21と、多結晶シリコン21の上部に形成されたシリサイドSC2とを含む。本実施形態において、ゲート電極G2は、例えば第2の電極に対応する。ゲート電極G2の周辺はゲート側壁SW2にて保護が形成されている。

30

【0015】

本実施形態の半導体装置1の特徴は、CMOSを構成する2つのトランジスタのゲート電極G2, G4のうち、ゲート電極G4内のタングステン(W)膜13と多結晶シリコン21との間に、これらの部材相互間の反応を抑制する化合物窒化タングステン(WN)17が形成され、これにより、ゲート電極G2, G4が互いに異なる仕事関数を有する点にある。本実施形態の場合、ゲート電極G2の仕事関数は、ゲート電極G4の仕事関数よりも小さい方にシフトされ、その量は、例えば約4.1eVである。このような仕事関数の相違によりNMOSTランジスタのしきい値が低下し、この結果、半導体装置1の性能が高まる。

40

【0016】

図1に示す半導体装置1の製造方法について、図2乃至図8を参照しながら説明する。

【0017】

図2に示すように、まず、シリコン基板10の表面層に既知の方法で素子分離絶縁膜STIを形成する。素子分離絶縁膜STIは、特に図示しないが、例えば次の方法で形成できる。シリコン基板10上にバッファ膜を介してマスクとなるシリコン窒化膜を堆積させ

50

、レジストによるパターン転写法を用いてシリコン窒化膜、バッファ膜、シリコン基板 10 を所定の深さまでエッチングにより選択的に除去する。レジストを除去して全面にシリコン酸化膜を堆積させた後、化学的機械的研磨法 (Chemical Mechanical Polishing: 以下単に CMP という) 等で平坦化する。シリコン窒化膜のマスクを除去することで STI を形成する。

#### 【0018】

次に、シリコン基板 10 の全面にゲート絶縁膜 12 を形成する。ゲート絶縁膜 12 の形成は、例えばシリコン基板を熱酸化して熱酸化膜を形成することにより、または窒化膜を形成することにより可能であり、その他、表面処理を行った後に高誘電体膜を形成する方法も使用できる。続いて、約 5 ~ 約 10 nm のタングステン (W) の薄膜を CVD (Chemical Vapor Deposition) 法により全面に形成する。 10

#### 【0019】

その後、例えば PMOS が形成される領域にのみタングステン薄膜の表面を窒化させる。所望の領域のみ選択的に窒化する方法は例えば以下の方法により実現される。まず、図 3 に示すように、マスク材として低温成膜の堆積法を用いてシリコン酸化膜を形成し、レジストを用いたパターンニングとエッチングによりシリコン酸化膜を加工してシリコン酸化膜マスク M2 を形成する。エッチングは希フッ酸処理を用いても良いし、リアクティブイオンエッチング (Reactive Ion Etching: 以下、単に RIE という) などの異方性エッチングで行っても良い。次に、露出したタングステン薄膜 14 の表面をプラズマ処理などで窒化する。最後に、希フッ酸処理等でシリコン酸化膜マスク M2 を除去することで、図 4 20 に示すように、所望の領域のタングステン薄膜の表面窒化が完成してタングステン窒化膜 16 が得られる。上述した方法の他、例えばタングステン薄膜上にシリコン窒化膜を所望の領域にのみ選択的に形成し、熱工程によって窒化膜から窒素をタングステン中に拡散させても良い。熱工程はフラッシュランプ処理などの光熱処理も含む。

#### 【0020】

次に、図 5 に示すように、多結晶シリコン 18 を全面に形成する。650 以上の熱を加えることで、表面が窒化されていない領域のタングステン薄膜 14 は、図 6 に示すように、多結晶シリコンと反応してタングステンシリサイド膜 (WSi<sub>x</sub>)<sub>22</sub> になる。この一方、窒化した領域は表面の窒化タングステン (WN)<sub>16</sub> がバリアとなってシリコンとは反応しない。 30

#### 【0021】

続いて、レジストなどを用いたパターンニングと RIE などの異方性エッチングにより多結晶シリコン 18、タングステンシリサイド膜 (WSi<sub>x</sub>)<sub>22</sub>、窒化タングステン 17 およびタングステン薄膜 13 を選択的に除去し、図 7 に示すように、ゲート形状に加工する。

#### 【0022】

なお、ゲート G2, G4 への不純物のドーブはこの時点で行っても良い。また、予め不純物が導入された多結晶シリコン膜 (例えば P ドーブ多結晶シリコン) を使ってもよい。

#### 【0023】

さらに、図 8 に示すように、既知の方法で LDD 層 24, 26 を形成した後、側壁 SW2, SW4 をゲート電極 G2, G4 の周辺にそれぞれ形成する。ソースドレイン 32, 34 (図 1 参照) となる不純物拡散層を形成するために側壁 SW2, SW4 をマスクとして不純物を注入する。このとき、ゲート電極 G2, G4 の多結晶シリコン 19 にも不純物を同時に導入する。熱工程を行うことでソースドレインの領域に導入した不純物の拡散と活性化を行う。このときゲート電極 G2, G4 に導入された不純物イオンも同時に拡散する。NMOST トランジスタ 1 側の多結晶シリコンとタングステンシリサイド (Poly-Si/WSi<sub>x</sub>) とを含む電極 G2 はタングステンシリサイド (WSi<sub>x</sub>) とゲート絶縁膜 12 との界面にドーパント (例えば P や As 等) が拡散し、タングステンシリサイド (WSi<sub>x</sub>) の仕事関数をシフトさせる。また、PMOS 1 側の多結晶シリコンと窒化タングステン・タングステン (Poly-Si/WN/W) とを含む電極 G4 の仕事関数はタン 40 50

グステンによって決まる。なお、上記方法では、電極 G 4 は、ソースドレイン不純物拡散層 3 4 と同じ種類の不純物で、かつ、濃度も同じになってしまう。電極 G 4 に注入する不純物の種類および濃度をソースドレイン領域の不純物種および濃度と変えたい場合は、多結晶シリコンを全面に堆積した後に不純物を導入し、マスク材としてシリコン窒化膜をその上に堆積させてからゲート加工する方法もある。

#### 【 0 0 2 4 】

このように、ゲートおよび側壁をマスクとしたイオン注入とその後の熱処理により、ソースドレインの領域に不純物拡散層を形成した後、これらの不純物拡散層部分にシリサイドを形成する。ソースドレイン不純物拡散層と同時にゲート電極にもシリサイドが形成されるが、ゲート電極自体の仕事関数は、ゲート絶縁膜 1 2 に接して不純物が導入されたタングステンシリサイド膜 ( W S i x ) 2 3 と表面処理によりタングステン膜 1 3 の表面に形成されたタングステン窒化膜 1 7 で決定される。従って、ソースドレインと同時に形成されるゲート電極上部の多結晶シリコン部分は、ゲート電極の低抵抗化に寄与するのみである。

10

#### 【 0 0 2 5 】

その後は、通常のトランジスタ形成工程と同様に、全面に層間膜を堆積させた後、コンタクト配線を形成してトランジスタを完成させる ( 図示せず ) 。

#### 【 0 0 2 6 】

このように、本実施形態によれば、N M O S の領域に不純物を導入した W S i x 電極を用い、P M O S の領域にタングステン電極を用いるので、( ミッドギャップの電極を用いた場合と比較して ) それぞれのトランジスタのしきい値を下げることができる。また、従来のように絶縁膜上に電極材料を再度成膜するという工程がないので信頼性の向上した C M O S を形成することができる。

20

#### 【 0 0 2 7 】

ゲート部分のシリサイドは、ソースドレイン領域のシリサイド形成と別個に形成することもできる。このような具体例を本実施形態の変形例として図 9 乃至 1 7 を参照しながら説明する。この場合はまず、図 9 に示すように、多結晶シリコン 1 8 を全面に形成した後の熱処理工程で、N M O S 領域にタングステンシリサイド膜 ( W S i x ) 2 2 を形成した後に、図 1 0 に示すようにマスク M 4 を堆積させて不純物を導入し、その後、図 1 1 に示すように、S i N を多結晶シリコン電極上にシリサイドが形成されないようにマスク M 6 として堆積させる。続いて、図 1 2 に示すように、ゲート加工、ソースドレイン不純物拡散層 3 2 , 3 4 および L D D 層 2 4 , 2 6 の形成を行ない、さらに、図 1 3 に示すように、側壁 S W 2 , S W 4 、ソースドレインシリサイドの形成を通常の製造工程と同様に行う。続いて、図 1 4 に示すように、例えば層間膜としてシリコン酸化膜 4 2 を全面に形成した後 C M P 等の平坦化を行い、ゲート電極の多結晶シリコン 1 9 の上の S i N マスク M 7 の上面を露出させる。図 1 5 に示すように、各ゲート電極から S i N マスク M 7 を除去することでゲート電極の多結晶シリコン 1 9 が露出する。その後、再度シリサイドプロセスを行うことにより、図 1 6 に示す半導体装置 2 のように、ゲート電極部分にシリサイド S C 4 が形成される。この第 1 の変形例の場合は、ゲート電極のシリサイド材料としてソースドレイン電極とは異なる材料を用いることもできる。また、図 1 7 に示す第 2 変形例の半導体装置 3 のように、例えば N M O S 領域のゲート電極の部分を完全にシリサイド化すれば、いわゆるフルシリサイドゲート電極 G 1 2 が形成される。シリサイド材料としてはニッケル ( N i ) 、コバルト ( C o ) 、チタン ( T i ) 、パラジウム ( P d ) 等を用いることができる。

30

40

#### 【 0 0 2 8 】

##### ( 2 ) 第 2 の実施の形態

次に、本発明の第 2 の実施の形態について図 1 8 乃至図 2 3 を参照しながら説明する。

#### 【 0 0 2 9 】

図 1 8 は、本実施形態の半導体装置 5 の要部の構成を示す断面図である。図 1 8 では紙面の左側に P M O S トランジスタ 5 が記載され、右側に N M O S トランジスタ 5 が記載さ

50

れている。本実施形態の半導体装置 5 の特徴は、PMOS トランジスタのゲート電極 G 1 6 の構造にあり、図 1 の半導体装置 1 における窒化タングステン (WN) 1 7 に代えて、タングステンシリサイドをプラチナ (Pt) と反応させて得られた  $WxPt_ySi_z$  膜 ( $x+y+z=1$ ) 5 7 を含む点にある。本実施形態において、ゲート電極 G 1 6 , 1 8 は、例えば第 1 および第 2 の電極にそれぞれ対応する。また、タングステン (W) は、例えば第 1 の金属に対応し、プラチナ (Pt) は、例えば第 1 の金属と異なる第 2 の金属に対応し、さらに、 $WxPt_ySi_z$  膜 5 7 は、例えば第 1 の金属と第 2 の金属とシリコンとの合金である第 1 の金属シリサイドに対応する。

#### 【0030】

このように、タングステンを含んだプラチナシリサイド  $WxPt_ySi_z$  膜 5 7 によっても、ゲート電極の仕事関数をシフトさせて CMOS のしきい値を下げるができる。これにより、高性能の導体装置が提供される。半導体装置 5 の他の点は、図 1 に示す半導体装置 1 と実質的に同一である。なお、タングステンシリサイド (WSi) の上にはプラチナシリサイド (PtSi) を形成しても良い。

#### 【0031】

本実施形態の半導体装置 5 も、上述した実施形態と同様に、ゲート絶縁膜にダメージを与えることなく製造可能である。半導体装置 5 の具体的製造方法について、図 1 9 乃至図 2 3 を参照しながら説明する。

#### 【0032】

まず、図 1 9 に示すように、既知の方法で素子分離絶縁膜 (STI) を形成したシリコン基板 1 0 上にゲート絶縁膜 1 2 を形成し、次に、約 5 ~ 約 1 0 nm のタングステンシリサイド (WSi) 膜 5 2 を CVD 法によって全面に形成する。続いて、図 2 0 に示すように、タングステンシリサイド (WSi) 膜 5 2 の上にプラチナ (Pt) 5 4 の薄膜を、例えばスパッタリング法を用いて成膜する。マスク材としてシリコン酸化膜を全面に堆積させた後、例えば PMOS が形成される領域のみ残存するように、シリコン酸化膜をレジストによるパターニングとエッチングにより選択的に除去する。得られたシリコン酸化膜をマスク M 8 としてプラチナ (Pt) 薄膜 5 4 をエッチングにより選択的に除去することにより所望の領域、本実施形態では PMOS の領域にのみプラチナ (Pt) 薄膜 5 5 を残す。続いて、図 2 1 に示すように、フッ酸等でシリコン酸化膜マスク M 8 を除去した後に熱工程を加えることにより、図 2 2 に示すように、所望の領域 (例えば PMOS 領域) のみプラチナ (Pt) とタングステンシリサイド (WSi) 薄膜とが反応し、タングステンを含んだプラチナシリサイド ( $WxPt_ySi_z$ ) 膜 5 6 ( $x+y+z=1$ ) となる。その後、全面に多結晶シリコン膜 1 8 を堆積させる。この場合、多結晶シリコンでなく WSi を全面に形成しても良い。次いで、図 2 3 に示すように、レジストなどのパターニングと RIE などの異方性エッチングにより、多結晶シリコン 1 8 とタングステンシリサイド膜 ( $WSi_x$ ) 5 2 との積層体、並びに、タングステンを含んだプラチナシリサイド ( $WxPt_ySi_z$ ) 膜 5 6 と多結晶シリコン 1 8 との積層体をゲート形状に加工し、それぞれタングステンシリサイド膜 ( $WSi_x$ ) 5 3 および多結晶シリコン 1 9 の積層体、並びに、プラチナシリサイド ( $WxPt_ySi_z$ ) 膜 5 7 および多結晶シリコン 1 9 の積層体を得る。

#### 【0033】

さらに、既知の方法で LDD 構造の不純物拡散層を形成した後、側壁 SW 2 , SW 4 をゲート電極 G 1 8 , G 1 6 の周りにそれぞれ形成する。その後、ソースドレインの不純物拡散層を形成するための不純物を注入するが、同時にゲート電極 G 1 6 , G 1 8 中の多結晶シリコン 1 9 にも導入される。熱工程を行うことで導入した不純物の拡散と不純物拡散層の活性化を行う。このとき、ゲート電極 G 1 6 , G 1 8 に導入された不純物イオンも同時に拡散する。NMOS 側のポリシリコン・タングステンシリサイド (Poly-Si/WSi) を含む電極 G 1 8 では、タングステンシリサイド ( $WSi_x$ ) 2 3 とゲート絶縁膜 1 2 との膜界面にドーパント (例えば P や As 等) が拡散し、タングステンシリサイド ( $WSi_x$ ) 2 3 の仕事関数をより小さい方、例えば約 4 . 1 eV までシフトさせる。この一

10

20

30

40

50

方、PMOS側のタングステンを含んだプラチナシリサイドと、多結晶シリコンとを含む(Poly-Si/WxPtySi<sub>z</sub>)ゲート電極G18の仕事関数は、タングステンを含むプラチナシリサイド(WxPtySi<sub>z</sub>)によって決まる。なお、上述した方法ではソースドレイン不純物拡散層と同じ種類の不純物がゲート電極G16, G18の多結晶シリコンに導入され、かつ、その純物濃度も同じになってしまう。不純物の種類と不純物濃度を変えたい場合は、例えば多結晶シリコンを全面に堆積した後に不純物を導入し、マスク材としてシリコン窒化膜をその上に堆積させてからゲート加工する方法もある。

#### 【0034】

続いて、ソースドレイン電極用の不純物拡散層32, 34を形成した後、不純物拡散層32, 34の部分にシリサイドを形成することにより、図18に示す半導体装置が提供される。このとき、ソースドレイン領域でのシリサイドと同時にゲート電極G16, G18にもシリサイドが形成される。ただし、ゲート電極自体の仕事関数はゲート絶縁膜に接し不純物が導入されたタングステンシリサイド膜(WSi<sub>x</sub>)(ゲートG18)とタングステンを含むプラチナシリサイドと多結晶シリコンとの膜(Poly-Si/WxPtySi<sub>z</sub>膜)(ゲート16)で決定され、ゲート電極上のシリサイドは、多結晶シリコン部分のゲート電極の低抵抗化に寄与するのみである。なお、シリサイド種をソースドレイン電極とゲート電極とで変更したい場合や、シリサイドの厚さを変えたい場合は、上述した第1の実施の形態と同様に、多結晶シリコン上にシリコン窒化膜を形成してからゲート加工すれば良い。

10

#### 【0035】

その後は通常のトランジスタ形成工程と同じく全面に層間膜を堆積させた後、コンタクト配線を形成してトランジスタを完成させれば良い。

20

#### 【0036】

##### (3)第3の実施の形態

図24は、本発明の第3の実施の形態にかかる半導体装置の主要部を示す断面図である。上述した実施形態とは対照的に、同図に示す半導体装置9は、ダマシングートプロセスを用いて本発明を実現したものである。

#### 【0037】

即ち、シリコン基板10の表面部に形成されたSTIによって素子分離されたCMOS領域の上に、ダミーゲートの溝TR<sub>g</sub>を残して、窒化シリコン層66、側壁SW12, SW14および層間絶縁膜68が形成される。

30

#### 【0038】

NMOS領域のダミーゲート溝TR<sub>g</sub>内には、その底面および内側面に、ゲート絶縁膜73, タングステンシリサイド(WSi)77、多結晶シリコン91およびシリサイドSC32が溝TR<sub>g</sub>を順次埋めるように形成される。タングステンシリサイド(WSi)77、多結晶シリコン91およびシリサイドSC32は、ゲート電極G22を構成する。本実施形態において、ゲート電極G22は、例えば第2の電極に対応し、タングステン(W)は、例えば第1の金属に対応する。

#### 【0039】

PMOS領域のダミーゲート溝TR<sub>g</sub>内には、その底面および内側面に、ゲート絶縁膜73, タングステン(W)薄膜75、窒化タングステン(WN)83、多結晶シリコン91およびシリサイドSC32が溝TR<sub>g</sub>を順次埋めるように形成される。タングステン薄膜75、窒化タングステン83、多結晶シリコン91およびシリサイドSC32は、ゲート電極G24を構成する。シリコン基板10の表面部のうち、STIで囲まれたチャネル領域にはソースドレイン電極92, 94が形成され、これらの電極に接するチャネル領域にはLDD層62, 64がそれぞれ形成されている。本実施形態において、ゲート電極G24は、例えば第1の電極に対応し、タングステン薄膜75は、例えば第1の金属薄膜に対応し、窒化タングステン83は、例えば第1の金属と多結晶シリコンとの反応を制御する化合物に対応する。

40

#### 【0040】

50

本実施形態のようなダマシゲート型半導体装置 9 についても、上述した実施形態と同様に、CMOS を構成するトランジスタのゲート電極 G 2 2 , G 2 4 のうち、ゲート電極 G 2 4 内のタングステン ( W ) 膜 7 5 と多結晶シリコン 9 1 との間に、これらの部材相互間の反応を抑制する化合物窒化タングステン ( W N ) 8 3 が形成されており、これにより、ゲート電極 G 2 2 , G 2 4 が互いに異なる仕事関数を有するように形成される。この結果、CMOS トランジスタのしきい値が低下し、半導体装置 9 の性能を向上させることができる。図 2 4 に示す半導体装置 9 の製造方法は、以下の通りである。

#### 【 0 0 4 1 】

まず、上述した実施形態と同様に、シリコン基板 1 0 の表面部に既知の方法で S T I を形成する。次に、バッファ膜としてシリコン酸化膜を全面に形成する。ダミーゲート膜として多結晶シリコン・シリコン窒化膜を全面に形成する。レジストと異方性エッチングによりダミーゲート電極を形成する。次いで、既知の方法で L D D 構造の不純物拡散層 6 2 , 6 4 を形成した後、側壁 S W 1 2 , S W 1 4 をダミーゲート電極の周りにそれぞれ形成する。続いて、これらの側壁 S W 1 2 , S W 1 4 をマスクとして不純物を注入し、ソースドレイン電極となる不純物拡散層 9 2 , 9 4 を自己整合的に形成する。熱処理により不純物を活性化させる。必要に応じてシリサイドをソースドレイン電極に形成した後、例えばシリコン酸化膜を全面に堆積させる。CMP 法またはエッチバック法により堆積させたシリコン酸化膜をエッチングして平坦化するとともに、ダミーゲート絶縁膜の上面を露出させる。シリコン窒化膜、シリコン酸化膜をエッチングし、バッファ酸化膜を希フッ酸系溶液で除去することで、図 2 5 に示すようにダミーゲートの領域のシリコン基板 1 0 を露出させ、これによりゲート電極を形成するためのゲート溝 T R g が完成する。次に、図 2 6 に示すように、ゲート溝 T R g 内に絶縁膜 7 2 を形成する。そのためには、例えばシリコン基板 1 0 を酸化させても良いし、全面に高誘電体膜を堆積させても良い。次に、図 2 7 に示すように、約 5 ~ 約 1 0 n m の厚さでタングステン ( W ) 薄膜 7 4 を C V D 法などにより成膜する。続いて、図 2 8 に示すように、シリコン酸化膜をマスク材として全面に堆積させる。所望の領域 ( 例えば P M O S 領域 ) のみレジストを用いたパターニングとエッチングにより N M O S 領域にのみマスクシリコン酸化膜 M 1 0 が残るように、マスク材を除去する。次に、プラズマ処理などで露出したタングステン ( W ) 薄膜 7 4 の表面を窒化する。最後に希フッ酸処理等でシリコン酸化膜マスク M 1 0 を除去することで、所望の領域のタングステン薄膜の表面窒化が完成し、窒化タングステン ( W N ) 8 4 が形成される。

#### 【 0 0 4 2 】

次に、図 2 9 に示すように、多結晶シリコン 8 8 を全面に形成する。650 以上の熱を加えることで、図 3 0 に示すように、表面が窒化されていないタングステン ( W ) 薄膜 7 4 は多結晶シリコン 8 8 と反応してタングステンシリサイド膜 ( W S i x ) 7 6 になる。この一方、表面が窒化した P M O S トランジスタ 9 の領域でのタングステン ( W ) 薄膜 7 4 は、窒化タングステン ( W N ) 膜 8 4 がバリアとなってシリコンとは反応しない。CMP 法等により多結晶シリコン 8 8 、タングステンシリサイド膜 ( W S i x ) 7 6 、窒化タングステン ( W N ) 膜 8 4 , およびタングステン薄膜 7 4 をエッチングするとともに平坦化することにより、図 3 1 に示すゲート形状を得る。

#### 【 0 0 4 3 】

次に、図 3 2 に示すように、レジスト M 1 2 等を用いたパターニングの後に、各ゲートの多結晶シリコン 8 9 に不純物を導入する。なお、予め不純物が導入された多結晶シリコン膜 ( 例えば P ドープ多結晶シリコン ) を使ってもよい。熱工程を加えることで不純物を拡散させる。この場合は拡散させるだけで良いので約 500 の低温で構わない。次に、ニッケル ( N i ) 等の金属材料を全面に形成してシリサイド反応させ、ゲート電極 G 2 2 , G 2 4 を低抵抗化させる。これとは代替的に、シリサイドを行わないで不純物を高濃度に導入し、活性化させて抵抗を下げることも可能である。

#### 【 0 0 4 4 】

その後は、通常のトランジスタ形成工程と同じく全面に層間膜を堆積させた後、コンタ

10

20

30

40

50

クト配線を形成してトランジスタを完成させる。

【0045】

本実施形態においては、第2の実施の形態と同様に、タングステンを含むプラチナシリサイド(WxPtySiz)電極をタングステン電極の代わりに使うこともできる。本実施形態では、タングステン(W)、プラチナ(Pt)等のメタルの加工を、RIE法でなくCMP法で行うために、オーバーエッチングの心配がない。また、ソースドレイン領域の活性化工程をより高温で処理できるというメリットもある。

【0046】

以上、本発明の実施の形態のいくつかについて説明したが、本発明は上記形態に限定されるものではなく、その技術的範囲内で種々に変形して実施することができる。例えば、タングステン薄膜の表面を窒化させる際のマスク材はシリコン酸化膜に限られるものではない。また、金属薄膜の材料はタングステんに限定されるものではない。上述した実施形態では、金属薄膜と多結晶シリコンとの反応を制御する態様として、窒化処理によりこれらの相互間の反応を抑制させる点を取り上げたが、抑制とは逆の促進を制御の態様とし、シリコンと反応しない金属種に対してシリコンとの反応を促進させるために表面処理、例えば非結晶化を行っても良い。また、LDD層の形成方法はゲート電極またはダミーゲート電極をマスクに用いる代わりに、ゲート周りに狭い側壁を形成してから不純物導入を行っても良い。また、多結晶シリコンに代えて非結晶シリコンを用いることもできる。さらに、基板の種類は、シリコン基板に限られることなく、例えばSOIを使った基板でも本発明にかかる半導体装置を形成することができる。なお、SOIの膜厚とアプリケーションによっては本実施例とNMOS、PMOS逆の導電型の電極を用いた方がトランジスタの特性が良い場合がある。

【図面の簡単な説明】

【0047】

【図1】本発明の第1の実施の形態にかかる半導体装置の要部を示す断面図である。

【図2】図1に示す半導体装置の製造方法を説明する略示断面図である。

【図3】図1に示す半導体装置の製造方法を説明する略示断面図である。

【図4】図1に示す半導体装置の製造方法を説明する略示断面図である。

【図5】図1に示す半導体装置の製造方法を説明する略示断面図である。

【図6】図1に示す半導体装置の製造方法を説明する略示断面図である。

【図7】図1に示す半導体装置の製造方法を説明する略示断面図である。

【図8】図1に示す半導体装置の製造方法を説明する略示断面図である。

【図9】図1に示す半導体装置の第1の変形例の製造方法を説明する略示断面図である。

【図10】図1に示す半導体装置の第1の変形例の製造方法を説明する略示断面図である。

【図11】図1に示す半導体装置の第1の変形例の製造方法を説明する略示断面図である。

【図12】図1に示す半導体装置の第1の変形例の製造方法を説明する略示断面図である。

【図13】図1に示す半導体装置の第1の変形例の製造方法を説明する略示断面図である

【図14】図1に示す半導体装置の第1の変形例の製造方法を説明する略示断面図である。

【図15】図1に示す半導体装置の第1の変形例の製造方法を説明する略示断面図である。

【図16】図1に示す半導体装置の第1の変形例の要部を示す断面図である。

【図17】図1に示す半導体装置の第2の変形例の要部を示す断面図である。

【図18】本発明の第2の実施の形態にかかる半導体装置の要部を示す断面図である。

【図19】図18に示す半導体装置の製造方法を説明する略示断面図である。

【図20】図18に示す半導体装置の製造方法を説明する略示断面図である。

10

20

30

40

50

- 【図 2 1】図 1 8 に示す半導体装置の製造方法を説明する略示断面図である。  
 【図 2 2】図 1 8 に示す半導体装置の製造方法を説明する略示断面図である。  
 【図 2 3】図 1 8 に示す半導体装置の製造方法を説明する略示断面図である。  
 【図 2 4】本発明の第 3 の実施の形態にかかる半導体装置の要部を示す断面図である。  
 【図 2 5】図 2 4 に示す半導体装置の製造方法を説明する略示断面図である。  
 【図 2 6】図 2 4 に示す半導体装置の製造方法を説明する略示断面図である。  
 【図 2 7】図 2 4 に示す半導体装置の製造方法を説明する略示断面図である。  
 【図 2 8】図 2 4 に示す半導体装置の製造方法を説明する略示断面図である。  
 【図 2 9】図 2 4 に示す半導体装置の製造方法を説明する略示断面図である。  
 【図 3 0】図 2 4 に示す半導体装置の製造方法を説明する略示断面図である。  
 【図 3 1】図 2 4 に示す半導体装置の製造方法を説明する略示断面図である。  
 【図 3 2】図 2 4 に示す半導体装置の製造方法を説明する略示断面図である。

10

## 【符号の説明】

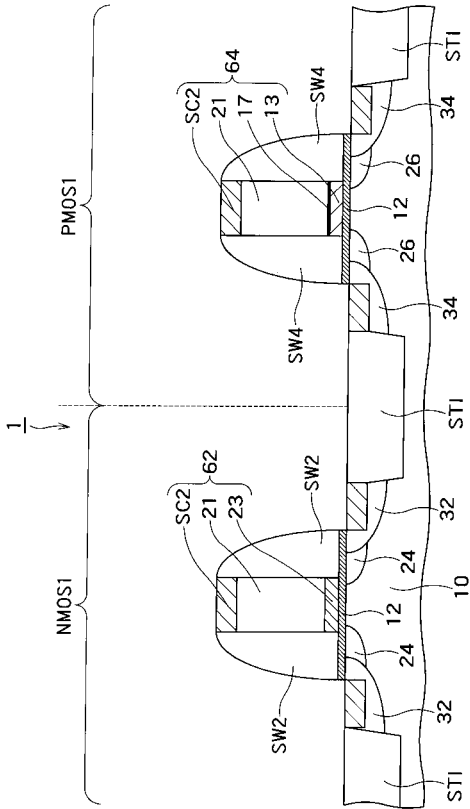
## 【 0 0 4 8 】

- 1 , 2 , 3 , 5 , 9    半導体装置  
 1 0    シリコン基板  
 1 2    ゲート絶縁膜  
 1 3 , 1 4 , 7 4 , 8 2 , 8 3    タングステン薄膜  
 1 6 , 1 7 , 8 3 , 8 4    窒化タングステン  
 1 8 , 1 9    多結晶シリコン  
 2 2 , 2 3    タングステンシリサイド  
 2 4 , 2 6 , 6 2 , 6 4    L D D 層  
 3 2 , 3 4 , 9 2 , 9 4    ソースドレイン電極  
 4 2    シリコン酸化膜  
 5 4 , 5 5    プラチナ薄膜  
 5 6 , 5 7    タングステンを含んだプラチナシリサイド膜  
 G 2 , G 4    ゲート電極  
 M 2 , M 4 , M 6 , M 7 , M 8    マスク  
 S C 2 , S C 4 , S C 6 , S C 8 , S C 3 2    金属シリサイド  
 S T I    素子分離絶縁膜  
 S W 2 , S W 4 , S W 1 2 , S W 1 4    側壁

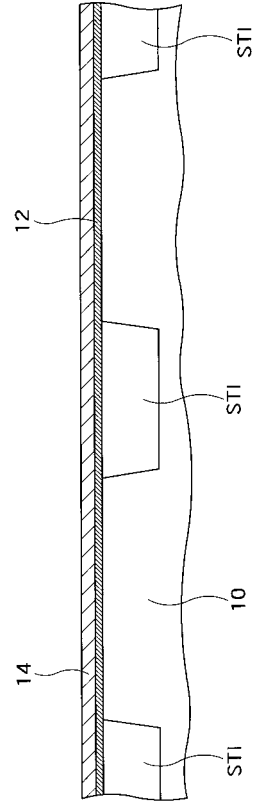
20

30

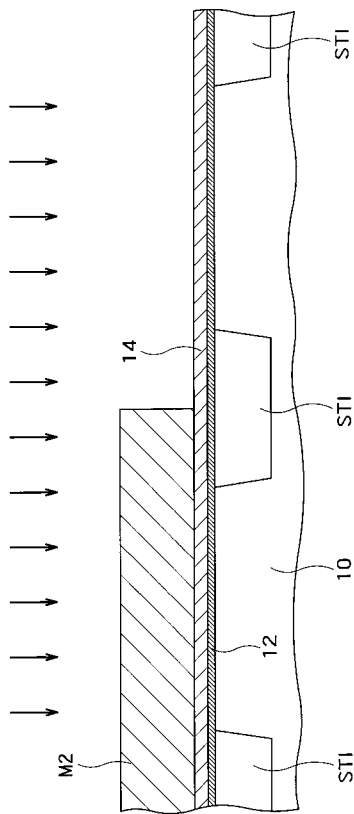
【図 1】



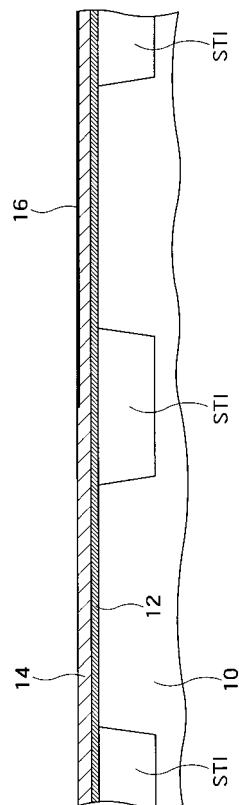
【図 2】



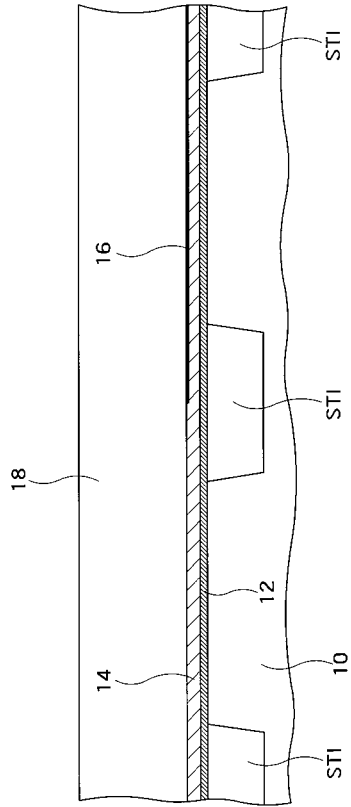
【図 3】



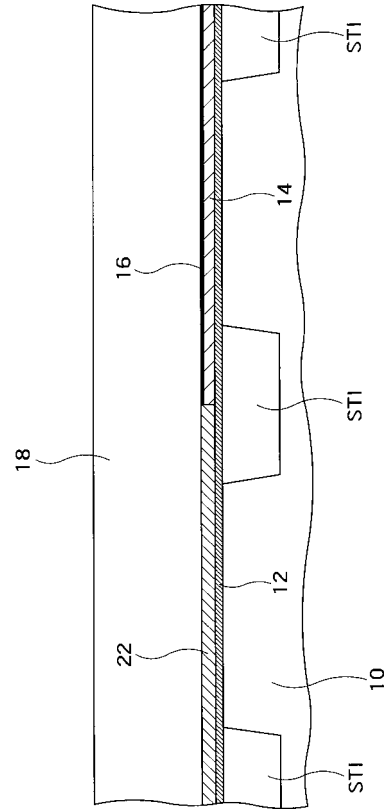
【図 4】



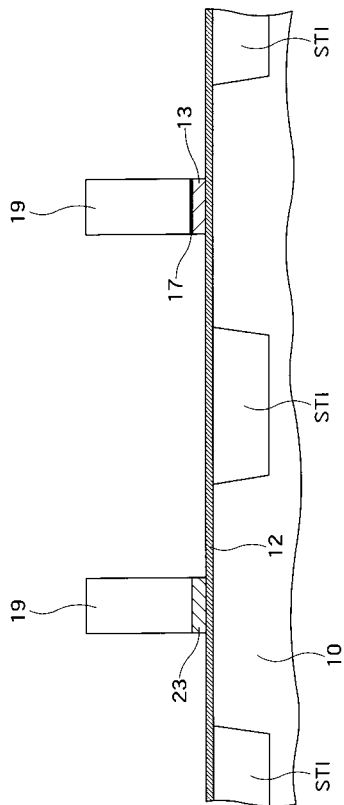
【図 5】



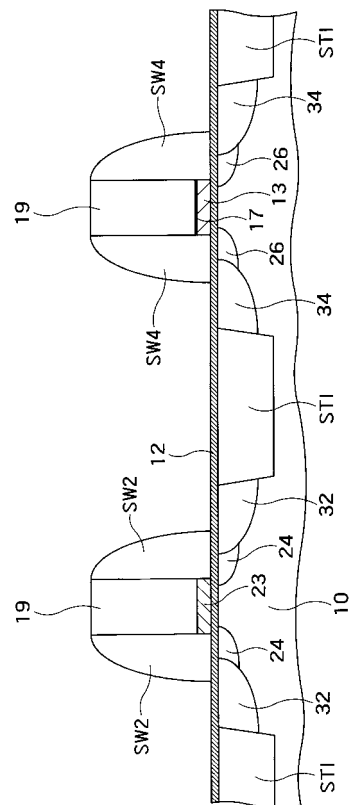
【図 6】



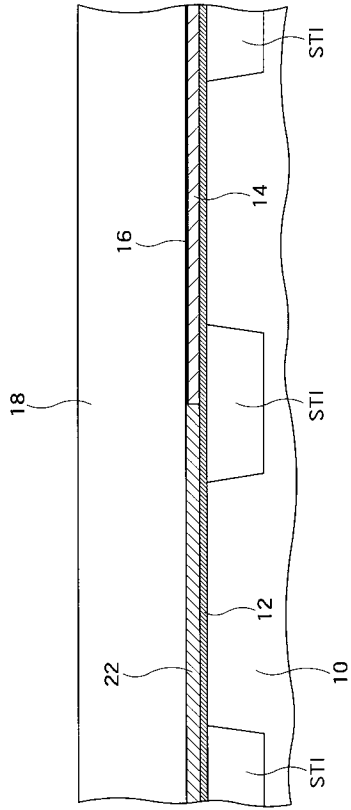
【図 7】



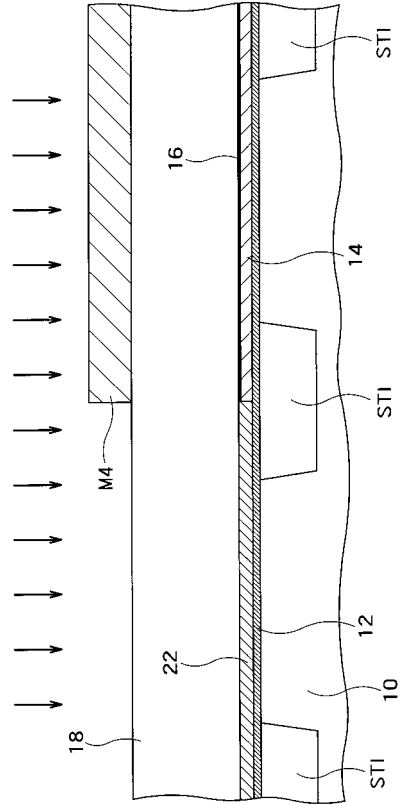
【図 8】



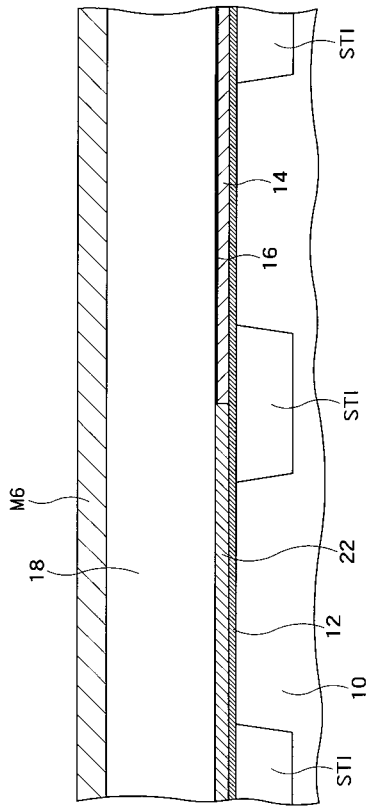
【図 9】



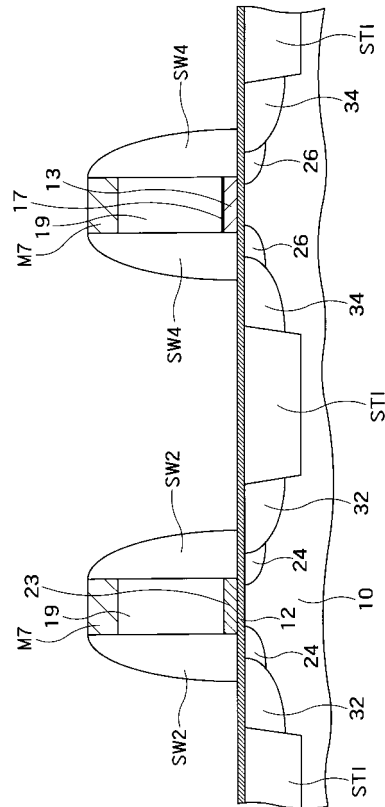
【図 10】



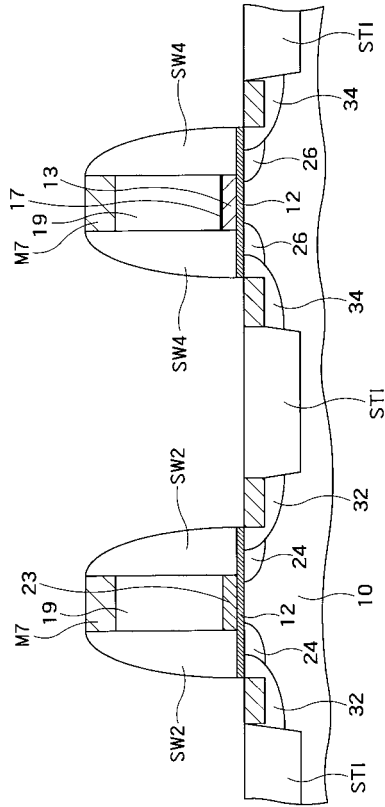
【図 11】



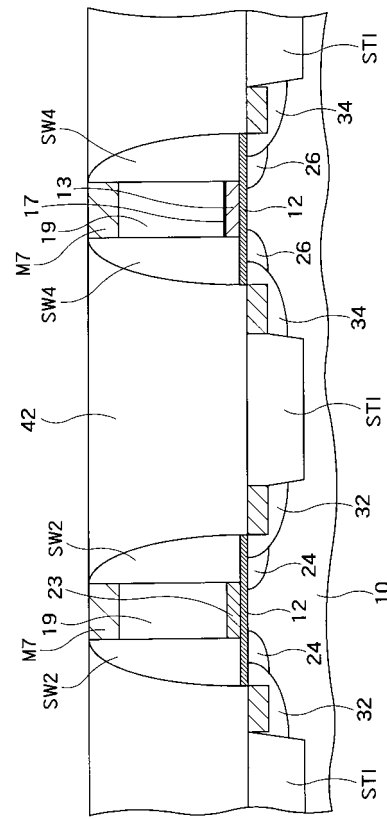
【図 12】



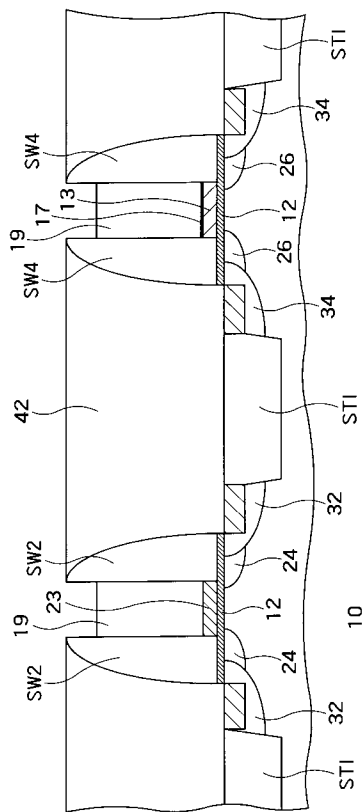
【図 1 3】



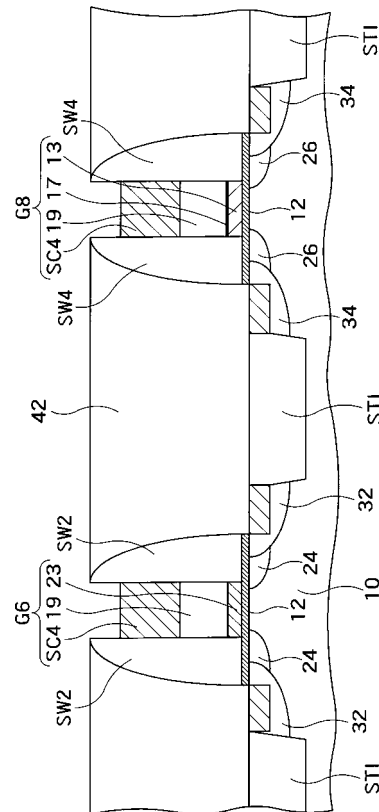
【図 1 4】



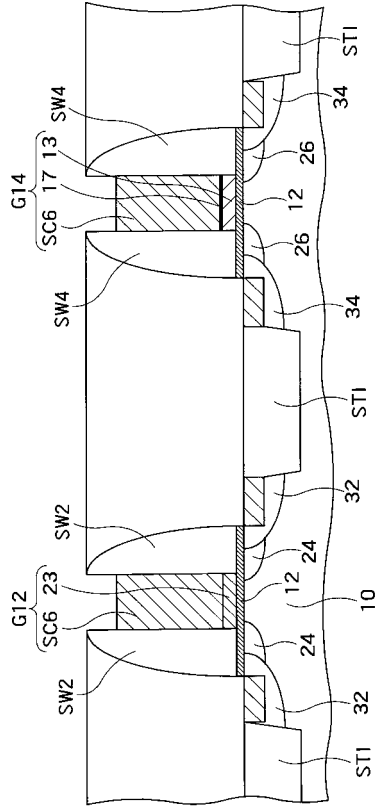
【図 1 5】



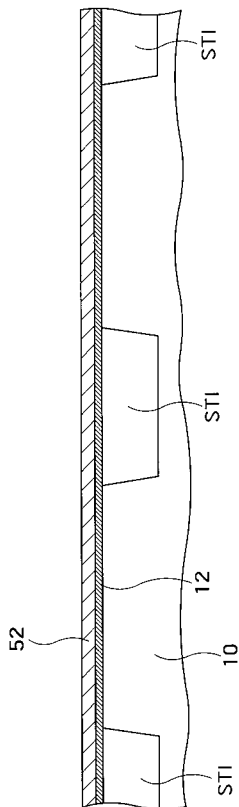
【図 1 6】



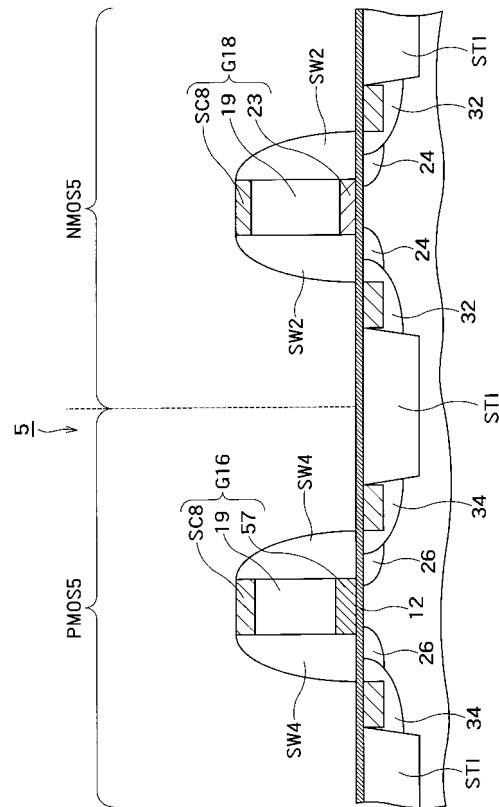
【 図 1 7 】



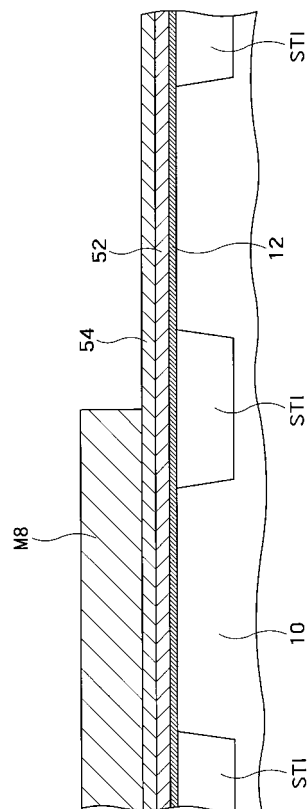
【 図 19 】



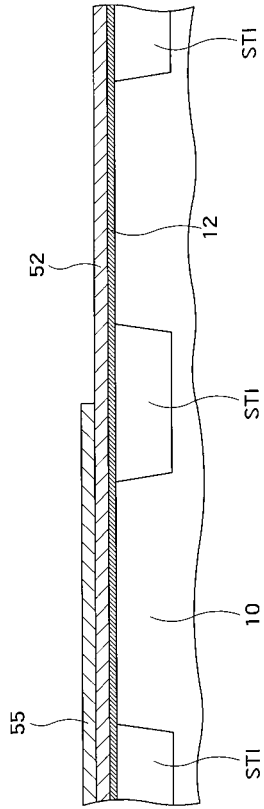
【 ㄨ 1 8 】



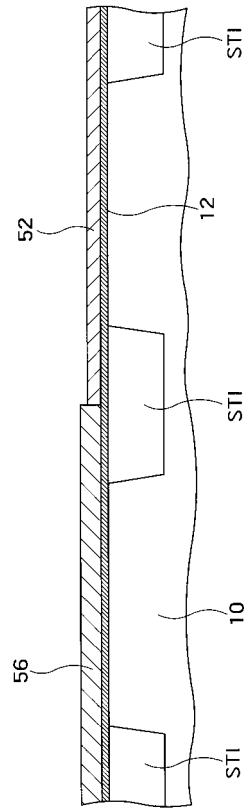
【 図 2 0 】



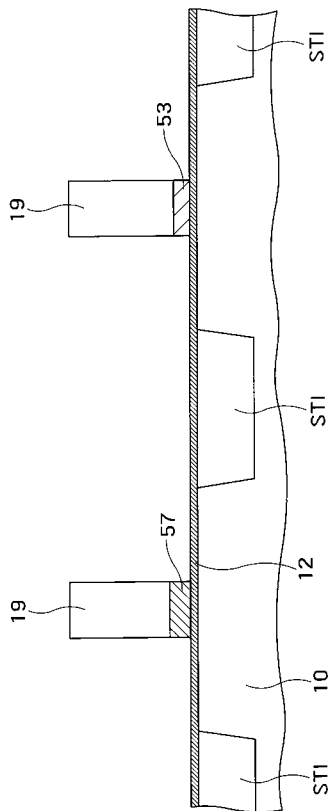
【図 2 1】



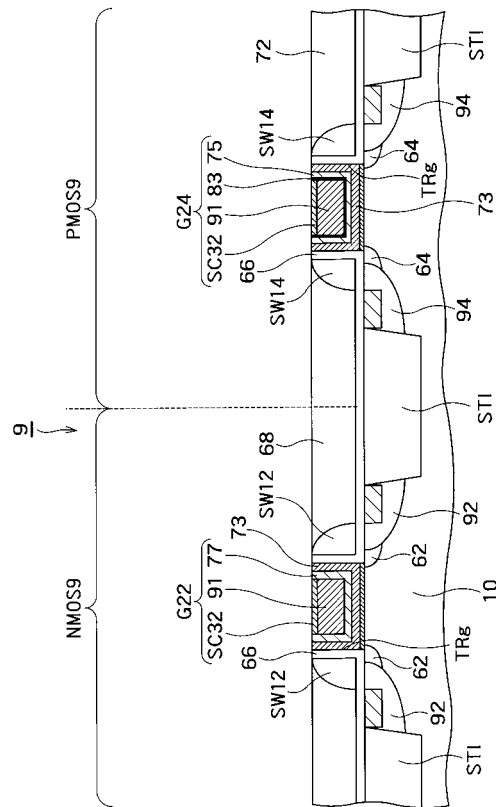
【図 2 2】



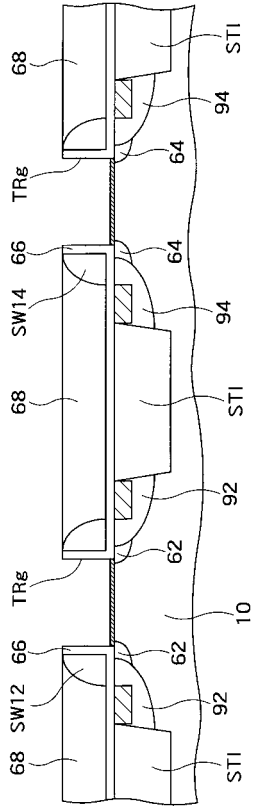
【図 2 3】



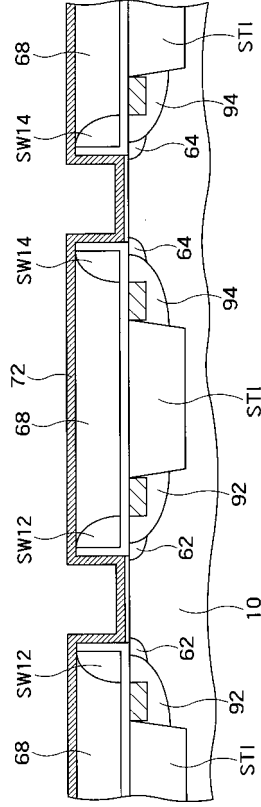
【図 2 4】



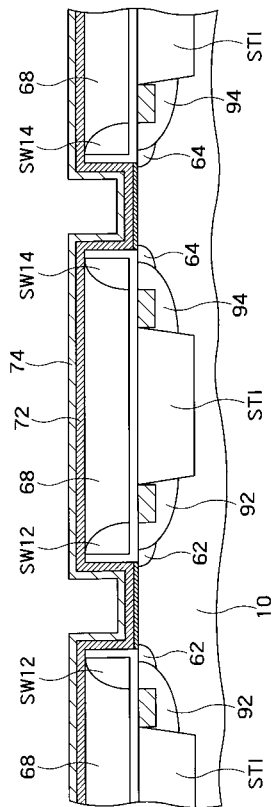
【 図 2 5 】



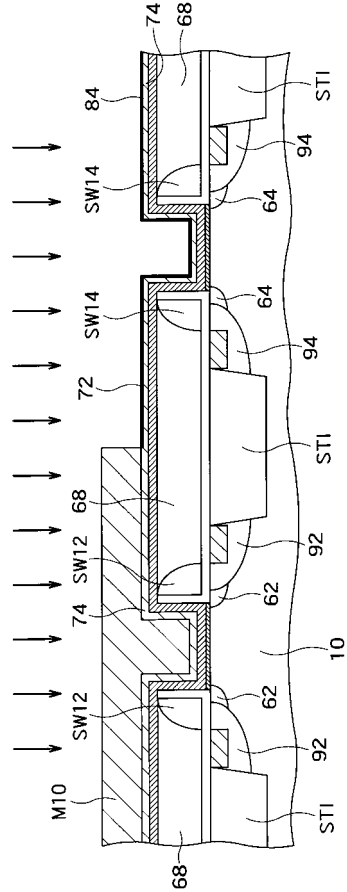
【 図 2 6 】



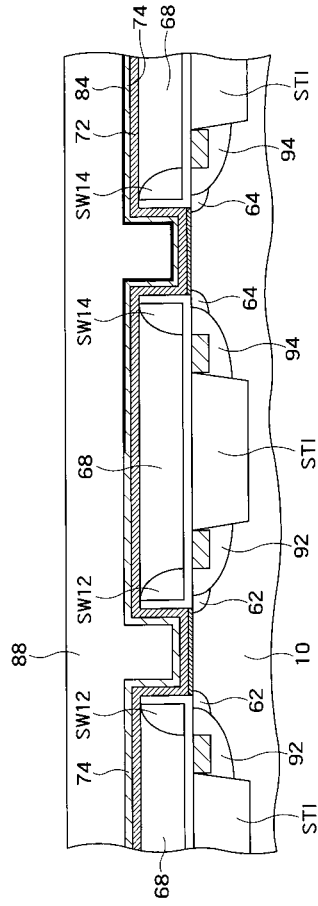
【 図 2 7 】



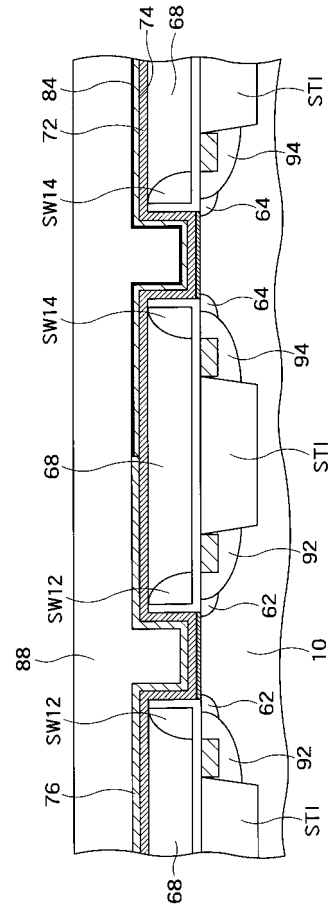
【 図 2 8 】



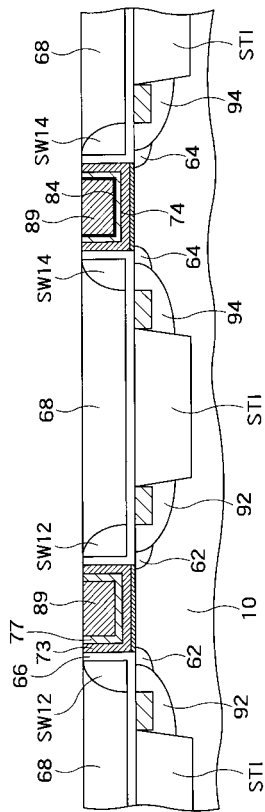
【図 29】



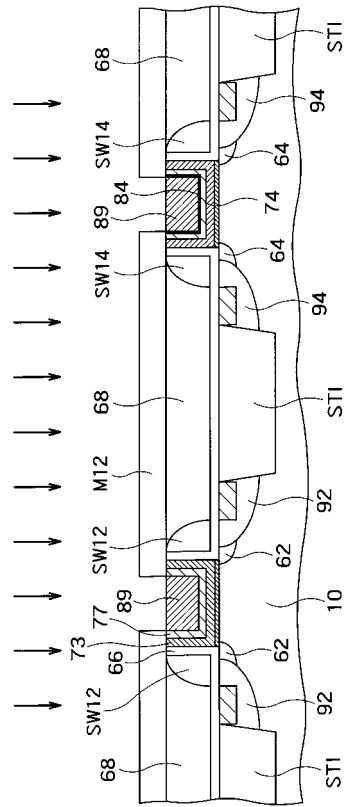
【図 30】



【図 31】



【図 32】



## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 1 L 29/78 6 1 7 J

(72)発明者 齋 藤 友 博  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 須 黒 恭 一  
神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

F ターム(参考) 4M104 AA01 AA09 BB18 BB24 BB28 BB29 BB40 CC05 DD03 DD04  
DD43 DD66 DD75 DD80 DD81 DD84 DD89 DD99 FF13 FF17  
GG09 GG10 HH05 HH16  
5F048 AA07 AA09 AC03 AC04 BA01 BA16 BB06 BB07 BB08 BB09  
BB10 BB12 BB13 BB14 BC06 BF06 BG13 DA23  
5F110 AA08 BB04 CC02 DD05 DD13 EE01 EE04 EE05 EE09 EE14  
EE15 EE31 EE45 FF02 FF03 FF23 GG02 GG12 HJ01 HJ13  
HJ23 HK05 HK40 HM15 NN62 QQ08 QQ19