(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl. [7]
H01L 33/00

(11) 공개번호 특2001-0070459
(43) 공개일자 2001년07월25일

(21) 출원번호 10-2001-0000910
(22) 출원일자 2001년01월08일

(30) 우선권주장 60/175,010 2000년01월07일 미국(US)
09/540,471 2000년03월31일 미국(US)

(71) 출원인 루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)

(72) 발명자 게바마이클
미국18104,펜실베니아,알렌타운,컨벤트리로드1480
아큘로바율리야아나톨리예브나
미국93117,캘리포니아,골레타,데이븐포트로드#2037220
오우가자덴압달라
미국18031,펜실베니아,브레이닝스빌,크로스크릭서클7920

(74) 대리인 이병호

심사청구 : 없음

(54) Ⅲ-Ⅴ 구조에 사용하기 위한 불순물 확산 장벽층

요약

다중-층 불순물 확산 장벽은, 기생(parasitic) pn 접합 또는 기생 캐패시턴스에 기여하지 않고, 불순물 확산을 효율적으로 방지하는 것으로 밝혀졌다. 다중-층 불순물 확산 장벽층은 불순물 확산을 방지한다.

대표도
도 1

색인어
메사 구조, 기생 캐패시턴스, 기생 pn 접합, 광전자 디바이스, 전류 속박층

명세서

도면의 간단한 설명

도 1은 본 발명의 예시적인 실시예의 불순물 확산 장벽(barrier)의 횡단면도.

도 2는 본 발명의 예시적인 실시예의 이중 불순물 확산 장벽층을 도시한 횡단면도.

* 도면의 주요부분에 대한 부호의 설명 *

103; 진성층 104; 확산 장벽 차단층

109; 다중-층 내부-확산 장벽층 121; 게이트 구조

200; 다중-층 불순물 장벽층 201; 기판

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 III-V 반도체 구조에 사용하기 위한 이중층 불순물 확산 장벽에 관한 것이다.

광전자 디바이스에 이용된 한 전형적인 구조는 p-i-n(PIN) 구조이다. 전형적인 PIN 구조에서, 진성층은 p형층과 n형층 사이에 배치되어 헤터로 구조 디바이스를 형성한다. 진성층은 p와 n층보다 더 큰 굴절의 인덱스를 가지며, 자연적인 도파관(natural waveguide)으로 된다. 더욱이, PIN 구조 내 전도대와 가전자대(conduction and valence bands)의 에너지 배드 불연속성은 활성층(active layer) 내의 캐리어 속박을 용이하게 한다. 요컨대, PIN 구조는 다양한 광전자 방출 및 검출에 매우 적합하다.

광전자 디바이스에 종종 사용되는 한 재료는 인듐 인화물(InP)이다. InP를 이용한 PIN 구조에서, p형층은 흔히 불순물로서 아연을 도입함으로써 제조된다. 아연이 p형층을 형성하기 위한 불순물로 적합하지만, 아연은 InP의 성장 동안 도달된 더 높은 온도에 기인하여 쉽게 확산될 수 있다. 활성(PIN 구조에서 진성층)층으로의 확산은 활성층의 원하지 않은 도핑을 야기할 수 있다. 이것은 해로운 효과를 가질 수 있다. 예를 들면, 레이저에서, 내부-밴드 전이(intra-band transition)가 발생하여, 광 손실 및 감소된 출력 파워를 초래할 수 있다. 더욱이, 활성층의 의도하지 않은 도핑은 이미터(emitter)의 방출된 파장에서의 시프트(shift)를 초래할 수 있다. PIN 구조가 전자-흡수성 변조기(electro-absorbtive modulator)로서 사용되는 응용에서, 활성층 내의 아연 불순물들은 흡수 에지(absorption edge)를 변화시킬 수 있으며, 그것에 의해 소광률(extinction ratio)을 열화시킨다.

광전자 디바이스에 흔히 사용된 전형적인 InP 기반 구조는 횡방향의 광 및 캐리어 속박을 제공하는 메사의 양쪽 면 위에 전류 차단(blocking)층을 갖는 메사(mesa) 구조이다. 여러 구조에서, 하나 이상의 전류 차단층은 철(iron) 도핑된 인듐 인화물(Inp(Fe))이다. 불행하게도, p형층으로부터의 p 불순물 및 반-절연 InP(Fe)층으로부터의 철의 내부-확산은 일반적인 일이다. 상기 내부-확산은 디바이스 특성에 대해 해로운 효과를 가질 수 있다. 예를 들면, p형 불순물의 확산은 디비이스 내에서 전류의 누출을 쉽게 야기할 수 있고, 철의 p형층 내로의 내부-확산은 더 높은 저항성을 초래한다. 따라서, 내부-확산을 방지하는 장벽층을 갖는 것이 바람직하다.

n-InP층은 불순물 장벽층으로서 사용될 수 있다. 이러한 형태의 장벽층은 p-클래딩(cladding)층으로부터 PIN 디바이스의 활성층으로의 불순물 확산을 방지하는데 사용될 수 있다. 더욱이, n-INP층은 매립된 매사 구조 디바이스 내의 p형 불순물 및 철 불순물의 내부-확산을 방지하는데 사용될 수 있다.

p형층으로부터 p형 불순물의 확산을 방지하는데 n-InP층이 사용되는 전자의 경우에, n형 InP층은 PIN 디바이스의 활성층과 p형층 사이에 배치된다. n-InP층이 p형 불순물 확산을 방지하지만, 그것은 불행하게도 p형층 내에 형성되는 원하지 않은 pn 접합을 형성한다. 상기 기생 pn 접합은 디바이스 성능을 열화시킬 수 있다. 명백하게, 이것은 n형 InP 확산 차단층을 사용할 때의 원하지 않은 부작용이다.

n형 InP 확산 장벽층이 철과 p형 불순물의 내부-확산을 방지하기 위해 메사의 면(side)을 따라서 사용되는 후자의 경우에, p형 확산을 방지하기 위해, 상대적으로 높은 농도의 n형 불순물(10^{18} atoms/cm^3 정도)이 사용되어야 한다. 더욱이, 불순물의 적절한 차단을 보장하기 위해, 상기 층을 상대적으로 두껍게 만들 필요가 있다. 따라서, 기생 pn 접합은 p형 클래딩층과 n형 확산 장벽층 사이에 설치된다. 이것은 원하지 않은 전류 누출 경로를 야기할 수 있다. 더욱이, 내부-확산을 방지하기 위한 전류 차단층과 p형 클래딩층 사이에 n형 확산 장벽층을 배치하는 것은 기생 캐패시턴스를 증가시킬 수 있다. 이것은 디바이스에 대해 해로운 효과를 가질 수 있다. 이것은, 일반적으로 디바이스 속도에 악영향을 미치기 때문에 전자-흡수성 변조기, 레이저 및 디지털 디바이스와 같은 디바이스에서 특히 문제가 된다.

발명이 이루고자 하는 기술적 과제

따라서, 필요한 것은, 디바이스에 대한 기생 요소를 유입하지 않으면서, 불순물의 확산을 성공적으로 차단하는 불순물 확산 장벽층이다.

발명의 구성 및 작용

다중-층 불순물 확산 장벽층은 도핑된 층과 다른 층 사이에 배치된다. 이중층 불순물 확산 장벽은 도핑된 층과 다른 층 사이에 불순물의 내부-확산을 방지한다. 한 실시예에서, 상기 이중층은, 도핑된 층에서 p-n 접합을 형성하지 않고, 도핑된 층으로부터 진성층으로의 불순물 확산을 방지하는 불순물 확산 장벽층과 결합하여 사용된다.

본 발명은, 첨부한 도면을 참조하여 다음의 상세한 설명을 읽을 때 가장 잘 이해된다. 반도체 산업 내의 표준 관행(practice)에 따라서 다양한 특성들이 축적에 따라 도시되지 않았음을 강조한다. 사실, 다양한 특징들의 크기는, 설명을 명확히하기 위해 임의로 증가되거나 또는 감소될 것이다.

본 발명은 도 1의 검토로부터 일반적으로 이해될 수 있다. 제 1 도핑된 층(102), 진성층(103), 확산 장벽 차단층(104), 제 2 도핑된 층(105), 및 전류 차단층(106)은 기판(101) 위에 배치된다. 다중-층 내부-확산 장벽층(109)은 층(107 및 108)을 포함한다. 내부-확산 장벽층은 예시적으로 전류 차단층(106)으로부터 불순물의 확산을 차단하는 층과 예를 들어 층(105)과 같은 메사 구조(100)의 층으로부터 불순물의 확산을 차단하기 위한 다른 층을 가진 이중층이다. 예시적으로, 메사 구조(100)는 PIN 디바이스이다. p형층(102)은 105에 도시되고, 활성층(103)은 n형층(102) 위에 배치된 진성 반도체이다. 불순물 확산 장벽층(104)은 p형층(105)과 활성층(103) 사이에 배치된다. 층(104)은 p형층(105)으로부터의 불순물이 활성층(103) 내로 확산하는 것을 방지한다. 층(104)에 대해 선택된 재료는 p형층(105)과 pn 접합을 형성하지 않는다. 층(108)에 대해 선택된 재료는 예시적으로 층(104)에 대해 선택된 재료와 동일하고, 불순물이 층(105)으로부터 장벽층(106)으로의 확산을 방지함으로써 층(104)과 동일한 기능으로 소용된다. 다시, 상기 층(108)은 층(105)과 pn 접합을 형성하지 않는다. 층(107)은 전류 장벽층(106)으로부터 불순물이 확산하는 것을 방지하지만, 기생(parasitic) 캐패시턴스 또는 기생 pn 접합을 부가하지 못한다.

예시적으로, 기판(101)은 반-절연(semi-insulating) InP이다. n형층(102)는 예시적으로 그 위에 배치된 진성 InGaAsP의 활성층(103)을 가진 n-InP이다. 불순물 확산 장벽층(104)은 예시적으로 InAlAs이고, 도핑되지 않는다. 예시적인 메사(100)의 층(105)은 p형 InP이다. Be, Mg 또는 Cd와 같은 다른 것들이 상기 캐패시티에 사용될 수 있을지라도, 통상적으로, p형 불순물은 아연이다. 전류 차단층(106)은 전형적인 철(iron) 도핑된 InP(InP(Fe))이다. 층(107)은 전형적인 이중 내부-확산 장벽층(109)의 한 층을 포함하고, 예시적으로 n형 InP이다. 상기 이중 내부-확산 장벽층의 제 2 층(108)은 예시적으로 도핑 안된 InAlAs이다.

상술한 것처럼, InAlAs층(104, 108)은 예시되고, 다른 재료들은 불순물이 층(105)으로부터 층(103 및 106)으로의 확산을 방지한다. 선택적인 재료는, 상술된 이유 때문에, 기생 pn 접합을 형성하지 않지만, 불순물 확산을 적절하게 차단하도록 선택된다. 더욱이, n-InP층(107)은 예시적이고, 다른 재료들도 전류 차단층(106)으로부터 불순물 확산을 성취하도록 사용될 수 있다. 층(107)으로 사용될 수 있는 선택적인 재료들은, n-InGaAsP에 속박되지 않으며, n-InGaAs, 또는 n-InAlAs를 포함한다. 다시, 상기 캐패시티에서 확산 차단층으로서 사용되는 선택적인 재료들은 기생 캐패시턴스 구성 요소 또는 기생 pn 접합을 부가하지 않지만, 불순물 확산을 적절하게 차단하도록 선택된다. 요약하면, 다른 적절한 재료들은 다양한 층에서 이용된 불순물 및 디바이스를 형성하는데 사용되는 재료에 의해 확산 장벽층(104, 107 및 108)으로 사용될 수 있다.

도 1에 도시된 예시적인 실시예에서, 도핑 안된 InAlAs는 예시적으로 확산 장벽층(104, 108)으로 사용된다. 출원인은 상기 재료가 아연과 같은 p형 불순물이 층(105)으로부터 층(103 및 106)으로의 확산을 방지하기 위한 매우 훌륭한 확산 장벽으로서 사용되는 것을 발견하였다. 더욱이, 반-절연 InAlAs는 도핑되지 않는다. 따라서, p형 클래딩층(105)과 같은 p형층과 pn 접합을 형성하지 않을 것이다. 철 도핑된 InP 전류 차단층이 광전자 디바이스에 흔히 사용되지만, 도핑 안된 반-절연 InAlAs가 철 도핑된 InP 대신에 사용되는 것도 가능하다. 그러한 실시예에서(도시되지 않음), n형 InP층(107)은 필요하지 않다.

본 발명은 다양한 광전자 디바이스에 응용할 수 있다. 예시적인 디바이스는, 속박되지 않으며, 반도체 레이저, 변조기 및 검출기를 포함한다. 공지된 것처럼, 헤테로 접합(heterojunction)은 이들 디바이스에 사용된다. III-V 반도체를 포함하는 폭넓고 다양한 재료는 본 발명의 헤테로 구조 디바이스를 제조하는데 사용될 수 있다. 예를 들면, 층(102, 103 및 105)으로부터 헤테로 구조를 형성하는데 사용될 수 있는 재료들은, 속박되지 않으며, GaAs, GaP, InGaAsP, 및 InGaAs를 포함한다. 활성층(103)은 조사된 최종 디바이스(ultimate device)에 따라 단일 진성 또는 단일 퀀텀 웰(quantum well)층을 결합할 수 있다. 초격자 구조, 또는 다중-퀀텀 웰(MQW) 구조와 같은 다중 헤테로 접합 구조가 활성층으로 사용될 수 있다는 것은 명백하다. 위에 열거된 것들을 포함하는 재료들과 당업자의 범위 내의 다른 것들은 상기 캐패시티에 이용될 수 있다. 층(102, 103 및 105)에 대해 선택된 특정 재료들은, 그들의 선택된 화학량론(stoichiometry)뿐만 아니라, 디바이스 응용 및 원하는 특성에 따라 다양하다. 재료 및 화학량론의 그러한 선택은 당업자의 범위 내에 있다. 물론, 이들 다양한 재료들은 당업자에게 공지된 다양한 불순물을 사용할 수 있다. 예시적인 이중-층 내부-확산 장벽층의 제조는 층(107)의 성장과 함께 시작한다. 예시적인 InAlAs층(108)은, 다른 기술이 사용될 지라도, 예시적으로 MOVPE(metal organic vapor phase epitaxy)에 의해 성장된다. 출원인은, 메사의 측면 벽(109)을 따라 층을 성장시키기 위해, 상대적으로 낮은 온도에서 성장 단계를 수행하는 것이 유리하다는 것을 발견하였다. 더 낮은 온도에서 상기 성장 단계를 수행함으로써, 여러 유리한 점이 인식될 수 있다. 첫째, 층(108)은 측면 벽(109)과 결정의 오리엔테이션(crystalline orientation)과 다른 더 낮은 표면(110)을 따라 균일하게 증착된다. 둘째, 전류 속박을 돕는 층(108)은 더 두껍게 만들어질 수 있다. 마지막으로, 매립된(buried) 구조 디바이스 내의 전류 차단에 대해 유리한, 더 낮은 온도에서 성장된 InAlAs층은 더 저항적이다. 상기 단계에서, 성장은 약 500℃-600℃에 수행될 수 있다. InAlAs의 예시적인 층(108)은 300Å-3000Å의 범위 내의 효과적으로 층(105)으로부터 전류 속박층(106)으로 블록 p 불순물을 허용하는 예시적인 두께를 갖는다. 이에 반하여, p형 불순물 차단층의 성장이 실질적으로 평면일 때,예를 들면 층(104)이 성장할 때, 상대적으로 높은 온도(MOVPE) 단계는 사용될 수 있다. 상기 단계는 더 작은 저항, InAlAs(104)의 더 얇은 층의 성장을 조성한다. 상기 층(104)의 더 작은 저항성은, 그것이 전류 흐름을 현저하게 방해하지 않으므로 유리하다. 상기 실시예에서, 층(104)의 성장은 약 600℃-650℃에서 수행될 수 있다. 평면층(104)은, 전형적인 InAlAs층은 예시적으로, 활성층(103)으로의 아연 확산을 적절하게 차단하는 300-1000 옹스트롬의 두께이다. 층의 두께는 활성층(103)의로의 p 불순물(Zn과 같은)의 확산을 효율적으로 차단하도록 선택되지만, 전류 흐름을 방해할 만큼 그렇게 두껍지는 않다.

상기 층(104)이 p형 클래딩층(105)으로부터 활성층(103)으로의 p형 불순물의 확산을 방지하는 것과 동일한 방법으로, 층(108)은 p형 불순물이 층(105)으로부터 전류 속박층(106)으로 확산하는 것을 방지한다. 다시, 층(108)은 기생 pn 접합을 형성하지 않는다. 따라서, 그 사용은 상술된 약한 전류와 같은 해로운 효과를 회피한다. 더욱이, 상기 층(108)은 디바이스에 대한 기생 캐패시턴스를 부가하지 않는다. n형 InP층(107)은 반-절연 매립층(106)에 철 불순물을 위한 확산 장벽을 실행한다. 상기 층(107)은, 예시적으로 10^{16} - 10^{18} 인 불순물의 상대적으로 낮은 농도와 함께 양호하게 얇고, 예시적으로 50-500 옹스트롬이다. 따라서, 철 확산 장벽은 층(107)과 함께 설치되고, 상대적으로 낮은 불순물 농도와 상대적으로 얇은 층의 장점에 의해 기생 캐패시턴스는 상당히 회피된다. 결국, 층(107)이 p-클래딩층(105)과 같은 p형층과 접촉하고 있지 않고, 종래 기술의 기생 pn 접합은 회피된다.

도 2를 참조하면, 본 명세서의 발명의 다른 실시예가 도시된다. 층(202 및 203)을 포함하는 다중-층 내부-확산 장벽층(200)은 기판(201) 위에 배치된다. 다른 층(204)은 내부-확산 장벽층 위에 배치된다. 도 2의 실시예에서, 불순물의 내부-확산은 층(201과 204) 사이에서 방지된다. 예시적으로, 더 낮은 층(201)(또는 기판층)은 반-절연 철-도핑된 InP이다. 상기 예시적인 실시예의 층(204)은 InP의 p형층이다. 층(202)은 기판(201)으로부터 p형층(204)으로의 철 불순물 확산을 방지하는데 소용되는 InP의 n형층의 얇은 층(예시적으로 50-500 옹스트롬)이다.

층(203)은 300-2000 옹스트롬의 예시적인 범위 내의 두께를 갖는 전형적인 InAlAs이다. 상기 층(203)은, 위의 도 1과 관련하여 상세하게 설명된 바와 같이, 기생 pn 접합의 형성 없이 층(204)으로부터 p형 불순물 확산을 방지한다. 더욱이, 도 1의 다중-층 내부-확산 장벽과 관련하여 상술된 것과 매우 일관된 이유로, 도 2의 층(202 및 203)으로 구성된 내부-확산 장벽은, 도 2에 도시된 구조 내의 기생 캐패시턴스를 현저하게 기여하지 않는다.

명백하게, 기판이 p형층인 디바이스 구조가 그 위에 배치된 반-절연 재료의 층, 다시 말해, 예시적으로 도 2의 층(201 및 204)과 함께 있다. 이 경우에, 다중-층 불순물 장벽층(200)의 순서는 변화될 것이다. 상술된 도 1의 실시예를 검토하면, 층(202)이 기판으로부터 p형 불순물 확산을 방지하는 층이지만, 상기 실시예는 반-절연층으로부터 불순물의 확산을 차단하는 층인 층(203)을 요구한다. 예를 들면, 층(204)이 InP(Fe)라면, n-InP는 층(203)에 사용될 수 있다. 그리고 기판(201)이 p형 InP라면, 층(202)은 도핑 안된 InAlAs가 될 수 있다. 예시적인 재료들 및 상기 구조의 제조가 도 1의 실시예와 관련하여 설명된 것과 실질적으로 동일하고, 그 구체적이고 상세한 설명은 간결한 검토를 위해 앞서 설명되었다.

본 발명은 상술된 바, 당업자에 의한 변형 및 변경은 쉽게 명백해질 것이다. 이러한 목적을 위해, 이들 변경은 기생 pn 접합을 만들고 및/또는 기생 캐패시턴스를 증가시키지 않고 불순물 확산을 차단하는 다중-층 불순물 확산 장벽인 상술된 발명을 유지하면서 재료, 구조 및 디바이스의 변경을 포함한다. 그러한 변형 및 변경들이 당업자의 범위 내에 있는 한도에 대해, 그러한 변형 및 변경은 본 발명의 범위 내로 간주된다.

발명의 효과

다중-층 불순물 확산 장벽층은 기생 pn 접합 또는 기생 캐패시턴스에 기여하지 않고, 불순물 확산을 효율적으로 방지한다.

(57) 청구의 범위

청구항 1.

광전자 디바이스에 있어서,

도핑된 층; 및

상기 도핑된 층과 한 층 사이에 적어도 2개의 층을 갖는 불순물 장벽을 포함하고, 상기 불순물 장벽은 상기 도핑된 층과 pn 접합을 형성하지 않는 광전자 디바이스.

청구항 2.

제 1 항에 있어서,

상기 적어도 2개의 층은 제 1 불순물 장벽층 및 제 2 불순물 장벽층을 더 포함하는 광전자 디바이스.

청구항 3.

제 2 항에 있어서,

상기 층은 전류 속박층인 광전자 디바이스.

청구항 4.

제 1 항에 있어서,

상기 층은 기판인 광전자 디바이스.

청구항 5.

제 3 항에 있어서,

상기 제 1 불순물 장벽층은 상기 전류 속박층에 인접하고, 상기 제 2 불순물 장벽층은 상기 도핑된 층에 인접하는 광전자 디바이스.

청구항 6.

제 5 항에 있어서,

상기 제 1 불순물 장벽층은 n-InP이고, 상기 제 2 불순물 장벽층은 도핑 안된 InAlAs인 광전자 디바이스.

청구항 7.

제 6 항에 있어서,

상기 전류 속박층은 InP(Fe)인 광전자 디바이스.

청구항 8.

제 1 항에 있어서,

상기 층은 도핑 안된 InAlAs인 광전자 디바이스.

청구항 9.

제 3 항에 있어서,

상기 전류 속박층은 메사의 양쪽 면 위에 배치되는 광전자 디바이스.

청구항 10.

제 1 항에 있어서,

상기 도핑된 층은 기판이고, 상기 층은 반-절연층인 광전자 디바이스.

청구항 11.

광전자 디바이스에 있어서,

기판을 갖는 메사로서, 제 1 불순물 장벽은 상기 기판 위에 배치된 적어도 2개의 층을 갖는, 상기 메사; 및

상기 불순물 장벽 위에 배치된 적어도 하나의 층으로서, 상기 불순물 장벽은 상기 기판 또는 상기 적어도 하나의 층과 p-n 접합을 형성하지 않는, 상기 불순물 장벽 위에 배치된 적어도 하나의 층을 포함하는 광전자 디바이스.

청구항 12.

제 11 항에 있어서,

제 2 불순물 장벽이 상기 메사와 전류 속박층 사이에 배치되는 광전자 디바이스.

청구항 13.

제 12 항에 있어서,

상기 제 2 불순물 장벽은 제 1 층 및 제 2 층을 더 포함하는 광전자 디바이스.

청구항 14.

제 12 항에 있어서,

상기 제 1 층은 상기 전류 속박층에 인접하고, 상기 제 2 층은 상기 메사에 인접하는 광전자 디바이스.

청구항 15.

제 14 항에 있어서,

상기 제 2 층은 상기 적어도 하나의 층의 상기 기판과 pn 접합을 형성하지 않는 광전자 디바이스.

청구항 16.

제 11 항에 있어서,

상기 적어도 2개의 층 중 상기 한 층은 도핑안된 InAlAs인 광전자 디바이스.

청구항 17.

제 12 항에 있어서,

상기 제 2 불순물 장벽은 InAlAs 층을 포함하는 광전자 디바이스.

청구항 18.

제 12 항에 있어서,

상기 제 2 불순물 장벽은 n-InP 층을 포함하는 광전자 디바이스.

청구항 19.

제 12 항에 있어서,

상기 전류 속박층은 InP(Fe)이고, 상기 적어도 하나의 층들 중 한 층은 p 도핑된 InP인 광전자 디바이스.

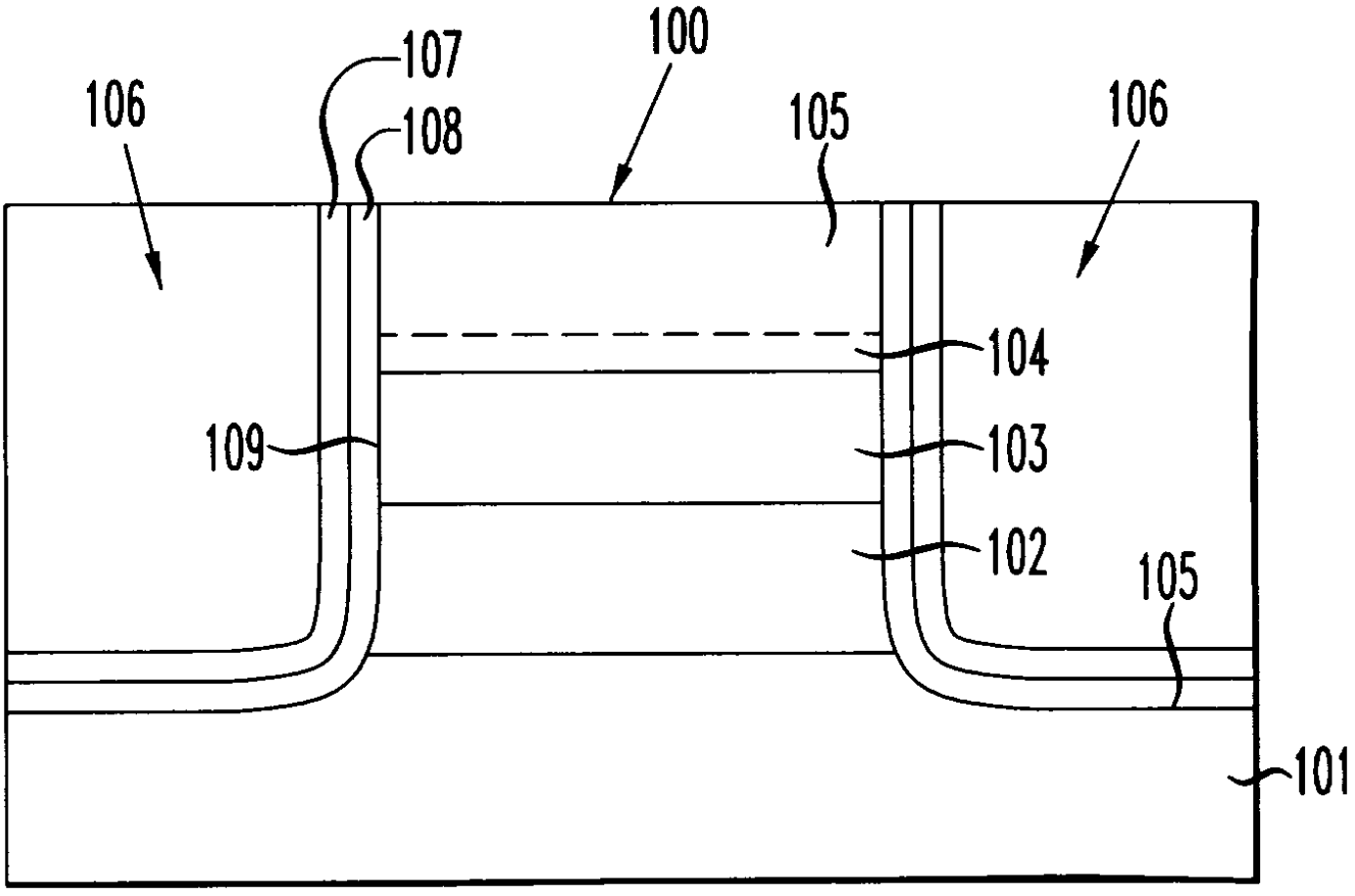
청구항 20.

제 19 항에 있어서,

상기 p 도핑된 InP는 Zn으로 도핑되는 광전자 디바이스.

도면

도면 1



도면 2

