

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2013 年 7 月 18 日 (18.07.2013)



(10) 国际公布号
WO 2013/104236 A1

(51) 国际专利分类号:
G09G 3/32 (2006.01)

(21) 国际申请号: PCT/CN2012/086799

(22) 国际申请日: 2012 年 12 月 17 日 (17.12.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210008738.3 2012 年 1 月 12 日 (12.01.2012) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区 (西区) 合作路 1188 号, Sichuan 611731 (CN)。

(72) 发明人: 祁小敬 (QI, Xiaojing); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 周全国

(ZHOU, Quanguo); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 邱云 (QIU, Yun); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA,

[见续页]

(54) Title: PIXEL CIRCUIT AND DRIVE METHOD THEREFOR

(54) 发明名称: 一种像素电路及其驱动方法

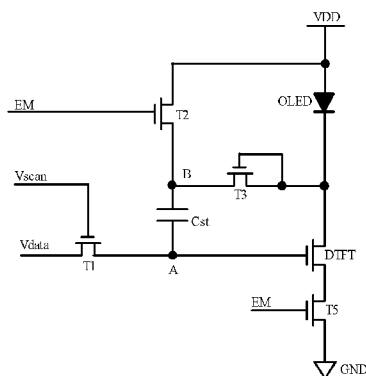


图 1 /Fig. 1

(57) Abstract: A pixel circuit and a drive method therefor. The pixel circuit comprises a light emitting device (OLED), a drive tube (DTFT), a storage capacitor (Cst), a first switch tube (T1), a second switch tube (T2), a compensation tube (T3), and a fifth switch tube (T5). One end of the light emitting device (OLED) is connected to a power supply (VDD). The drive tube (DTFT) has a first electrode connected to the other end of the light emitting device (OLED), a second electrode connected to a first electrode of the fifth switch tube (T5), and a gate connected to a first electrode of the first switch tube (T1). The first switch tube (T1) has a second electrode connected to a data line, a gate connected to a scan line, and the first electrode connected to the gate of the drive tube (DTFT). The second switch tube (T2) has a gate connected to a control line, a first electrode connected to the power supply (VDD), and a second electrode connected to a second electrode of the compensation tube (T3). The compensation tube (T3) has a first electrode connected to the first electrode of the drive tube (DTFT), the second electrode connected to the second electrode of the compensation tube (T3), and a gate connected to the first electrode or the second electrode of the compensation tube (T3). The fifth switch tube (T5) has a gate connected to the control line, the first electrode connected to the second electrode of the drive tube (DTFT), and a second electrode connected to the ground (GND). The storage capacitor (Cst) has a first electrode plate connected to the gate of the drive tube (DTFT), and a second electrode plate connected to the second electrode of the compensation tube (T3).

(57) 摘要:

[见续页]

WO 2013/104236 A1



RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG,

CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

一种像素电路及其驱动方法。该像素电路包括发光器件 (OLED)、驱动管 (DTFT)、存储电容 (Cst)、第一开关管 (T1)、第二开关管 (T2)、补偿管 (T3) 和第五开关管 (T5)。发光器件 (OLED) 的一端与电源 (VDD) 相连。驱动管 (DTFT) 的第一极与发光器件 (OLED) 的另一端相连, 第二极与第五开关管 (T5) 的第一极相连, 栅极与第一开关管 (T1) 的第一极相连。第一开关管 (T1) 的第二极与数据线相连, 栅极与扫描线相连, 第一极与驱动管 (DTFT) 的栅极相连。第二开关管 (T2) 的栅极与控制线相连, 第一极与电源 (VDD) 相连, 第二极与补偿管 (T3) 的第二极相连。补偿管 (T3) 的第一极与驱动管 (DTFT) 的第一极相连, 第二极与第二开关管 (T2) 的第二极相连, 栅极与补偿管 (T3) 的第一极或第二极相连。第五开关管 (T5) 的栅极与控制线相连, 第一极与驱动管 (DTFT) 的第二极相连, 第二极与地 (GND) 相连。存储电容 (Cst) 的第一极板与驱动管 (DTFT) 的栅极相连, 第二极板与补偿管 (T3) 的第二极相连。

一种像素电路及其驱动方法

技术领域

本发明涉及显示技术领域，尤其涉及一种像素电路及其驱动方法、显示装置。

5

背景技术

有机发光二极管（Organic Light Emitting Diode, OLED）为电流驱动主动发光型器件，具有自发光、快速响应、宽视角和可制作在柔性衬底上等独特优点。以 OLED 为基础的有机发光显示预计今后几年将成为显示领域的主流。有机发光显示的每个显示单元，都是由 OLED 构成的，OLED 按驱动方式可分为无源矩阵驱动有机发光二极管（Passive Matrix Driving OLED, PMOLED）和有源矩阵驱动有机发光二极管（Active Matrix Driving OLED, AMOLED）两种。有源矩阵驱动方式因其能够实现高品质显示，因此在大信息量显示中应用十分广泛。其中，AMOLED 技术中，每个 OLED 都有薄膜晶体管（Thin Film Transistor, TFT）电路来控制流过 OLED 的电流，OLED 和用于驱动 OLED 的 TFT 电路构成像素电路，因此，为保证有源有机发光显示面板亮度的均匀性，就要求位于背板的不同区域内的用于驱动 OLED 的 TFT 的特性具有一致性。

TFT 的阈值电压和很多因素有关，包括 TFT 第一极的掺杂、电介质的厚度、栅极材质和电介质中的过剩电荷。目前在背板尤其是大尺寸的背板制作过程中，由于工艺条件和水平的限制很难做到这些因素的一致性，使得各 TFT 的阈值电压偏移不一致；另外，长时间工作导致的 TFT 稳定性下降等问题，也会使得 TFT 的阈值电压偏移不一致，而 TFT 的阈值电压偏移不一致又会造成流经各 OLED 的电流有所差异，进而使被该电流驱动的 OLED 发光均匀性差。

发明内容

本发明实施例提供一种像素电路及其驱动方法、显示装置，有效提高了发光器件发光亮度的均匀性。

本发明实施例提供如下技术方案：

一种像素电路，包括：

发光器件、驱动管、存储电容、第一开关管、第二开关管、补偿管和第五开关管；

5 所述驱动管、第一开关管、第二开关管、补偿管、第五开关管均包括栅极、第一极和第二极；

所述发光器件的一端与电源相连；

所述驱动管的第一极与所述发光器件的另一端相连，第二极与所述第五开关管的第一极相连，栅极与所述第一开关管的第一极相连；

10 所述第一开关管的第二极与数据线相连，栅极与扫描线相连，第一极与所述驱动管的栅极相连；

所述第二开关管的栅极与控制线相连，第一极与电源相连，第二极与所述补偿管的第二极相连；

15 所述补偿管的第一极与所述驱动管的第一极相连，第二极与所述第二开关管的第二极相连，栅极与所述补偿管的第一极或第二极相连；

所述第五开关管的栅极与控制线相连，第一极与所述驱动管的第二极相连，第二极与地相连；

所述存储电容的第一极板与所述驱动管的栅极相连，第二极板与所述补偿管的第二极相连。

20 一种用于所述像素电路的驱动方法，包括：

将所述第一开关管开启，同时将所述第二开关管和所述第五开关管关闭，以使数据线中的数据信号通过所述第一开关管对所述存储电容的第一极板充电，使所述电源通过所述发光器件和所述补偿管对所述存储电容的第二极板充电；

25 将所述第一开关管关闭，同时将所述第二开关管和所述第五开关管开启，以使所述发光器件被所述电源提供的、依次流经所述发光器件、所述驱动管和所述第五开关管的电流驱动发光。

一种显示装置，包括本发明实施例提供的像素电路。

30 本发明实施例提供的像素电路及其驱动方法、显示装置，通过补偿管、电容和多个开关管对于电路的开关和充放电控制，使补偿管两端的电压也能作用于驱动管，进而使驱动管的驱动电流与驱动管的阈值电压无关，补

偿了由于驱动管的阈值电压的不一致或偏移所造成的流过发光器件的电流差异，因此能够有效提高发光器件发光亮度的均匀性。

附图说明

- 5 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。
- 10 图 1 为本发明实施例提供的一种像素电路的电路图；
图 2 是驱动图 1 所示像素电路时各信号线的时序图；
图 3 是图 1 所示像素电路在补偿阶段的等效电路示意图；
图 4 是图 1 所示像素电路在跳变发光阶段的等效电路示意图；
图 5 为本发明实施例提供的另一种像素电路的电路图；
15 图 6 为本发明实施例提供的另一种像素电路的电路图；
图 7 为本发明实施例提供的另一种像素电路的电路图；
图 8 为本发明实施例提供的另一种像素电路的电路图；
图 9 是图 8 所示像素电路在补偿阶段的等效电路示意图；
图 10 是图 8 所示像素电路在跳变发光阶段的等效电路示意图；
20 图 11 是本发明实施例提供的像素电路的驱动方法的一种流程图。

具体实施方式

- 下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，
25 而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

如图 1 所示，本发明的实施例提供了一种像素电路，包括：

发光器件 OLED，驱动管 DTFT，存储电容 Cst，第一开关管 T1，第二

开关管 T2, 补偿管 T3 和第五开关管 T5。所述驱动管 DTFT、第一开关管 T1、第二开关管 T2、补偿管 T3、第五开关管 T5 均为 N 型薄膜晶体管, 且均包括源极、漏极和栅极。

发光器件 OLED 的一端与电源 VDD 相连;

5 所述驱动管 DTFT 的漏极 (第一极) 与所述发光器件 OLED 的另一端相连, 源极 (第二极) 与所述第五开关管 T5 的漏极 (第一极) 相连, 栅极与所述第一开关管 T1 的漏极 (第一极) 相连;

所述第一开关管 T1 的源极 (第二极) 与数据线相连, 栅极与扫描线相连, 漏极 (第一极) 与所述驱动管 DTFT 的栅极相连;

10 所述第二开关管 T2 的栅极与控制线相连, 漏极 (第一极) 与电源 VDD 相连, 源极 (第二极) 与所述补偿管 T3 的源极 (第二极) 相连;

所述补偿管 T3 的栅极与漏极 (第一极) 相连, 漏极 (第一极) 与所述驱动管 DTFT 的漏极 (第一极) 相连, 源极 (第二极) 与第二开关管 T2 的源极 (第二极) 相连;

15 所述第五开关管 T5 的栅极与控制线相连, 漏极 (第一极) 与所述驱动管 DTFT 的源极 (第二极) 相连, 源极 (第二极) 与地相连;

所述存储电容 Cst 的第一极板与驱动管 DTFT 的栅极相连, 第二极板与补偿管 T3 的源极 (第二极) 相连。

需要说明的是, 本实施例中, 补偿管 T3 相当于一个二极管, 其漏极 (第一极) 与栅极相连后相当于此二极管的正极, 连接到驱动管 DTFT 的漏极 (第一极), 其源极相当于此二极管的负极, 连接于第二开关管 T2 的源极 (第二极)。

20

需要指出的是, 本实施例中, 扫描线、控制线和数据线分别用于传输不同的信号, 其中, 扫描线中传输扫描信号 Vscan, 控制线中传输控制信号 EM, 数据线中传输数据信号 Vdata。

25

下面结合图 2-4 对图 1 所示像素电路的工作过程进行详细说明。在进行驱动时, 图 1 所示像素电路可分为两个驱动阶段, 分别为: 补偿阶段和跳变发光阶段。图 2 是驱动图 1 所示像素电路时各信号线的时序图。如图 2 所示, 在图中分别用①和②来相应地表示补偿阶段和跳变发光阶段。对图 1 所示像素电路的驱动方法具体如下:

30

第一阶段: 补偿阶段。

在补偿阶段中，扫描信号 Vscan 为高电平，控制信号 EM 为低电平。第一开关管 T1 根据输入的扫描信号 Vscan 为高电平而开启，第二开关管 T2 和第五开关管 T5 根据控制信号 EM 为低电平而关闭。补偿管 T3 在补偿阶段处于正向导通状态。此时，图 1 所示的像素电路可等效为如图 3 所示的电路结构。

结合图 1 和图 3，在补偿阶段，由于第一开关管 T1 开启，数据信号 Vdata 可以通过第一开关管 T1 输入至驱动管 DTFT 的栅极，并向存储电容 Cst 充电以使输入至驱动管 DTFT 的栅极的数据信号 Vdata 得以保持。充电完毕后，

A 点电压 VA 即等于数据信号 Vdata，

$$10 \quad \text{即 } VA = Vdata \quad (1)$$

B 点电压为电源电压 VDD 减去发光器件 OLED 的阈值电压 Voth 再减去补偿管 T3 的阈值电压 Vth3，即

$$VB = VDD - Voth - Vth3 \quad (2)$$

则存储电容 Cst 两极板之间的电压为

$$15 \quad \begin{aligned} VAB &= VA - VB = Vdata - (VDD - Voth - Vth3) \\ &= Vdata - VDD + Voth + Vth3 \end{aligned} \quad (3)$$

与此同时，由于输入第二开关管 T2 的栅极的控制信号 EM 为低电平，第二开关管 T2 关闭，因此可以使存储电容 Cst 与电源 VDD 相断开，保证了发光器件 OLED 和补偿管 T3 的正向导通；由于输入第五开关管 T5 的栅极的控制信号 EM 为低电平，第五开关管 T5 关闭，因此可以使驱动管 DTFT 与地 GND 相断开，从而避免了输入至驱动管 DTFT 的栅极的数据信号 Vdata 通过第五开关管 T5 与地 GND 的连接而损失。

第二阶段：跳变发光阶段。

在跳变发光阶段，扫描信号 Vscan 为低电平，控制信号 EM 为高电平。第一开关管 T1 根据输入的扫描信号 Vscan 为低电平而关闭，第二开关管 T2 和第五开关管 T5 根据控制信号 EM 为高电平而开启。补偿管 T3 在跳变发光阶段处于反向截至状态。此时，图 1 所示的像素电路可等效为如图 4 所示的电路结构。

结合图 1 和图 4，输入至第一开关管 T1 栅极的扫描信号 Vscan 为低电平，第一开关管 T1 关闭，这样驱动管 DTFT 的栅极与数据线相隔离，驱动管 DTFT 对发光器件 OLED 的驱动就不会受输入至第一开关管 T1 的源极数

据信号 Vdata 变化的影响。

与此同时，由于输入至第二开关管 T2 栅极的控制信号 EM 为高电平，第二开关管 T2 开启，使存储电容 Cst 的上极板直接与电源 VDD 相连，则 B 点电压 VB 瞬间变到 VDD。由物理知识可知，电容两极板之间的电压不会瞬间改变，因此，在跳变发光阶段，B 点电压 VB 刚刚跳变至 VDD 时，式 (3) 仍然成立。那么，此时 A 点电压 VA 等于 B 点电压 VB 加上 A 点和 B 点之间的电压 VAB，即

$$\begin{aligned} VA &= VB + VAB = VDD + (Vdata - VDD + V_{th3} + V_{th3}) \\ &= Vdata + V_{th3} + V_{th3} \end{aligned} \quad (4)$$

同时，由于输入至第五开关管 T5 的栅极的控制信号 EM 为高电平，第五开关管 T5 开启，则驱动管 DTFT 的源极直接与地 GND 相连。此时，驱动管 DTFT 工作在饱和状态，流过驱动管 DTFT 的源极、漏极的电流 I，即驱动发光器件 OLED 发光的驱动电流 I 随驱动管 DTFT 栅极与源极间的电压 Vgs 的变化而变化，具体关系如式 (5) 所示。驱动管 DTFT 开始驱动 OLED 发光。

$$I = K(V_{gs} - V_{th})^2 \quad (5)$$

其中，Vgs 为驱动管 DTFT 的栅源电压，本实施例中，

$$V_{gs} = V_A - 0 = Vdata + V_{th3} + V_{th3} \quad (6)$$

$K = \mu_{eff} * C_{ox} * (W/L)/2$ ，其中， μ_{eff} 表示 DTFT 的载流子有效迁移率， C_{ox} 表示驱动管 DTFT 的栅绝缘层介电常数，W/L 表示驱动管 DTFT 的沟道宽长比，其中，W 表示沟道宽度，L 表示沟道长度。相同结构中 W、L、 C_{ox} 和 μ_{eff} 数值相对稳定，所以 K 可认为是一常量。

则，将式 (6) 带入式 (5) 中，本实施例中，流经驱动管 DTFT 的电流为

$$I = K(Vdata + V_{th3} + V_{th3} - V_{th})^2 \quad (7)$$

由 (7) 式可知流经驱动管 DTFT 的电流 I 除与数据信号 Vdata 及常量 K 有关外，还与补偿管 T3 的阈值电压 Vth3、驱动管 DTFT 的阈值电压 Vth 以及发光器件 OLED 的阈值电压 Voth 有关。而根据低温多晶硅 (Low Temperature Poly-silicon, LTPS) 工艺的短程有序原理，短程内的薄膜晶体管可以认为是均匀的，即距离相近、结构相同的薄膜晶体管特性近似相同。因此，优选的，在本实施例中，补偿管 T3 和驱动管 DTFT 位置很接近，可

认为是在短程内，所以补偿管 T3 的阈值电压 V_{th3} 和驱动管 DTFT 的阈值电压 V_{th} 近似相同，即 $V_{th3}-V_{th}=0$ ，这样，根据式 (7)，则流经驱动管 DTFT 的电流 I 为

$$I=K(V_{data}+V_{oth})^2 \quad (8)$$

5 即流经驱动管 DTFT 的电流 I 就只与数据信号 V_{data} 和发光器件 OLED 的阈值电压 V_{oth} 相关。

这样，本发明实施例提供的像素电路，一方面，驱动电流 I 与驱动管 DTFT 的阈值电压 V_{th} 无关，避免了因背板制造工艺原因及长时间工作导致的驱动管 DTFT 的阈值电压偏移所造成的驱动电流 I，也即流过发光器件
10 OLED 的电流差异，从而有效提高了发光器件发光亮度的均匀性。

另一方面，根据式 (8)，本发明实施例提供的像素电路不仅能补偿由于驱动管 DTFT 的阈值电压 V_{th} 的偏移而导致的驱动电流 I 的差异，而且，由于驱动电流 I 与发光器件 OLED 的阈值电压 V_{oth} 相关，也能够补偿由于发光器件 OLED 的阈值电压 V_{oth} 的偏高或偏低而导致的流过发光器件
15 OLED 的电流差异，从而进一步提高了发光器件发光亮度的均匀性。这是因为，根据式 (8)，本发明实施例提供的像素电路中，驱动电流 I 会随着发光器件 OLED 的阈值电压 V_{oth} 的增大而增大，随着发光器件 OLED 的阈值电压 V_{oth} 的减小而减小，这样当 OLED 老化而引起阈值电压 V_{oth} 升高时，驱动电流 I 也相应的有所上升以补偿由于阈值电压 V_{oth} 升高而引起的驱动
20 电流 I 的减小。

需要说明的是，本实施例中，在补偿阶段，虽然驱动管 DTFT 并未驱动发光器件 OLED 发光，但发光器件 OLED 处于存储电容 C_{st} 的充电回路中，因此在数据信号 V_{data} 输入至驱动管 DTFT 的栅极并向存储电容 C_{st} 充电时，OLED 还是会发出一定的光。

25 上述实施例中，驱动管 DTFT、补偿管 T3、以及各个开关管均为 N 型薄膜晶体管，但本发明不限于此。上述各 N 型薄膜晶体管可以全部或部分替换为 P 型薄膜晶体管，只要满足下列条件。

首先要满足补偿管 T3 与驱动管 DTFT 为同一类型的薄膜晶体管，即同为 N 型或同为 P 型的条件。这是因为，由上述对本发明实施例的两个工作
30 阶段的分析可知，补偿管 T3 用于提供一个补偿电压以使驱动管 DTFT 的驱动电流 I 与驱动管 DTFT 的开启电压 V_{th} 无关。这就要求其提供的补偿电压

V_{th3} 与驱动管 DTFT 的开启电压 V_{th} 相等，为了达到这一效果，补偿管 T3 与驱动管 DTFT 需要具有相同的结构和很近的距离，以满足 LTPS 工艺的短程有序条件。

其次，要满足第二开关管 T2 与第五开关管 T5 为同一类型的薄膜晶体管，即同为 N 型或同为 P 型的条件。因为第二开关管 T2 与第五开关管 T5 需要同时开启或关闭，该开启或关闭均由控制线上的控制信号 EM 控制。

需要说明的是，由于 P 型薄膜晶体管和 N 型薄膜晶体管的开启或关闭的条件不同，因此，当上述实施例中的 N 型薄膜晶体管被 P 型薄膜晶体管替代时，为了保证该像素电路的功能的正常实现，输入至相应薄膜晶体管的栅极的信号，如输入至第一开关管 T1 的扫描信号 V_{scan}，输入至第二开关管 T2 和第五开关管 T5 栅极的控制信号 EM，以及输入至驱动管 DTFT 的栅极的数据信号 V_{data} 都可能需要做相应的调整。下面通过具体实施例详细说明。

如图 5 所示，在本发明的另一个实施例中，像素电路包括：

发光器件 OLED，驱动管 DTFT，存储电容 C_{st}，第一开关管 T1，第二开关管 T2，补偿管 T3 和第五开关管 T5。所述驱动管 DTFT 和补偿管 T3 为 P 型薄膜晶体管，第一开关管 T1、第二开关管 T2 和第五开关管 T5 均为 N 型薄膜晶体管，且各薄膜晶体管均包括源极、漏极和栅极。

发光器件 OLED 的一端与电源 VDD 相连；

所述驱动管 DTFT 的源极（第一极）与所述发光器件 OLED 的另一端相连，漏极（第二极）与所述第五开关管 T5 的漏极（第一极）相连，栅极与所述第一开关管 T1 的漏极（第一极）相连；

所述第一开关管 T1 的源极（第二极）与数据线相连，栅极与扫描线相连，漏极（第一极）与所述驱动管 DTFT 的栅极相连；

所述第二开关管 T2 的栅极与控制线相连，漏极（第一极）与电源 VDD 相连，源极（第二极）与所述补偿管 T3 的漏极（第二极）相连；

所述补偿管 T3 的栅极与漏极（第二极）相连，源极（第一极）与所述驱动管 DTFT 的源极（第一极）相连，漏极（第二极）与第二开关管 T2 的源极（第二极）相连；

所述第五开关管 T5 的栅极与控制线相连，漏极（第一极）与所述驱动管 DTFT 的漏极（第二极）相连，源极（第二极）与地相连；

所述存储电容 Cst 的第一极板与驱动管 DTFT 的栅极相连,第二极板与补偿管 T3 的漏极(第二极)相连。

与图 1 所示的实施例相比,本实施例中仅驱动管 DTFT 和补偿管 T3 与图 1 所示的实施例有所不同,相应的,输入至驱动管 DTFT 的栅极的数据信号 Vdata 也有所不同。

在图 1 所示的实施例中,驱动管 DTFT 为 N 型,流过 N 型驱动管 DTFT 的源极和漏极的电流 I 随着数据信号 Vdata 的升高而增大,随着数据信号 Vdata 的降低而减小;而本实施例中,驱动管 DTFT 为 P 型,流过 P 型驱动管 DTFT 的源极和漏极的电流 I 随着数据信号 Vdata 的升高而减小,随着数据信号 Vdata 的降低而增大。因此,对应于相同的流过驱动管 DTFT 的电流 I,图 1 所示的实施例中的数据信号 Vdata 与本实施例中的数据信号 Vdata 可以不相同。

需要说明的是,除上述区别外,本实施例中像素电路的其它部分与图 1 所示的结构相同,此处不再赘述。

本实施例提供的像素电路,通过将 N 型驱动管 DTFT 和 N 型补偿管 T3 替换为相应的 P 型管,同样可以实现与图 1 所示的实施例相同的技术效果,此处不再赘述。

图 6 为本发明实施例提供的像素电路的另一种电路图。如图 6 所示,本实施例与图 1 所示实施例的不同之处在于,第二开关管 T2 和第五开关管 T5 不是 N 型薄膜晶体管,而是 P 型薄膜晶体管。相应的,输入至第二开关管 T2 的栅极和第五开关管 T5 的栅极的控制信号 EM 也与图 1 所示的实施例有所不同。

具体的,如图 6 所示,本实施例提供的像素电路包括:发光器件 OLED,驱动管 DTFT,存储电容 Cst,第一开关管 T1,第二开关管 T2,补偿管 T3 和第五开关管 T5。其中,所述驱动管 DTFT、第一开关管 T1、补偿管 T3 均为 N 型薄膜晶体管,第二开关管 T2、第五开关管 T5 为 P 型薄膜晶体管,各薄膜晶体管均包括源极、漏极和栅极。

发光器件 OLED 的一端与电源 VDD 相连;

所述驱动管 DTFT 的漏极(第一极)与所述发光器件 OLED 的另一端相连,源极(第二极)与所述第五开关管 T5 的源极(第一极)相连,栅极与所述第一开关管 T1 的漏极(第一极)相连;

所述第一开关管 T1 的源极（第二极）与数据线相连，栅极与扫描线相连，漏极（第一极）与所述驱动管 DTFT 的栅极相连；

所述第二开关管 T2 的栅极与控制线相连，源极（第一极）与电源 VDD 相连，漏极（第二极）与所述补偿管 T3 的源极（第二极）相连；

5 所述补偿管 T3 的栅极与漏极（第一极）相连，漏极（第一极）与所述驱动管 DTFT 的漏极（第一极）相连，源极（第二极）与第二开关管 T2 的漏极（第二极）相连；

所述第五开关管 T5 的栅极与控制线相连，源极（第一极）与所述驱动管 DTFT 的源极（第二极）相连，漏极（第二极）与地相连；

10 所述存储电容 Cst 的第一极板与驱动管 DTFT 的栅极相连，第二极板与补偿管 T3 的源极（第二极）相连。

本实施例中，像素电路的工作过程与图 1 所示的实施例中像素电路的工作过程类似，只是控制信号 EM 控制第二开关管 T2 和第五开关管 T5 的开启或关闭时，与图 1 所示的实施例有所不同。

15 具体的，与图 1 所示的实施例不同的是，本实施例中，在补偿阶段，控制信号 EM 为高电平从而使第二开关管 T2 和第五开关管 T5 关闭。本实施例提供的像素电路在补偿阶段的工作过程与图 1-4 所示的实施例类似，此处不再赘述。

20 相应的，与图 1 所示的实施例还有所不同的是，本实施例中，在跳变发光阶段，控制信号 EM 为低电平从而使第二开关管 T2 和第五开关管 T5 开启。本实施例提供的像素电路在跳变发光阶段的工作过程与图 1-4 所示的实施例类似，此处不再赘述。

25 如图 7 所示，在本发明的另一个实施例中，像素电路包括：发光器件 OLED，驱动管 DTFT，存储电容 Cst，第一开关管 T1，第二开关管 T2，补偿管 T3 和第五开关管 T5。其中，所述驱动管 DTFT、补偿管 T3、第二开关管 T2、第五开关管 T5 均为 N 型薄膜晶体管，第一开关管 T1 为 P 型薄膜晶体管，各薄膜晶体管均包括源极、漏极和栅极。

发光器件 OLED 的一端与电源 VDD 相连；

30 所述驱动管 DTFT 的漏极（第一极）与所述发光器件 OLED 的另一端相连，源极（第二极）与所述第五开关管 T5 的漏极（第一极）相连，栅极与所述第一开关管 T1 的源极（第一极）相连；

所述第一开关管 T1 的漏极（第二极）与数据线相连，栅极与扫描线相连，源极（第一极）与所述驱动管 DTFT 的栅极相连；

所述第二开关管 T2 的栅极与控制线相连，漏极（第一极）与电源 VDD 相连，源极（第二极）与所述补偿管 T3 的源极（第二极）相连；

5 所述补偿管 T3 的栅极与漏极（第一极）相连，漏极（第一极）与所述驱动管 DTFT 的漏极（第一极）相连，源极（第二极）与第二开关管 T2 的源极（第二极）相连；

所述第五开关管 T5 的栅极与控制线相连，漏极（第一极）与所述驱动管 DTFT 的源极（第二极）相连，源极（第二极）与地相连；

10 所述存储电容 Cst 的第一极板与驱动管 DTFT 的栅极相连，第二极板与补偿管 T3 的源极（第二极）相连。

本实施例中，像素电路的工作过程与图 1 所示的实施例中像素电路的工作过程类似，只是扫描信号 Vscan 控制第一开关管 T1 开启或关闭时，与图 1 所示的实施例中的像素电路有所不同。

15 具体的，在补偿阶段，扫描信号 Vscan 为低电平，从而使第一开关管 T1 开启。本实施例提供的像素电路在补偿阶段的工作过程与图 1-4 所示的实施例类似，此处不再赘述。

具体的，在跳变发光阶段，扫描信号 Vscan 为高电平，从而使第一开关管关闭。本实施例提供的像素电路在跳变发光阶段的工作过程与图 1-4 所示的实施例类似，此处不再赘述。

20 上述实施例对本发明提供的像素电路的各薄膜晶体管均为 N 型的情况，驱动管 DTFT 和补偿管 T3 为 P 型，其它各薄膜晶体管为 N 型的情况，第二开关管 T2 和第五开关管 T5 为 P 型，其它各薄膜晶体管为 N 型的情况，以及第一开关管 T1 为 P 型，其它各薄膜晶体管为 N 型的情况分别做了详细的说明。但本发明不限于此，在本发明的其它实施例中，上述各开关管、驱动管 DTFT 以及补偿管 T3 也可以都是 P 型薄膜晶体管，或者其它形式的部分薄膜晶体管为 P 型薄膜晶体管和部分薄膜晶体管为 N 型薄膜晶体管的组合，只要保证补偿管 T3 与驱动管 DTFT 为同一类型的薄膜晶体管，即同为 N 型或同为 P 型，同时第二开关管 T2 与第五开关管 T5 为同一类型的薄膜晶体管即可。

30 如果将图 1 所示的电路中的某个或某些 N 型薄膜晶体管替换为 P 型薄

膜晶体管，则各 P 型薄膜晶体管在电路中的连接方法与原来的 N 型薄膜晶体管的连接方法相似，只需根据半导体物理知识中 P 型管和 N 型管的各栅极、漏极和源极电位的对应关系而适当调整连接关系即可。例如，在图 1 所示的实施例中，各薄膜晶体管均为 N 型薄膜晶体管，且各薄膜晶体管的第一极均为漏极，第二极均为源极，在本发明的其它实施例中，如果某薄膜晶体管由 N 型替换为 P 型，则其连接关系仍然可以用图 1 所示的实施例中的薄膜晶体管的第一极和第二极的连接关系描述，但具体的，第一极和第二极所代表的是该薄膜晶体管的源极还是漏极，对于不同类型的薄膜晶体管可能会有所不同。

在图 1 所示的实施例中，若除补偿管 T3 以外的薄膜晶体管由 N 型薄膜晶体管替换为 P 型薄膜晶体管，则其第一极对应着该 P 型薄膜晶体管的源极，第二极对应着该 P 型薄膜晶体管的漏极；对于补偿管 T3，由于其栅极总是和漏极相连，因此，当 T3 为 N 型薄膜晶体管时，T3 的栅极与漏极（第一极）相连，当 T3 为 P 型薄膜晶体管时，T3 的栅极与漏极（第二极）相连，此时补偿管 T3 相当于一个二极管，其漏极与栅极相连后相当于此二极管的一极，源极相当于此二极管的另一极。在电路连接时，只需根据二极管的正偏或反偏要求将相应的极与电路中的较高电位或较低电位相连即可。

需要说明的是，本发明实施例提供的电路结构与图 1 所示的实施例类似，不同之处在于每个薄膜晶体管是 N 型还是 P 型可能会有所不同，相应的，其在电路中的连接也会稍作调整，但无论怎样变化，只要能够保证上述实施例中补偿阶段和跳变发光阶段的电路功能能够正常实现即可。

进一步的，如图 8 所示，在本发明的另一个实施例中，像素电路还可包括第四开关管 T4。需要说明的是，除了第四开关管 T4 外，本实施例中的像素电路与图 1 所示实施例中的像素电路相同。

具体的，第四开关管 T4 的栅极与扫描线相连，漏极（第一极）与第二开关管 T2 的漏极（第一极）相连，源极（第二极）与驱动管 DTFT 的漏极（第一极）相连，第四开关管 T4 与第一开关管 T1 类型相同，即同为 N 型薄膜晶体管或同为 P 型薄膜晶体管。有关发光器件 OLED，驱动管 DTFT，存储电容 Cst，第一开关管 T1，第二开关管 T2，补偿管 T3 和第五开关管 T5 的连接，请参考图 1 所示的实施例的详细说明，此处不再赘述。

下面结合图 2、图 8-10，对本实施例中的像素电路的工作工程做详细说明。

在图 2 所示的信号时序下，图 8 所示的像素电路的工作过程同样分为两个阶段。

5 第一阶段：补偿阶段。

在补偿阶段中，扫描信号 Vscan 为高电平，控制信号 EM 为低电平，图 8 所示的像素电路可等效为如图 9 所示的电路结构。结合图 8 和图 9，第一开关管 T1 和第四开关管 T4 为 N 型薄膜晶体管，输入至第一开关管 T1 和第四开关管 T4 的栅极的扫描信号 Vscan 为高电平，从而使第一开关管 T1 和第四开关管 T4 开启。第二开关管 T2 和第五开关管 T5 也为 N 型薄膜晶体管，输入至它们栅极的控制信号 EM 为低电平，从而使第二开关管 T2 和第五开关管 T5 关闭。

具体的，第四开关管 T4 的开启后，发光器件 OLED 即被开启的第四开关管 T4 所短路，因此，与图 1 所示实施例不同，本实施例中，此阶段没有电流流过发光器件 OLED，发光器件 OLED 不发光。第一开关管 T1 开启后，数据信号 Vdata 即可通过第一开关管 T1 输入至驱动管 DTFT 的栅极，并向存储电容 Cst 充电以使输入至驱动管 DTFT 的栅极的数据信号 Vdata 得以保持。

充电完毕后，A 点电压 VA 即为数据信号 Vdata，
即 $VA = Vdata$ (9)

B 点电压 VB 为电源电压 VDD 减去补偿管的阈值电压 Vth3，即
 $VB = VDD - Vth3$ (10)

则存储电容 Cst 的两极板之间的电压为
 $VAB = VA - VB = Vdata - (VDD - Vth3)$
= $Vdata - VDD + Vth3$ (11)

此时，第二开关管 T2 根据输入的低电平控制信号 EM，使存储电容 Cst 与电源 VDD 相断开，保证了补偿管 T3 的正向导通。第五开关管 T5 根据输入的低电平控制信号 EM，使驱动管 DTFT 与地 GND 相断开，从而避免了输入至驱动管 DTFT 的栅极的数据信号 Vdata 通过第五开关管 T5 与地 GND 的连接而损失。

第二阶段：跳变发光阶段。

在跳变发光阶段，扫描信号 Vscan 为低电平，控制信号 EM 为高电平。此时，图 8 所示的像素电路可等效为如图 10 所示的电路结构。

结合图 8 和图 10，第一开关管 T1 根据输入的扫描信号 Vscan 为低电平而关闭，以使驱动管 DTFT 的栅极与第一开关管 T1 的源极，即数据信号 Vdata 的输入端隔离。这样，驱动管 DTFT 对发光器件 OLED 的驱动就不会受第一开关管 T1 的源极的信号变化的影响。同时，第四开关管 T4 根据输入的扫描信号 Vscan 为低电平而关闭，这样驱动管 DTFT 不再被短路，从而能够驱动发光器件 OLED 发光。

同时，第二开关管 T2 根据控制信号 EM 为高电平而开启，存储电容 Cst 的上极板直接与电源 VDD 相连，B 点电压 VB 由 Vdata 瞬间跳变到 VDD。由物理知识可知，电容两极板之间的电压不会瞬间改变，因此，当 B 点电压 VB 刚刚跳变至 VDD 时，式 (11) 仍然成立。那么，此时 A 点电压 VA 等于 B 点电压 VB 加上 A 点和 B 点之间的电压 VAB，即

$$VA = VB + VAB = VDD + (Vdata - VDD + Vth3)$$

$$= Vdata + Vth3 \quad (12)$$

第五开关管 T5 根据控制信号 EM 为高电平而开启，则驱动管 DTFT 的源极直接与地 GND 相连。此时，驱动管 DTFT 开始驱动 OLED 发光。驱动管 DTFT 的栅源电压为

$$Vgs = VA - 0 = Vdata + Vth3 \quad (13)$$

根据式 (5) 和式 (13)，本实施例中，流经驱动管 DTFT 的电流为

$$I = K(Vdata + Vth3 - Vth)^2 \quad (14)$$

与前述实施例原理类似，当补偿管 T3 和驱动管 DTFT 位置很接近时，补偿管 T3 的阈值电压 Vth3 和驱动管 DTFT 的阈值电压 Vth 近似相同，即 $Vth3 - Vth = 0$ 。则式 (14) 可表示为：

$$I = K \cdot Vdata^2 \quad (15)$$

其中，K 的含义与前述实施例相同，此处可认为是一常量。这样，流经驱动管 DTFT 的电流就只与数据信号 Vdata 相关，而与驱动管 DTFT 的阈值电压 Vth 无关，因此能够避免因背板制造工艺原因及长时间工作导致的驱动管 DTFT 的阈值电压偏移所造成的流过发光器件 OLED 的电流差异，从而有效提高了发光器件发光亮度的均匀性。

而且，本实施例中，第四开关管 T4 在补偿阶段将发光器件 OLED 短路，

即在补偿阶段没有电流流过发光器件 OLED，发光器件 OLED 不发光，从而避免了发光器件 OLED 在补偿阶段出现闪烁。

需要说明的是，本发明虽然以 OLED 为例进行说明，但本发明实施例提供的发光器件还可以是其它的能够采用本发明实施例中像素电路驱动的发光器件，本发明对此不做限制。

还需要说明的是，本实施例中，仅以图 1 所示的实施例，即各薄膜晶体管均为 N 型薄膜晶体管的实施例为基础，在其上增加了第四开关管 T4 进行说明，但本发明不限于此。在本发明的其它实施例中，各薄膜晶体管可以全部或部分替换为 P 型薄膜晶体管，而只需满足下列条件：补偿管 T3 与驱动管 DTFT 为同一类型的薄膜晶体管，第四开关管 T4 与第一开关管 T1 为类型的薄膜晶体管，第二开关管 T2 与第五开关管 T5 为同一类型的薄膜晶体管即可。此处，同一类型的薄膜晶体管是指同为 N 型薄膜晶体管或同为 P 型薄膜晶体管。

与前述像素电路相对应，如图 11 所示，本发明实施例还提供了一种像素电路的驱动方法，包括：

S11，将第一开关管 T1 开启，同时将第二开关管 T2 和第五开关管 T5 关闭，以使数据线中的数据信号 Vdata 通过第一开关管 T1 对存储电容 Cst 的第一极板充电、使电源 VDD 通过发光器件 OLED 和补偿管 T3 对存储电容 Cst 的第二极板充电；

S12，将第一开关管 T1 关闭，同时将第二开关管 T2 和第五开关管 T5 开启，以使发光器件 OLED 被电源 VDD 提供的依次流经发光器件 OLED、驱动管 DTFT 和第五开关管 T5 的电流驱动发光。

本发明实施例提供的像素电路的驱动方法，通过补偿管 T3、存储电容和多个开关管对于电路的开关和充放电控制，将对像素电路的驱动分为两个阶段，从而使驱动管 DTFT 的驱动电流与驱动管 DTFT 的阈值电压 V_{th} 无关，补偿了由于驱动管 DTFT 的阈值电压 V_{th} 的不一致或偏移所造成的流过发光器件 OLED 的电流差异，因此能够有效提高发光器件发光亮度的均匀性。

同时，由于发光器件如 OLED 的开启电压 V_{oth} 也可以在跳变发光阶段被附加到驱动管 DTFT 的栅极和第二极之间，从而能够补偿发光器件 OLED 的阈值电压的升高所导致的流过发光器件 OLED 的电流的差异。

需要说明的是，本实施例中，发光器件为 OLED，但本发明不限于此，还可以为其它能够使用本发明实施例提供的像素电路驱动的发光器件，本发明对此不做限制。

5 可选的，在本发明的一个实施例中，第一开关管 T1、第二开关管 T2 和第五开关管 T5 均为 N 型薄膜晶体管，它们的第一极为漏极，第二极为源极。对于步骤 S11，本发明实施例提供的像素电路的驱动方法可以通过扫描线输入高电平至第一开关管 T1 的栅极将第一开关管 T1 开启，同时通过控制线输入低电平至第二开关管 T2 的栅极和第五开关管 T5 的栅极将第二开关管 T2 和第五开关管 T5 关闭；相应的，对于步骤 S12，也可以通过扫描线输入低电平至第一开关管 T1 的栅极将第一开关管 T1 关闭，同时通过控制线输入高电平至第二开关管 T2 的栅极和第五开关管 T5 的栅极将第二开关管 T2 和第五开关管 T5 开启。

15 可选的，在本发明的另一个实施例中，第一开关管 T1 为 N 型薄膜晶体管，其第一极为漏极，第二极为源极；第二开关管 T2 和第五开关管 T5 均为 P 型薄膜晶体管，第二开关管 T2 和第五开关管 T5 的第一极为源极，第二极为漏极。对于步骤 S11，本发明实施例提供的像素电路的驱动方法可以通过扫描线输入高电平至第一开关管 T1 的栅极将第一开关管 T1 开启，同时通过控制线输入高电平至第二开关管 T2 的栅极和第五开关管 T5 的栅极将第二开关管 T2 和第五开关管 T5 关闭；相应的，对于步骤 S12，也可以通过扫描线输入低电平至第一开关管 T1 的栅极将第一开关管 T1 关闭，同时通过控制线输入低电平至第二开关管 T2 的栅极和第五开关管 T5 的栅极将第二开关管 T2 和第五开关管 T5 开启。

25 可选的，在本发明的另一个实施例中，第一开关管 T1 为 P 型薄膜晶体管，第一开关管 T1 的第一极为源极，第二极为漏极；第二开关管 T2 和第五开关管 T5 均为 N 型薄膜晶体管，它们的第一极为漏极，第二极为源极。

30 对于步骤 S11，本发明实施例提供的像素电路的驱动方法可以通过扫描线输入低电平至第一开关管 T1 的栅极将第一开关管 T1 开启，同时通过控制线输入低电平至第二开关管 T2 的栅极和第五开关管 T5 的栅极将第二开关管 T2 和第五开关管 T5 关闭；相应的，对于步骤 S12，可以通过扫描线输入高电平至第一开关管 T1 的栅极将第一开关管 T1 关闭，同时通过控制线输入高电平至第二开关管 T2 的栅极和第五开关管 T5 的栅极将第二开关管

T2 和第五开关管 T5 开启。

可选的，在本发明的另一个实施例中，第一开关管 T1、第二开关管 T2 和第五开关管 T5 均为 P 型薄膜晶体管。对于步骤 S11，本发明实施例提供的像素电路的驱动方法可以通过扫描线输入低电平至第一开关管 T1 的栅极将第一开关管 T1 开启，同时通过控制线输入高电平至第二开关管 T2 的栅极和第五开关管 T5 的栅极将第二开关管 T2 和第五开关管 T5 关闭；相应的，对于步骤 S12，可以通过扫描线输入高电平至第一开关管 T1 的栅极将第一开关管 T1 关闭，同时通过控制线输入低电平至第二开关管 T2 的栅极和第五开关管 T5 的栅极将第二开关管 T2 和第五开关管 T5 开启。

进一步的，在本发明的另一个实施例中，在步骤 S11 中，所述将第一开关管 T1 开启还可以为将第一开关管 T1 与第四开关管 T4 同时开启；

具体的，将第一开关管 T1 与第四开关管 T4 同时开启，同时将第二开关管 T2 和第五开关管 T5 关闭，可以使数据线，即数据信号 Vdata 所在的信号线，通过第一开关管 T1 对存储电容 Cst 的第一极板充电，使电源 VDD 通过第四开关管 T4 和补偿管 T3 对存储电容 Cst 的第二极板充电。

相应的，在步骤 S12 中，将第一开关管 T1 关闭可以为将第一开关管 T1 与第四开关管 T4 同时关闭。具体的，将第一开关管 T1 与第四开关管 T4 同时关闭，同时将第二开关管 T2 和第五开关管 T5 开启，可以使发光器件 OLED 被电源 VDD 提供的、依次流经发光器件 OLED、驱动管 DTFT 和第五开关管 T5 的电流驱动发光；

其中，第四开关管 T4 的栅极与扫描线相连，第一极与第二开关管 T2 的第一极相连，第二极与驱动管 DTFT 的第一极相连，第四开关管 T4 与第一开关管 T1 类型相同。

由于第四开关管 T4 与第一开关管 T1 均由扫描信号 Vscan 控制，因此，第四开关管 T4 与第一开关管 T1 一起开启或关闭，本实施例中，有关第四开关管 T4 与第一开关管 T1 的开启或关闭的原理及详细过程，请参考前述实施例的说明，此处不再赘述。

由于在补偿阶段使第四开关管 T4 开启，发光器件 OLED 就能够被第四开关管 T4 所短路，即在补偿阶段没有电流流过发光器件 OLED，发光器件 OLED 不发光，避免了发光器件 OLED 在补偿阶段出现闪烁。

相应的，本发明还提供一种显示装置，包括前述实施例提供的任一种

像素电路，因此具有本发明实施例提供的像素电路所带来的有益技术效果，前文已经进行了详细说明，此处不再赘述。

5 本领域普通技术人员可以理解：实现上述方法实施例的全部或部分流程可以通过计算机程序指令相关的硬件来完成，前述的程序可以存储于一计算机可读取存储介质中，该程序在执行时，执行包括上述方法实施例的步骤；而前述的存储介质包括：ROM、RAM、磁碟或者光盘等各种可以存储程序代码的介质。

10 以上所述，仅为本发明的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本发明的保护范围之内。因此，本发明的保护范围应以所述权利要求的保护范围为准。

权 利 要 求 书

1、一种像素电路，其特征在于，包括：

发光器件、驱动管、存储电容、第一开关管、第二开关管、补偿管和
5 第五开关管；

所述驱动管、第一开关管、第二开关管、补偿管、第五开关管均包括
栅极、第一极和第二极；

所述发光器件的一端与电源相连；

所述驱动管的第一极与所述发光器件的另一端相连，第二极与所述第
10 五开关管的第一极相连，栅极与所述第一开关管的第一极相连；

所述第一开关管的第二极与数据线相连，栅极与扫描线相连，第一极
与所述驱动管的栅极相连；

所述第二开关管的栅极与控制线相连，第一极与电源相连，第二极与
所述补偿管的第二极相连；

15 所述补偿管的第一极与所述驱动管的第一极相连，第二极与所述第二
开关管的第二极相连，栅极与所述补偿管的第一极或第二极相连；

所述第五开关管的栅极与控制线相连，第一极与所述驱动管的第二极
相连，第二极与地相连；

所述存储电容的第一极板与所述驱动管的栅极相连，第二极板与所述
20 补偿管的第二极相连。

2、根据权利要求 1 所述的像素电路，其特征在于，还包括第四开关管，
所述第四开关管的栅极与扫描线相连，第一极与所述第二开关管的第一极
相连，第二极与所述驱动管的第一极相连，所述第四开关管与所述第一开
关管类型相同。

25 3、根据权利要求 1 或 2 所述的像素电路，其特征在于，

所述驱动管、补偿管均为 N 型薄膜晶体管，所述驱动管和补偿管的第一
极为漏极，第二极为源极；所述补偿管的栅极与所述补偿管的第一极相
连；

或者

30 所述驱动管、补偿管均为 P 型薄膜晶体管，所述驱动管和补偿管的第一
极为源极，第二极为漏极；所述补偿管的栅极与所述补偿管的第二极相

连。

4、根据权利要求 1-3 任一项所述的像素电路，其特征在于，

所述第二开关管、第五开关管均为 N 型薄膜晶体管，所述第二开关管和第五开关管的第一极为漏极，第二极为源极；

5 或者

所述第二开关管、第五开关管均为 P 型薄膜晶体管，所述第二开关管和第五开关管的第一极为源极，第二极为漏极。

5、根据权利要求 1-4 任一项所述的像素电路，其特征在于，

10 所述第一开关管为 N 型薄膜晶体管，所述第一开关管的第一极为漏极，第二极为源极；

或者

所述第一开关管为 P 型薄膜晶体管，所述第一开关管的第一极为源极，第二极为漏极。

15 6、根据权利要求 1 或 2 所述的像素电路，其特征在于，所述发光器件为有机发光二极管。

7、一种用于如权利要求 1 所述的像素电路的驱动方法，其特征在于，包括：

20 将所述第一开关管开启，同时将所述第二开关管和所述第五开关管关闭，以使数据线中的数据信号通过所述第一开关管对所述存储电容的第一极板充电，使所述电源通过所述发光器件和所述补偿管对所述存储电容的第二极板充电；

将所述第一开关管关闭，同时将所述第二开关管和所述第五开关管开启，以使所述发光器件被所述电源提供的、依次流经所述发光器件、所述驱动管和所述第五开关管的电流驱动发光。

25 8、根据权利要求 7 所述的方法，其特征在于，

将所述第一开关管开启，同时将所述第二开关管和所述第五开关管关闭，以使数据线中的数据信号通过所述第一开关管对所述存储电容的第一极板充电，使所述电源通过所述发光器件和所述补偿管对所述存储电容的第二极板充电包括：

30 将所述第一开关管与第四开关管同时开启，同时将所述第二开关管和所述第五开关管关闭，以使数据线通过所述第一开关管对所述存储电容的

第一极板充电，使所述电源通过所述第四开关管和所述补偿管对所述存储电容的第二极板充电；

5 将所述第一开关管关闭，同时将所述第二开关管和所述第五开关管开启，以使所述发光器件被所述电源提供的、依次流经所述发光器件、所述驱动管和所述第五开关管的电流驱动发光包括：

将所述第一开关管与第四开关管同时关闭，同时将所述第二开关管和所述第五开关管开启，以使所述发光器件被所述电源提供的、依次流经所述发光器件、所述驱动管和所述第五开关管的电流驱动发光；

10 其中，所述第四开关管的栅极与扫描线相连，第一极与所述第二开关管的第一极相连，第二极与所述驱动管的第一极相连，所述第四开关管与所述第一开关管类型相同。

9、根据权利要求7所述的方法，其特征在于，

所述第一开关管为N型薄膜晶体管，所述第一开关管的第一极为漏极，第二极为源极；

15 所述第二开关管、第五开关管均为N型薄膜晶体管，所述第二开关管和第五开关管的第一极为漏极，第二极为源极；

将所述第一开关管开启，同时将所述第二开关管和所述第五开关管关闭，包括：

20 通过扫描线输入高电平至所述第一开关管的栅极将所述第一开关管开启，同时通过控制线输入低电平至所述第二开关管的栅极和所述第五开关管的栅极将所述第二开关管和所述第五开关管关闭；

将所述第一开关管关闭，同时将所述第二开关管和所述第五开关管开启，包括：

25 通过扫描线输入低电平至所述第一开关管的栅极将所述第一开关管关闭，同时通过控制线输入高电平至所述第二开关管的栅极和所述第五开关管的栅极将所述第二开关管和所述第五开关管开启。

10、根据权利要求7所述的方法，其特征在于，

所述第一开关管为N型薄膜晶体管，所述第一开关管的第一极为漏极，第二极为源极；

30 所述第二开关管、第五开关管均为P型薄膜晶体管，所述第二开关管和第五开关管的第一极为源极，第二极为漏极；

将所述第一开关管开启，同时将所述第二开关管和所述第五开关管关闭，包括：

通过扫描线输入高电平至所述第一开关管的栅极将所述第一开关管开启，同时通过控制线输入高电平至所述第二开关管的栅极和所述第五开关管的栅极将所述第二开关管和所述第五开关管关闭；

将所述第一开关管关闭，同时将所述第二开关管和所述第五开关管开启，包括：

通过扫描线输入低电平至所述第一开关管的栅极将所述第一开关管关闭，同时通过控制线输入低电平至所述第二开关管的栅极和所述第五开关管的栅极将所述第二开关管和所述第五开关管开启。

11、根据权利要求 7 所述的方法，其特征在于，

所述第一开关管为 P 型薄膜晶体管，所述第一开关管的第一极为源极，第二极为漏极；

所述第二开关管、第五开关管均为 N 型薄膜晶体管，所述第二开关管和第五开关管的第一极为漏极，第二极为源极；

将所述第一开关管开启，同时将所述第二开关管和所述第五开关管关闭，包括：

通过扫描线输入低电平至所述第一开关管的栅极将所述第一开关管开启，同时通过控制线输入低电平至所述第二开关管的栅极和所述第五开关管的栅极将所述第二开关管和所述第五开关管关闭；

将所述第一开关管关闭，同时将所述第二开关管和所述第五开关管开启，包括：

通过扫描线输入高电平至所述第一开关管的栅极将所述第一开关管关闭，同时通过控制线输入高电平至所述第二开关管的栅极和所述第五开关管的栅极将所述第二开关管和所述第五开关管开启。

12、根据权利要求 7 所述的方法，其特征在于，

所述第一开关管为 P 型薄膜晶体管，所述第一开关管的第一极为源极，第二极为漏极；

所述第二开关管、第五开关管均为 P 型薄膜晶体管，所述第二开关管和第五开关管的第一极为源极，第二极为漏极；

将所述第一开关管开启，同时将所述第二开关管和所述第五开关管关

闭，包括：

通过扫描线输入低电平至所述第一开关管的栅极将所述第一开关管开启，同时通过控制线输入高电平至所述第二开关管的栅极和所述第五开关管的栅极将所述第二开关管和所述第五开关管关闭；

- 5 将所述第一开关管关闭，同时将所述第二开关管和所述第五开关管开启，包括：

通过扫描线输入高电平至所述第一开关管的栅极将所述第一开关管关闭，同时通过控制线输入低电平至所述第二开关管的栅极和所述第五开关管的栅极将所述第二开关管和所述第五开关管开启。

- 10 13、一种显示装置，其特征在于，包括权利要求 1 至 6 中任一项所述的像素电路。

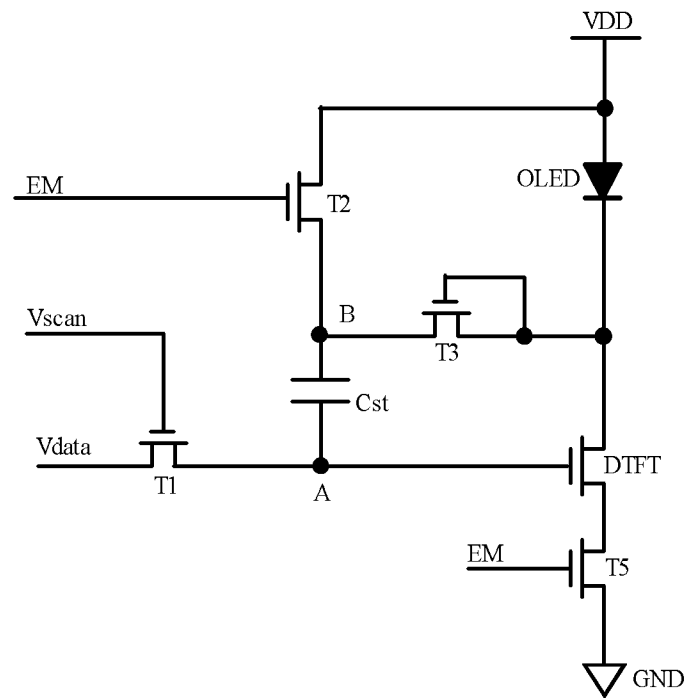


图 1

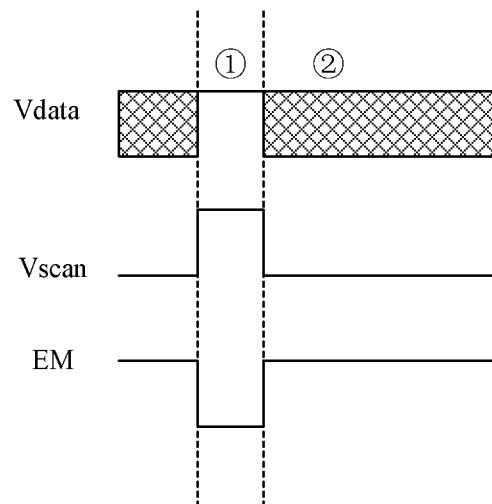


图 2

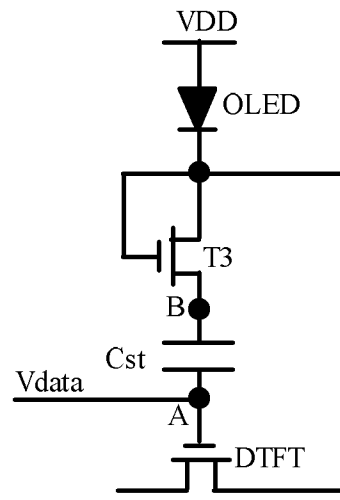


图 3

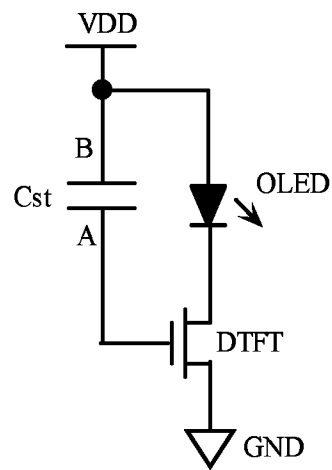


图 4

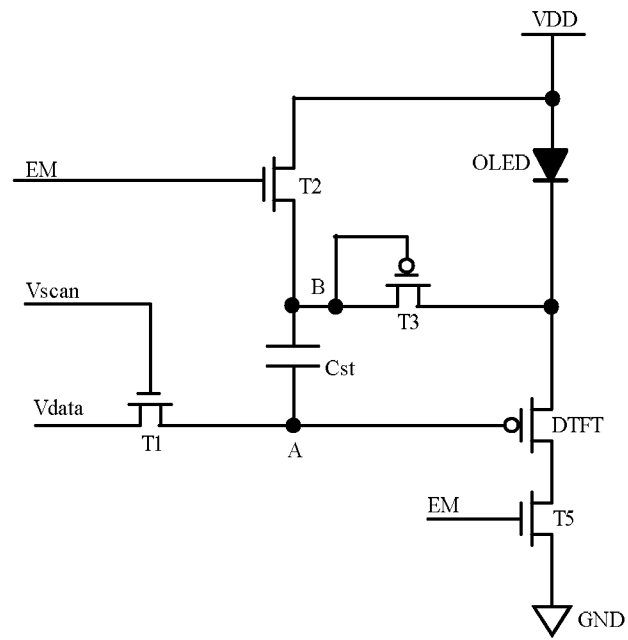


图 5

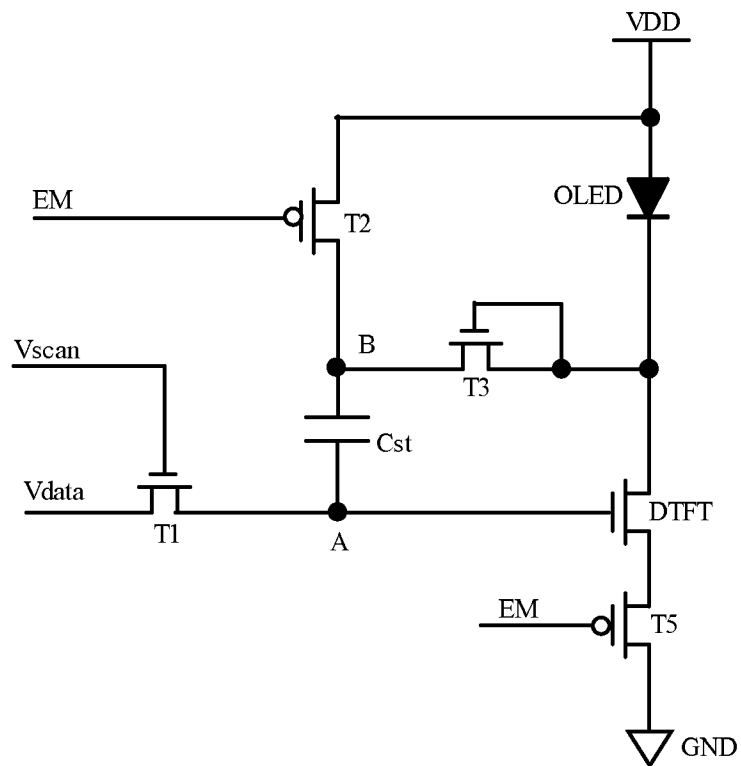


图 6

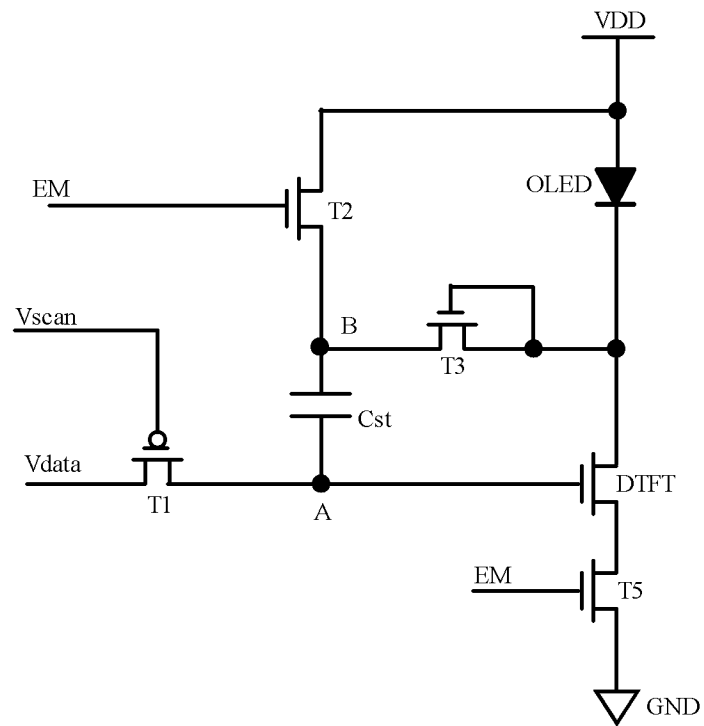


图 7

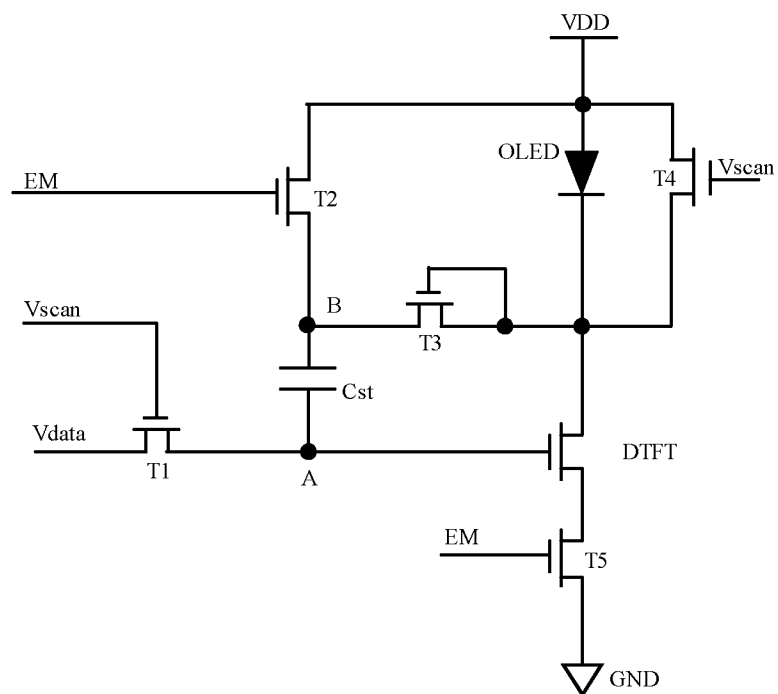
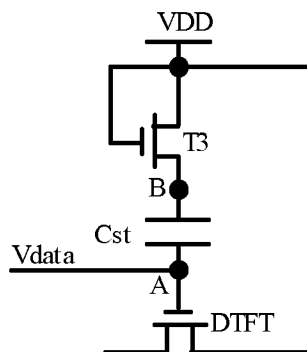
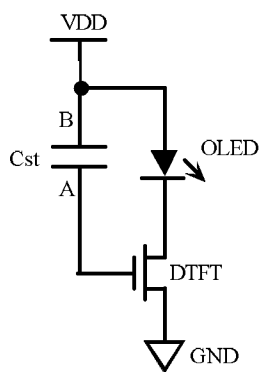


图 8



①

图 9



②

图 10

将第一开关管T1开启，同时将第二开关管T2和第五开关管T5关闭，以使数据线中的数据信号Vdata通过第一开关管T1对存储电容Cst的第一极板充电、使电源VDD通过发光器件OLED和补偿管T3对存储电容Cst的第二极板充电

S11

将第一开关管T1关闭，同时将第二开关管T2和第五开关管T5开启，以使发光器件OLED被电源VDD提供的依次流经发光器件OLED、驱动管DTFT和第五开关管T5的电流驱动发光

S12

图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/086799

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G 3, H05B 33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNTXT: light emitting diode, electroluminescence, ?led, el, five, fifth, transistor, switch, +tft, +fet, mos+, threshold, offset, drift, uniform, identical, capacitance, second, equate, diode, body diode, stage

WPI, EPDOC: ?led, ?el?, light w emit+ w diode?, five, fifth+, transistor?, switch+, tft?, mos+, fet?, thin w film w transistor?, threshold, uniform+, drift, dispersion, capacit+, body w diode, second+, two, period?, step?

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102280085 A (PRIME VIEW INTERNATIONAL CO., LTD.), 14 December 2011 (14.12.2011), description, paragraphs 0033-0043, and figures 1-4	1-13
A	CN 1855198 A (BOE DISPLAY TECHNOLOGY CO., LTD.), 01 November 2006 (01.11.2006), the whole document	1-13
A	CN 1949342 A (AU OPTRONICS CORP.), 18 April 2007 (18.04.2007), the whole document	1-13
A	CN 101305409 A (IGNIS INNOVATION INC.), 12 November 2008 (12.11.2008), the whole document	1-13
A	US 20100127955 A1 (CHOI, S.M.), 27 May 2010 (27.05.2010), the whole document	1-13
A	US 20100220086 A1 (CHUNG, B.Y. et al.), 02 September 2010 (02.09.2010), the whole document	1-13

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 13 March 2013 (13.03.2013)	Date of mailing of the international search report 21 March 2013 (21.03.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Chao Telephone No.: (86-10) 62085834

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/086799

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2011004646 A1 (SHARP KK et al.), 13 January 2011 (13.01.2011), the whole document	1-13
PX	CN 102654976 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 05 September 2012 (05.09.2012), claims 1-13, description, paragraphs 0034-0169, and figures 1-11	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/086799

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102280085 A	14.12.2011	None	
CN 1855198 A	01.11.2006	CN 100595820 C	24.03.2010
		US 2006244688 A	02.11.2006
		US 7561128 B	14.07.2009
		KR 20060113194 A	02.11.2006
		KR 100719924 B	18.05.2007
		JP 2006309149 A	09.11.2006
		TW 200638306 A	01.11.2006
CN 1949342 A	18.04.2007	CN 100435199 C	19.11.2008
CN 101305409 A	12.11.2008	CA 2557713 A	26.11.2006
		CA 2557713 C	02.12.2008
		CA 2518276 A	13.03.2007
		US 2007063932 A	22.03.2007
		US 8188946 B	29.05.2012
		WO 2007030927 A	22.03.2007
		EP 1932135 A	18.06.2008
		EP 1932135 B	10.11.2010
		KR 20080090382 A	08.10.2008
		CN 101305409 B	15.12.2010
		JP 2009508168 A	26.02.2009
		AT 488001 T	15.11.2010
		US 2011141160 A	16.06.2011
		DE 602006018165 E	23.12.2010
US 20100127955 A1	27.05.2010	KR 20100059317 A	04.06.2010
		KR 101008438 B	14.01.2011
US 20100220086 A1	02.09.2010	US 7936322 B	03.05.2011
		KR 20100097873 A	06.09.2010
		KR 101040816 B	13.06.2011
WO 2011004646 A1	13.01.2011	US 2012105427 A	03.05.2012
		EP 2453432 A	16.05.2012
		CN 102473376 A	23.05.2012
CN 102654976 A	05.09.2012	None	

国际检索报告

国际申请号

PCT/CN2012/086799

A. 主题的分类

G09G3/32 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G09G3, H05B33

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,CNTEXT: 发光二极管,电致发光,?led,el,五个,第五,5个,第5,晶体管,开关,+tft,+fet,mos+,阈值,偏移,漂移,均匀,一致,电容,第二,相当于,等同,二极管,体二极管,阶段

WPI,EPODOC: ?led,?el?,light w emit+ w diode?,five,fifth+,transistor?,switch+,tft?,mos+,fet?,thin w film w transistor?,threshold,uniform+,drift,dispersion,capacit+,body w diode,second+,two,period?,step?

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN102280085A (元太科技工业股份有限公司) 14.12 月 2011 (14.12.2011) 说明书第 0033 段-0043 段, 图 1-4	1-13
A	CN1855198A (京东方显示器科技公司) 01.11 月 2006 (01.11.2006) 全文	1-13
A	CN1949342A (友达光电股份有限公司) 18.4 月 2007 (18.04.2007) 全文	1-13
A	CN101305409A (伊格尼斯创新有限公司) 12.11 月 2008 (12.11.2008) 全文	1-13
A	US20100127955A1 (Sang-Moo Choi) 27.5 月 2010 (27.05.2010) 全文	1-13
A	US20100220086A1 (Bo-Yong Chung 等) 02.9 月 2010 (02.09.2010) 全文	1-13

☒ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

13.3 月 2013 (13.03.2013)

国际检索报告邮寄日期

21.3 月 2013 (21.03.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

王超

电话号码: (86-10) 62085834

C(续). 相关文件

类 型	引用文件, 必要时, 指明相关段落	相关的权利要求
A	WO2011004646A1 (SHARP KK 等) 13.1 月 2011 (13.01.2011) 全文	1-13
PX	CN102654976A (京东方科技集团股份有限公司 等) 05.9 月 2012 (05.09.2012) 权利要求 1-13, 说明书第 0034 段-第 0169 段, 图 1-11	1-13

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/086799

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN102280085A	14.12.2011	无	
CN1855198A	01.11.2006	CN100595820C	24.03.2010
		US2006244688A	02.11.2006
		US7561128B	14.07.2009
		KR20060113194A	02.11.2006
		KR100719924B	18.05.2007
		JP2006309149A	09.11.2006
		TW200638306A	01.11.2006
CN1949342A	18.04.2007	CN100435199C	19.11.2008
CN101305409A	12.11.2008	CA2557713A	26.11.2006
		CA2557713C	02.12.2008
		CA2518276A	13.03.2007
		US2007063932A	22.03.2007
		US8188946B	29.05.2012
		WO2007030927A	22.03.2007
		EP1932135A	18.06.2008
		EP1932135B	10.11.2010
		KR20080090382A	08.10.2008
		CN101305409B	15.12.2010
		JP2009508168A	26.02.2009
		AT488001T	15.11.2010
		US2011141160A	16.06.2011
		DE602006018165E	23.12.2010
US20100127955A1	27.05.2010	KR20100059317A	04.06.2010
		KR101008438B	14.01.2011
US20100220086A1	02.09.2010	US7936322B	03.05.2011
		KR20100097873A	06.09.2010
		KR101040816B	13.06.2011
WO2011004646A1	13.01.2011	US2012105427A	03.05.2012
		EP2453432A	16.05.2012
		CN102473376A	23.05.2012
CN102654976A	05.09.2012	无	