



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년01월29일
(11) 등록번호 10-1822990
(24) 등록일자 2018년01월23일

(51) 국제특허분류(Int. Cl.)
H01L 21/027 (2006.01) G03F 1/20 (2012.01)
G03F 1/66 (2012.01) G03F 7/20 (2006.01)
(52) CPC특허분류
H01L 21/0275 (2013.01)
G03F 1/20 (2013.01)
(21) 출원번호 10-2015-0134578
(22) 출원일자 2015년09월23일
심사청구일자 2015년09월23일
(65) 공개번호 10-2016-0040427
(43) 공개일자 2016년04월14일
(30) 우선권주장
JP-P-2014-204873 2014년10월03일 일본(JP)
(56) 선행기술조사문헌
JP2013165200 A*
JP2012182294 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
가부시킴이이샤 뉴플레이어 테크놀로지
일본국 카나가와켄 요코하마시 이소고쿠 신스기타
쵸 8-1
(72) 발명자
야마시타 히로시
일본, 카나가와켄, 요코하마, 이소고쿠, 신스기타
쵸 8-1, 가부시킴이이샤 뉴플레이어 테크놀로지 내
마츠모토 히로시
일본, 카나가와켄, 요코하마, 이소고쿠, 신스기타
쵸 8-1, 가부시킴이이샤 뉴플레이어 테크놀로지 내
치바 카즈히로
일본, 카나가와켄, 요코하마, 이소고쿠, 신스기타
쵸 8-1, 가부시킴이이샤 뉴플레이어 테크놀로지 내
(74) 대리인
특허법인엠에이피에스

전체 청구항 수 : 총 5 항

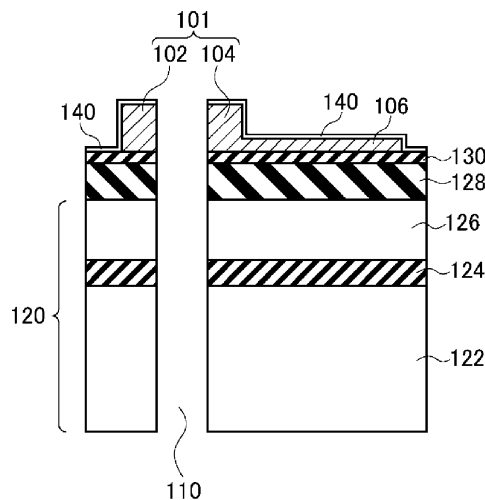
심사관 : 이석주

(54) 발명의 명칭 블랭킹 애퍼처 어레이 및 하전 입자빔 묘화 장치

(57) 요약

일 실시 형태에 의하면, 블랭킹 애퍼처 어레이는, 하전 입자빔 묘화 장치의 블랭킹 애퍼처 어레이로서, 상면에 절연막이 마련된 기판과, 각각 상기 기판에 형성되고, 소정의 빔이 통과하는 관통홀과, 해당 절연막 상에 마련되고, 상기 소정의 빔의 블랭킹 편향을 행하는 블랭킹 전극 및 그라운드 전극을 각각 가지는 복수의 블랭킹 애퍼처 부와, 상기 절연막과, 적어도 상기 그라운드 전극의 일부를 덮도록 마련되어, 상기 그라운드 전극보다 전기 저항값이 높고 상기 절연막보다 전기 저항값이 낮은 고저항막을 구비하는 것이다.

대표도 - 도5



(52) CPC특허분류

G03F 1/66 (2013.01)

G03F 7/20 (2013.01)

명세서

청구범위

청구항 1

하전 입자빔 묘화 장치의 블랭킹 애퍼처 어레이로서,

상면에 절연막이 마련된 기판과,

상기 기판에 형성되고, 소정의 빔이 통과하는 관통홀과, 상기 절연막 상에 마련되고, 상기 소정의 빔의 블랭킹 편향을 행하는 블랭킹 전극 및 그라운드 전극을 각각 가지는 복수의 블랭킹 애퍼처부와,

상기 절연막과, 적어도 상기 그라운드 전극의 일부를 덮도록 마련되어, 상기 그라운드 전극보다 전기 저항값이 높고 상기 절연막보다 전기 저항값이 낮은 고저항막

을 구비하고,

상기 고저항막은 섬 형상 박막인 것을 특징으로 하는 블랭킹 애퍼처 어레이.

청구항 2

제1항에 있어서,

상기 고저항막은 상기 기판의 전면을 덮도록 마련되어 있는 것을 특징으로 하는 블랭킹 애퍼처 어레이.

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 고저항막의 전기 저항값은 100 kΩ 이상, 100 MΩ 이하인 것을 특징으로 하는 블랭킹 애퍼처 어레이.

청구항 5

제1항에 있어서,

상기 고저항막은, Au, Ag, Cu, Fe, Cr, CrN, Ti, TiN, TaN, 또는 TiC를 포함하는 것을 특징으로 하는 블랭킹 애퍼처 어레이.

청구항 6

대상물을 재치하는, 이동 가능한 스테이지와,

하전 입자빔을 방출하는 전자총과,

복수의 개구부가 형성되고, 상기 복수의 개구부를 상기 하전 입자빔의 일부가 각각 통과함으로써, 멀티빔을 형성하는 애퍼처 부재와,

상기 멀티빔 중, 각각 대응하는 빔에 대하여 개별로 빔의 ON / OFF 제어를 행하는 블랭킹 애퍼처 어레이와,

상기 블랭킹 애퍼처 어레이를 통과한 각 빔이 상기 대상물 상의 각각의 조사 위치에 조사되도록, 각 빔을 한꺼번에 편향하는 편향기

를 구비하고,

상기 블랭킹 애퍼처 어레이는,

상면에 절연막이 마련된 기판과,

상기 기판에 형성되고, 소정의 빔이 통과하는 관통홀과, 상기 절연막 상에 마련되고, 상기 소정의 빔의 블랭킹

편향을 행하는 블랭킹 전극 및 그라운드 전극을 각각 가지는 복수의 블랭킹 애퍼처부와,

상기 절연막과, 적어도 상기 그라운드 전극의 일부를 덮도록 마련되어, 상기 그라운드 전극보다 전기 저항값이 높고 상기 절연막보다 전기 저항값이 낮은 고저항막

을 구비하고, 상기 고저항막은 섬 형상 박막인 것을 특징으로 하는 것을 특징으로 하는 하전 입자빔 묘화 장치.

발명의 설명

기술 분야

[0001] 본 발명은, 블랭킹 애퍼처 어레이 및 하전 입자빔 묘화 장치에 관한 것이다.

배경 기술

[0002] LSI의 고집적화에 수반하여, 반도체 디바이스의 회로 선폭은 해마다 미세화되고 있다. 반도체 디바이스의 원하는 회로 패턴을 웨이퍼 상에 형성하기 위해서는, 축소 투영형 노광 장치를 이용하여, 석영 마스크 블랭크스 상에 형성된 고정밀도의 원화(原畫) 패턴(마스크, 혹은 특히 스테퍼 또는 스캐너로 이용되는 것은 레티클이라고도 함)을 웨이퍼 상에 축소 전사하는 방법이 채용되고 있다. 고정밀도의 원화 패턴은, 전자빔 묘화 장치에 의해 묘화되고, 소위 전자빔 리소그래피 기술이 이용되고 있다.

[0003] 전자빔 묘화 장치로서, 예를 들면, 멀티빔을 이용하여 한 번에 많은 빔을 조사하고, 스루풋을 향상시킨 멀티빔 묘화 장치가 알려져 있다. 이 멀티빔 묘화 장치에서는, 예를 들면, 전자총으로부터 방출된 전자빔이, 복수의 홀을 가지는 애퍼처 부재를 통과함으로써 멀티빔이 형성되고, 각 빔이 블랭킹 애퍼처 어레이에 있어서 블랭킹 제어된다. 차폐되지 않았던 빔이 광학계로 축소되고, 묘화 대상의 마스크 블랭크스 상의 원하는 위치에 조사된다.

[0004] 블랭킹 애퍼처 어레이는, 복수의 홀이 형성된 기관과, 각 홀의 주위에 형성된 블랭커와, 블랭커에의 전압의 인가를 행하는 제어 회로부를 구비하고 있다. 통상, 제어 회로부를 구성하는 MOSFET(metal-oxide semiconductor field-effect transistor)의 형성 후에는, 기관 표면에 실리콘 질화막 등으로 이루어지는 패시베이션막(보호막)이 형성된다. 따라서 블랭킹 애퍼처 어레이의 표면에는 실리콘 질화막 등의 절연막이 노출되어 있고, 전자빔이 조사된 경우, 혹은 애퍼처 부재에 의해 산란된 전자에 의해 블랭킹 애퍼처 어레이의 표면이 대전되고, MOSFET의 게이트 절연막이 정전 파괴되어 블랭킹 제어를 할 수 없게 되거나, 홀을 통과하는 빔의 궤도가 전계에 의해 변위되어, 조사 위치의 이탈 또는 디포커스를 발생시켜, 묘화 정밀도가 저하된다는 문제가 있었다.

발명의 내용

[0005] 본 발명은, 하전 입자빔의 조사에 수반하여 표면이 대전되는 것을 억제 가능한 블랭킹 애퍼처 어레이 및 이를 구비한 하전 입자빔 묘화 장치를 제공한다.

[0006] 일 실시 형태에 의하면, 블랭킹 애퍼처 어레이는, 하전 입자빔 묘화 장치의 블랭킹 애퍼처 어레이로서, 상면에 절연막이 마련된 기관과, 각각 상기 기관에 형성되고, 소정의 빔이 통과하는 관통홀과, 상기 절연막 상에 마련되고, 상기 소정의 빔의 블랭킹 편향을 행하는 블랭킹 전극 및 그라운드 전극을 각각 가지는 복수의 블랭킹 애퍼처부와, 상기 절연막과, 적어도 상기 그라운드 전극의 일부를 덮도록 마련되어, 상기 그라운드 전극보다 전기 저항값이 높고 상기 절연막보다 전기 저항값이 낮은 고저항막을 구비하는 것이다.

도면의 간단한 설명

[0007] 도 1은, 본 발명의 실시 형태에 따른 하전 입자빔 묘화 장치의 개략도이다.

도 2는, 애퍼처 부재의 개략도이다.

도 3은, 블랭킹 애퍼처 어레이의 구성을 나타내는 개념도이다.

도 4는, 블랭킹 애퍼처 어레이의 상면도이다.

도 5는, 블랭킹 애퍼처 어레이의 단면도이다.

도 6은, 은박막의 막두께와 저항의 관계를 나타내는 그래프이다.

도 7은, 고저항막의 성막 방법의 일례를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0008] 이하, 본 발명의 실시 형태를 도면에 기초하여 설명한다.
- [0009] 도 1은, 본 실시 형태에 의한 블랭킹 애퍼처 어레이가 장착되는 하전 입자빔 묘화 장치의 개략도이다. 본 실시 형태에서는, 하전 입자빔의 일례로서, 전자빔을 이용한 구성에 대하여 설명한다. 단 하전 입자빔은 전자빔에 한정되는 것이 아니고, 이온빔 등의 다른 하전 입자빔이어도 된다.
- [0010] 도 1에 나타내는 전자빔 묘화 장치는 전자빔 경통(2) 및 묘화실(20)을 가지고 있다. 전자빔 경통(2) 내에는, 전자총(4), 조명 렌즈(6), 애퍼처 부재(8), 블랭킹 애퍼처 어레이(10), 축소 렌즈(12), 제한 애퍼처 부재(14), 대물 렌즈(16), 및 편향기(18)가 배치되어 있다. 묘화실(20) 내에는 XY 스테이지(22)가 배치된다. XY 스테이지(22) 상에는, 묘화 대상이 되는 마스크 블랭크스(24)가 재치(載置)되어 있다. 대상물로서, 예를 들면, 웨이퍼, 나노임프린트용 기판 또는, 이미 패턴이 형성되어 있는 마스크도 포함된다. 예를 들면, 레벤슨형 마스크는 2 회 의 묘화를 필요로 하기 때문에, 한 번 묘화되어 마스크로 가공된 것에 두 번째의 패턴을 묘화하는 경우도 있다. XY 스테이지(22) 상에는, 또한 XY 스테이지(22)의 위치 측정용의 미러(26)가 배치된다.
- [0011] 전자총(4)으로부터 방출된 전자빔(30)은, 조명 렌즈(6)에 의해 수직 혹은 거의 수직으로 물면(物面)이 되는 애퍼처 부재(8) 전체를 조명한다. 도 2는, 애퍼처 부재(8)의 구성을 나타내는 개념도이다. 애퍼처 부재(8)에는, 종(y 방향) m 열 \times 횡(x 방향) n 열($m, n \geq 2$)의 홀(개구부)(80)이 소정의 배열 피치로 매트릭스 형상으로 형성되어 있다. 예를 들면, 512×8 열의 홀(80)이 형성된다. 각 홀(80)은, 모두 동일한 치수 형상의 직사각형으로 형성된다. 각 홀(80)은 동일한 외경의 원형이어도 상관없다.
- [0012] 전자빔(30)은, 애퍼처 부재(8)의 모든 홀(80)이 포함되는 영역을 조명한다. 이들의 복수의 홀(80)을 전자빔(30)의 일부가 각각 통과함으로써, 도 1에 나타내는 바와 같은 멀티빔(30a ~ 30e)이 형성되게 된다.
- [0013] 도 2에서는, 종횡(x, y 방향)이 모두 2 열 이상의 홀(80)이 배치된 예를 나타냈지만, 이에 한정되는 것은 아니다. 예를 들면, 종횡(x, y 방향) 어느 일방이 복수 열이고 타방은 1 열뿐이어도 상관없다. 또한 홀(80)의 배열 방식은, 도 2에 나타내는 바와 같이, 종횡이 격자 형상으로 배치되는 경우에 한정되는 것은 아니다. 예를 들면, 종 방향에 인접하는 홀끼리가, 지그재그 형상으로 서로 엇갈리게 배치되어도 된다.
- [0014] 후술하는 바와 같이, 블랭킹 애퍼처 어레이(10)에는, 애퍼처 부재(8)의 각 홀(80)의 배치 위치에 맞추어 관통홀(도 4, 도 5에 있어서의 관통홀(110))이 형성되고, 각 관통홀에는, 쌍이 되는 2 개의 전극으로 이루어지는 블랭커(도 5에 있어서의 그라운드 전극(102) 및 블랭킹 전극(104)으로 이루어지는 블랭커(101))가 각각 배치된다. 각 관통홀을 통과하는 전자빔(30a ~ 30e)은, 각각 독립적으로 블랭커가 인가하는 전압 즉 전계에 의해 편향된다. 이러한 편향에 의해 블랭킹 제어된다. 이와 같이, 블랭킹 애퍼처 어레이(10)에 의해, 애퍼처 부재(8)의 복수의 홀(80)을 통과한 멀티빔의 각각에 대하여 블랭킹 편향이 행해진다.
- [0015] 블랭킹 애퍼처 어레이(10)를 통과한 멀티빔(30a ~ 30e)은, 축소 렌즈(12)에 의해, 각각의 빔 사이즈와, 홀(80)의 배열 피치가 축소되고, 크로스오버로 설치된 제한 애퍼처 부재(14)에 형성된 중심의 홀을 향하여 나아간다. 여기서, 블랭킹 애퍼처 어레이(10)의 블랭커에 의해 편향된 전자빔은, 그 궤도가 변위되고 제한 애퍼처 부재(14)의 중심의 홀로부터 위치가 벗어나, 제한 애퍼처 부재(14)에 의해 차폐된다. 한편, 블랭킹 애퍼처 어레이(10)의 전극에 의해 편향되지 않았던 전자빔은, 제한 애퍼처 부재(14)의 중심의 홀을 통과한다.
- [0016] 이와 같이, 제한 애퍼처 부재(14)는, 블랭킹 애퍼처 어레이(10)의 전극에 의해 빔 OFF의 상태가 되도록 편향된 각 빔을 차폐한다. 그리고 빔 ON이 되고 나서 빔 OFF가 될 때까지 제한 애퍼처 부재(14)를 통과한 빔이, 1 회분의 샷의 빔이 된다. 제한 애퍼처 부재(14)를 통과한 멀티빔(30a ~ 30e)은, 대물 렌즈(16)에 의해 초점이 합쳐져, 최종적으로 물면인 홀(80)의 관통홀의 형상이 상면(像面)인 마스크 블랭크스(24) 상에 축소 전사된다. 제한 애퍼처 부재(14)를 통과한 각 빔(멀티빔 전체)은, 편향기(18)에 의해 동일 방향으로 한꺼번에 편향되고, 각 빔의 마스크 블랭크스(24) 상의 각각의 조사 위치에 조사된다.
- [0017] 한 번에 조사되는 멀티빔은, 이상적으로는 애퍼처 부재(8)의 복수의 홀(80)의 배열 피치에 상술한 원하는 축소율을 곱한 피치로 배열되게 된다. 이 묘화 장치는, 샷 빔을 연속하여 순서대로 조사하는 래스터 스캔 방식으로 묘화 동작을 행하여, 원하는 패턴을 묘화할 때, 패턴에 따라 필요한 빔이 블랭킹 제어에 의해 빔 ON으로 제어된다. XY 스테이지(22)가 연속 이동하고 있을 시, 빔의 조사 위치가 XY 스테이지(22)의 이동에 추종하도록 편향기(18)에 의해 제어된다.
- [0018] 전자빔 묘화 장치의 각 부는 도시하지 않은 제어 장치에 의해 제어된다. 제어 장치는, 묘화 데이터에 대하여 복

수 단의 데이터 변환 처리를 행하여 장치 고유의 샷 데이터를 생성한다. 샷 데이터에는, 각 샷의 조사량 및 조사 위치 좌표 등이 정의된다. 제어 장치는, 각 샷의 조사량을 전류 밀도로 나누어 조사 시간(t)을 구하고, 대응하는 샷이 행해질 때, 조사 시간(t)만 빔 ON하도록, 블랭킹 애퍼처 어레이(10)의 대응하는 블랭커에 편향 전압을 인가한다. 원하는 조사 위치를 복수 회의 샷으로 분할하여 조사해도 된다.

[0019] 또한 제어 장치는, 샷 데이터가 나타내는 위치(좌표)에 각 빔이 편향되도록 편향량을 연산하고, 편향기(18)에 편향 전압을 인가한다. 이에 의해, 그 회에 샷되는 멀티빔이 한꺼번에 편향된다.

[0020] 이어서, 도 3 ~ 도 5를 이용하여 블랭킹 애퍼처 어레이(10)의 구성에 대하여 설명한다. 도 3은 블랭킹 애퍼처 어레이(10)의 구성을 나타내는 개념도, 도 4는 블랭킹 애퍼처 어레이(10)의 관통홀 형성 영역(100)의 상면도, 도 5는 도 4의 V-V선을 따른 종단면도이다. 또한 도 4에서는, 후술하는 고저항막(140)의 도시를 생략하고 있다.

[0021] 블랭킹 애퍼처 어레이(10)는, 멀티빔이 통과하는 복수의 관통홀(110)이 형성된 관통홀 형성 영역(100)과, 관통홀 형성 영역(100)의 주위에 마련된 제어 회로(150)와, 주연부에 마련된 패드부(160)를 구비하며, 이들은 기관(120)에 형성되어 있다. 또한 제어 회로(150)는 관통홀 형성 영역(100)의 주연부에 놓여진다고 한정된 것이 아니고, 블랭킹 애퍼처 어레이(10) 제작상 지장이 없는 범위에 배치해도 되고, 블랭킹 애퍼처 어레이(10)의 외부에 있어도 된다.

[0022] 기관(120)의 중앙부에 마련된 관통홀 형성 영역(100)에는, 애퍼처 부재(8)의 각 홀(80)의 배치 위치에 맞추어 복수의 관통홀(110)이 매트릭스 형상으로 배열되어 있다. 또한 관통홀 형성 영역(100)에는, 복수의 관통홀(110)의 각각에 대응하는 복수의 블랭커(101)가 매트릭스 형상으로 배열되어 있다. 블랭커(101)는, 전자빔을 편향시키는 편향기이며, 기관(120)에 형성된 관통홀(110)을 사이에 두고 대향하는 한 쌍의 그라운드 전극(102) 및 블랭킹 전극(104)을 가진다.

[0023] 제어 회로(150)는, 배선(152), 패드부(160), 및 도시하지 않은 외부 배선을 개재하여 외부 제어 장치로부터 블랭킹 제어 신호를 수신한다. 배선(152)은 MOS 트랜지스터의 형성 시에 형성되므로 패시베이션막의 아래에 배치되어 있다. 제어 회로(150)는, 수신한 블랭킹 제어 신호에 기초하여, 블랭킹 배선(106)을 개재하여 블랭킹 전극(104)에 전압을 인가하고, 블랭킹 편향을 행한다. 제어 회로(150)는, MOS 등으로 회로가 구성되고, 최종단에는 드라이버로서 CMOS 인버터가 마련된다. 또한 드라이버는 CMOS 인버터에 한정된 것이 아니고, 제어 신호에 기초하여 원하는 전압을 출력하는 것이면 된다.

[0024] 도 4에 나타내는 바와 같이, 관통홀 형성 영역(100)에는, 소정 간격을 두고 소정 방향(도면 중 상하 방향)으로 연장되는 복수의 그라운드 전극(102)이 마련되어 있다. 그라운드 전극(102)의 평면 형상은, 예를 들면, 소정 방향으로 연장되는 직선부(102a), 및 직선부(102a)로부터 연장 방향과 (수평 방향으로) 직교하는 방향으로 돌출하는 복수의 돌출부(102b)를 가지는 빗모양 형상으로 되어 있다. 이러한 형상에 의해, 전극 간에서의 전계의 누출을 억제할 수 있다. 돌출부(102b, 102b) 간(빗모양의 오목부)에는 블랭킹 전극(104)이 마련되어 있다. 그라운드 전극(102)의 직선부(102a)와 블랭킹 전극(104)의 사이에 관통홀(110)이 형성되어 있다.

[0025] 그라운드 전극(102, 102) 간에는, 그라운드 전극(102)과 평행하게 복수의 블랭킹 배선(106)이 연장되어 있으며, 각 블랭킹 배선(106)의 일단측은 제어 회로(150)에 접속되고, 타단측은 그라운드 전극(102)의 오목부측으로 구부러진 열쇠 모양의 평면 형상으로 되어 있고, 블랭킹 전극(104)에 접속되어 있다. 이러한 블랭킹 배선(106)을 개재하여, 제어 회로(150)로부터 블랭킹 전극(104)에 전압을 인가할 수 있다.

[0026] 그라운드 전극(102)은 그라운드 배선을 겸하고 있다.

[0027] 도 5에 나타내는 바와 같이, 블랭킹 애퍼처 어레이(10)는, 기관(120), 기관(120) 상에 마련된 층간 절연막(128), 층간 절연막(128) 상에 마련된 보호막(패시베이션막)(130)을 가진다. 기관(120)은, 실리콘층(122)과 실리콘층(126)의 사이에 실리콘 산화막(124)을 사이에 둔 SOI(Silicon On Insulator) 기관이지만, SOI 기관 이외의 기관이어도 된다.

[0028] 층간 절연막(128)은 예를 들면, TEOS(테트라에톡시실란)막을 이용할 수 있다. 보호막(130)은 예를 들면, 실리콘 질화막이다.

[0029] 관통홀 형성 영역(100)에서는, 보호막(130), 층간 절연막(128) 및 기관(120)을 관통한 관통홀(110)에 인접하여, 보호막(130) 상에 그라운드 전극(102) 및 블랭킹 전극(104)이 대향하여 배치된다. 블랭킹 전극(104)에 접속하는 블랭킹 배선(106)도 보호막(130) 상에 형성된다.

[0030] 또한, 관통홀 형성 영역(100)의 외측에서는, 실리콘층(126)에 제어 회로(150)를 구성하는 CMOS 트랜지스터 등이

형성된다. 또한 보호막(130) 상의 블랭킹 배선(106)과, CMOS 트랜지스터를 접속하는 콘택트부도 형성된다.

- [0031] 그라운드 전극(102), 블랭킹 전극(104), 블랭킹 배선, 그라운드 전극(102)에 접속된 그라운드 배선, 및 보호막(130)의 표면에는 고저항막(140)이 형성되어 있다. 고저항막(140)의 전기 저항값은, 그라운드 전극(102), 블랭킹 전극(104), 및 블랭킹 배선(106)보다 높고, 보호막(130) 및 층간 절연막(128)보다 낮아져 있다.
- [0032] 고저항막(140)의 전기 저항값은, 인접하는 블랭킹 배선(106) 또는 그라운드 전극(102), 블랭킹 전극(104)이 쇼트되지 않고, 또한 블랭킹 애퍼처 어레이(10)에 전자빔이 조사되었을 시에, 전자가 고저항막(140)을 개재하여 그라운드 전극(102)으로부터 유출되어, 음의 전하가 모이지 않을 정도의 값이다.
- [0033] 고저항막(140)의 전기 저항값은, 인접하는 블랭킹 배선(106) 또는 그라운드 전극(102), 블랭킹 전극(104)의 쇼트 방지를 위하여 100 kΩ 이상으로 하는 것이 바람직하고, 1 MΩ 이상으로 하는 것이 더 바람직하고, 10 MΩ 이상으로 하는 것이 더 바람직하다. 또한 고저항막(140)의 전기 저항값은, 전자가 고저항막(140)에 모이지 않고 그라운드 전극(102)으로부터 유출될 수 있도록 하기 위하여, 100 MΩ 이하로 하는 것이 바람직하다.
- [0034] 이러한 고저항막(140)을 적어도 보호막(130) 상 및 그라운드 전극(102)의 일부에 마련함으로써, 블랭킹 애퍼처 어레이(10)의 표면의 대전을 방지할 수 있다. 따라서 제어 회로(150)를 구성하는 CMOS 트랜지스터의 게이트 절연막의 정전 파괴를 방지할 수 있다. 또한 관통홀(110)을 통과하는 전자빔의 궤도가 변화되는 것을 방지하여, 묘화 정밀도를 향상시킬 수 있다. 또한 고저항막(140)을 블랭킹 전극(104) 또는 블랭킹 배선(106) 상에 형성해도, 인접하는 블랭킹 배선(106) 또는 그라운드 전극(102), 블랭킹 전극(104)이 쇼트되는 것이 방지된다.
- [0035] 고저항막(140)에는, 예를 들면, Au(금), Ag(은), Cu(동), Fe(철), Cr(크롬), CrN(질화 크롬), Ti(티탄), TiN(질화 티탄), TaN(질화 탄탈), TiC(탄화 티탄) 등의 금속 박막을 이용할 수 있다. 금속 박막은 그 막두께가 수십 nm 정도가 되면, 막두께의 감소에 수반하여 전기 저항값이 급격하게 높아진다. 도 6은, 그 일례로서 Ag 증착막의 막두께와 면저항의 관계를 나타낸다. 고저항막(140)에는 막두께가 수십 nm, 바람직하게는 수 nm의 금속 박막을 이용한다.
- [0036] 또한, 고저항막(140)의 재료로서는, 각종의 재질 상에 형성하는 것이 가능하고, 내마모성 또는 내부식성이 뛰어난 CrN이 적합하다.
- [0037] 블랭킹 애퍼처 어레이(10)의 제작에 있어서는, 우선 공지의 CMOS 프로세스에 의해 기판(120)에 제어 회로(150)를 구성하는 트랜지스터 등을 형성하고, 층간 절연막(128) 및 보호막(130)을 형성한다. 이어서, 기판(120)을 표면 및 이면으로부터 공지의 MEMS 프로세스를 이용하여 에칭하여 복수의 관통홀(110)을 형성한다.
- [0038] 이어서, Au 등의 전해 도금을 행하여, 보호막(130) 상에 그라운드 전극(102), 블랭킹 전극(104), 및 블랭킹 배선(106)을 형성한다.
- [0039] 이어서, 스퍼터링에 의해 막두께가 10 nm 이하의 박막의 고저항막(140)을 형성한다. 예를 들면, 도 7에 나타내는 바와 같이, 고저항막(140)을 섬 형상으로 성장시킨다. 이 박막 성장 양식은 VW(Volmer Weber) 모드라고도 불린다. 섬 간의 거리가 수십 nm 정도가 될 때까지 박막을 성장시킨다. 이와 같이 하여 고저항의 박막을 형성할 수 있다.
- [0040] CrN을 이용하여 섬 형상의 고저항막(140)을 형성했을 경우, X선 반사율법에 의해 측정된 고저항막(140)의 평균 막두께는 10 nm 이하인 것이 바람직하고, 5 nm 이하인 것이 더 바람직하고, 3 nm 이하인 것이 더 바람직하다. 평균 막두께의 하한값은, 전자빔이 조사되었을 시에, 전자가 모이지 않고 고저항막(140)을 개재하여 그라운드 전극(102)으로부터 유출할 수 있을 정도의 막두께이다.
- [0041] 고저항막(140)의 성막 영역은, 전자빔이 조사될 가능성이 있는 영역이다. 이것은, 애퍼처 부재(8)로부터의 전자빔의 출사각, 및 애퍼처 부재(8)로부터 블랭킹 애퍼처 어레이(10)까지의 거리에 의해 정해진다. 블랭킹 애퍼처 어레이(10) 중 비성막 영역을 보호 지그로 덮어, 고저항막(140)을 성막한다.
- [0042] 이와 같이, 블랭킹 애퍼처 어레이(10)의 표면의 대전을 방지하고, 또한 전극 또는 배선의 쇼트를 방지하는 고저항막(140)은, 간단하고 쉬운 방법으로 저비용으로 형성할 수 있다.
- [0043] 본 실시 형태에 의하면, 블랭킹 애퍼처 어레이(10)의 최표면에, 인접하는 배선 또는 전극을 쇼트시키지 않고, 또한 전자가 모이지 않고 그라운드 전극(102)으로부터 유출될 정도의 높은 전기 저항값을 가지는 고저항막(140)을 마련함으로써, 블랭킹 애퍼처 어레이(10)의 표면의 대전을 방지할 수 있다. 이에 의해, 제어 회로(150)를 구성하는 CMOS 트랜지스터의 게이트 절연막의 정전 파괴를 방지할 수 있다. 또한 관통홀(110)을 통과하는 전자

빔의 궤도 변화를 방지하여, 조사 위치 이탈 또는 디포커스를 억제하고, 패턴을 고정밀도로 묘화할 수 있다.

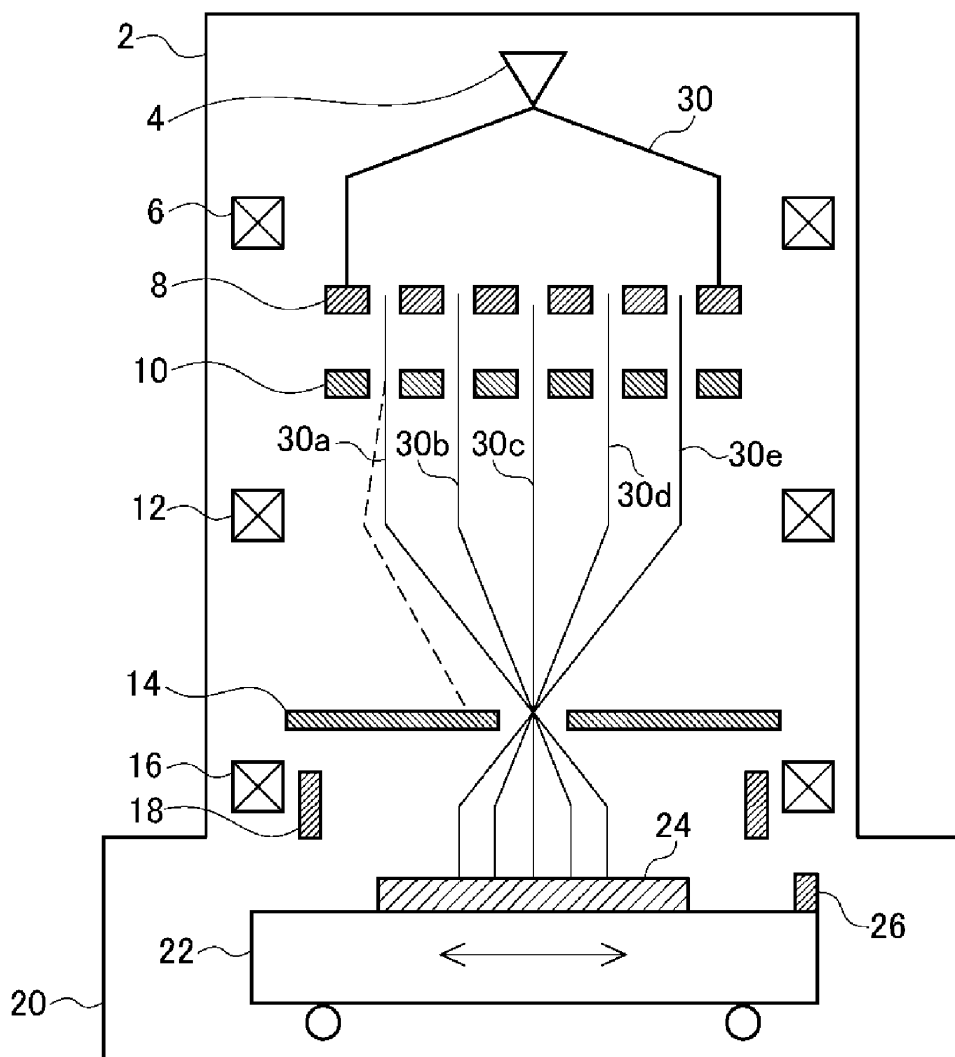
[0044] 도 5에서는, 고저항막(140)이 그라운드 전극(102) 또는 블랭킹 전극(104)의 측면에도 형성되도록 나타내져 있으나, 측면에는 형성되어 있지 않아도 된다.

[0045] 제어 회로(150)는 블랭킹 애퍼처 어레이(10)에 형성되어 있지 않아도 되고, 제어 회로(150)에 상당하는 회로부를 블랭킹 애퍼처 어레이(10)의 외부에 마련해도 된다.

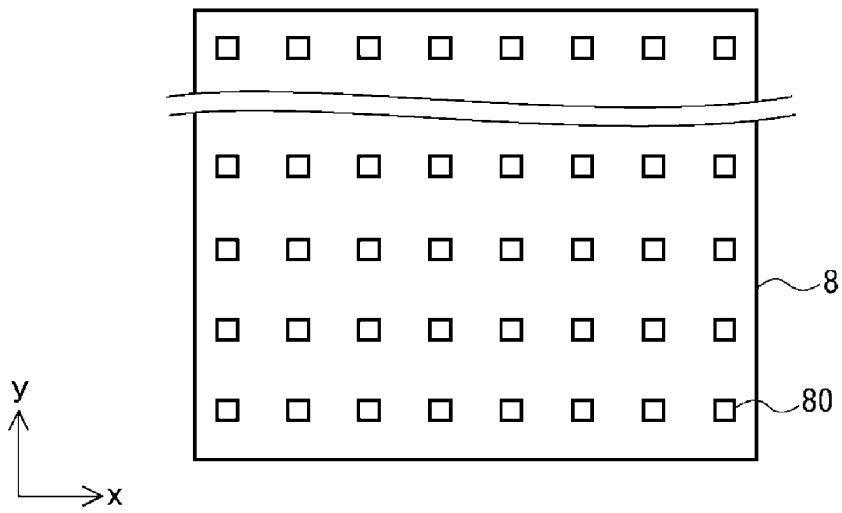
[0046] 또한, 본 발명은 상기 실시 형태 그대로 한정되는 것이 아니고, 실시 단계에서는 그 요지를 일탈하지 않는 범위에서 구성 요소를 변형하여 구체화할 수 있다. 또한 상기 실시 형태에 개시되어 있는 복수의 구성 요소의 적절한 조합에 의해, 각종의 발명을 형성할 수 있다. 예를 들면 실시 형태에 나타나는 전 구성 요소로부터 몇 가지 구성 요소를 삭제해도 된다. 또한, 상이한 실시 형태에 걸치는 구성 요소를 적절히 조합해도 된다.

도면

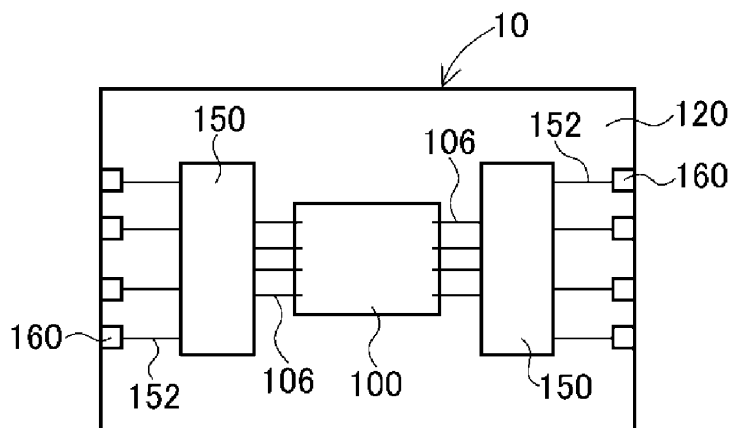
도면1



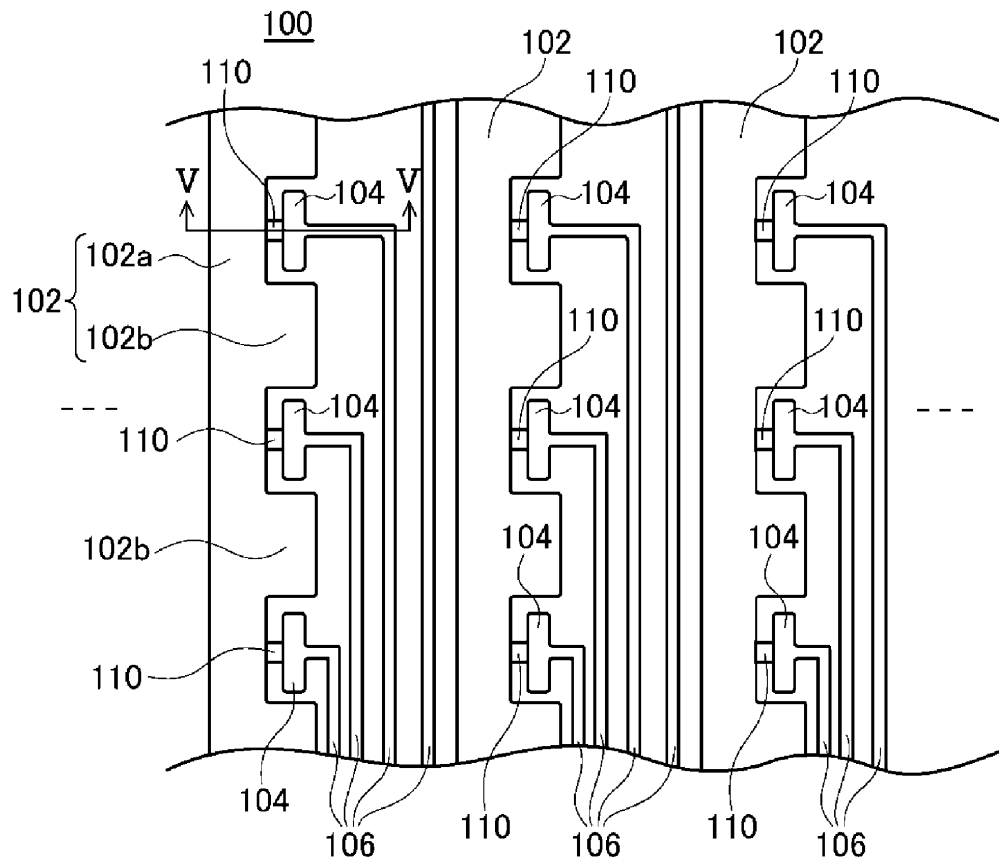
도면2



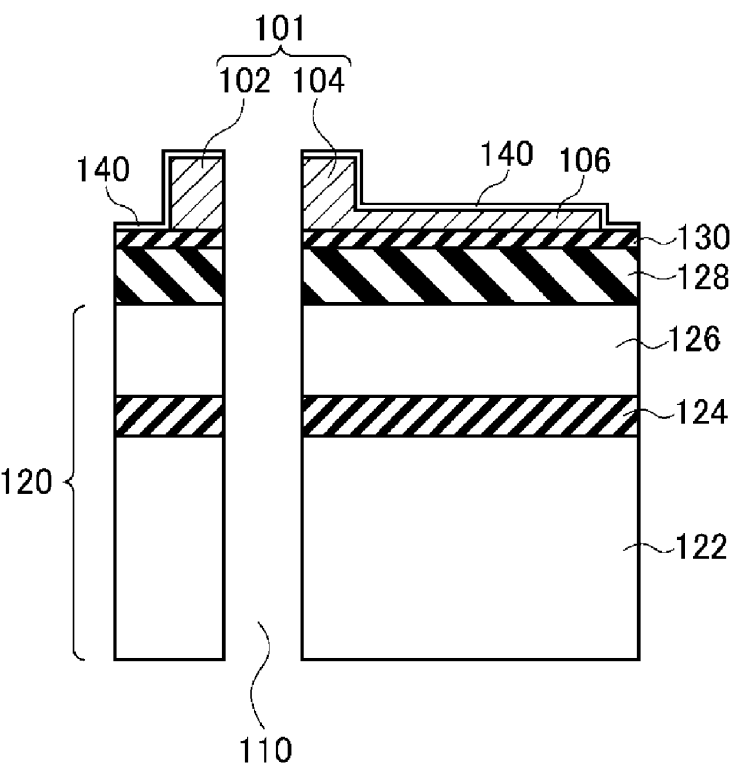
도면3



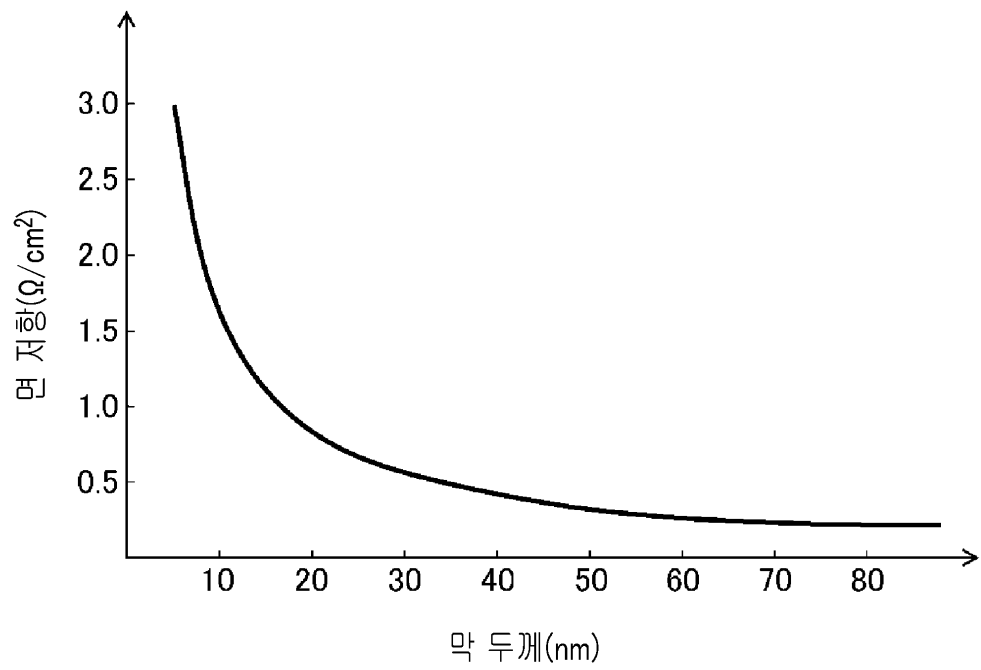
도면4



도면5



도면6



도면7

