



(21) 申请号 201710824613.0

(22) 申请日 2017.09.14

(65) 同一申请的已公布的文献号
申请公布号 CN 107888179 A

(43) 申请公布日 2018.04.06

(30) 优先权数据
2016-191234 2016.09.29 JP

(73) 专利权人 瑞萨电子株式会社
地址 日本东京

(72) 发明人 田边昭

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038
专利代理师 张小稳

(51) Int.Cl.

H03K 19/017 (2006.01)

H03K 19/0185 (2006.01)

(56) 对比文件

CN 101207120 A, 2008.06.25

US 2010073074 A1, 2010.03.25

JP 2012234593 A, 2012.11.29

US 2015092307 A1, 2015.04.02

US 2012176161 A1, 2012.07.12

US 2013219200 A1, 2013.08.22

审查员 宋朝

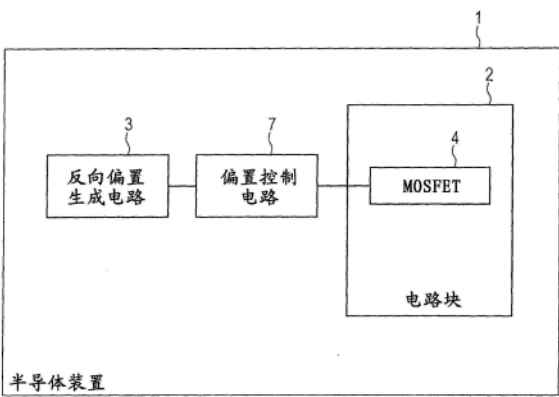
权利要求书5页 说明书14页 附图21页

(54) 发明名称

半导体装置

(57) 摘要

本公开涉及半导体装置。现有技术的反向偏置生成电路由于驱动功率降低以降低待机状态下的功耗而导致在操作状态和待机状态之间转变需要较长时间的问题。反向偏置生成电路输出预定电压。预定电压是待机模式下的衬底的反向偏置电压。偏置控制电路当电路块处于操作模式时存储电荷，当电路块从操作模式转变到待机模式时，将所存储的电荷供应给包括在电路块中的MOSFET的衬底，随后将反向偏置生成电路的输出供应给MOSFET的衬底。



1. 一种半导体装置,包括:

电路块,所述电路块包括至少MOSFET并具有两种工作模式,这两种工作模式即操作模式和待机模式;

电压生成电路,被配置为生成并输出预定输出电压;以及

偏置控制电路,耦合在所述电路块和所述电压生成电路之间并且被配置为从所述电压生成电路接收所述预定输出电压,并且所述偏置控制电路还被配置为在所述电路块处于所述操作模式时存储电荷,当所述电路块从所述操作模式转变到所述待机模式时,将所存储的电荷供应给包括在所述电路块中的所述MOSFET的衬底,随后将所述预定输出电压供应给所述MOSFET的所述衬底,所述偏置控制电路包括至少一个电容器,所述至少一个电容器被配置为在所述操作模式和所述待机模式下选择性地耦合到所述电压生成电路的输出,

其中所述预定输出电压是在所述待机模式下所述MOSFET的所述衬底的反向偏置电压。

2. 根据权利要求1所述的半导体装置,

其中所述电路块包括n型MOSFET和p型MOSFET,

其中所述电压生成电路包括:

所述电压生成电路的第一部分,该第一部分输出第一预定输出电压,所述第一预定输出电压是在所述待机模式下所述n型MOSFET的衬底的反向偏置电压;

所述电压生成电路的第二部分,该第二部分输出第二预定输出电压,所述第二预定输出电压是在所述待机模式下所述p型MOSFET的衬底的反向偏置电压,

其中所述偏置控制电路包括:

所述偏置控制电路的第一部分,该第一部分在所述电路块处于所述操作模式时存储电荷,当所述电路块从所述操作模式转变到所述待机模式时,将所存储的电荷供应给包括在所述电路块中的所述n型MOSFET的衬底,并随后将所述第一预定输出电压供应给所述n型MOSFET的衬底;以及

所述偏置控制电路的第二部分,该第二部分在所述电路块处于所述操作模式时存储电荷,当所述电路块从所述操作模式转变到所述待机模式时,将所存储的电荷供应给包括在所述电路块中的所述p型MOSFET的衬底,并随后将所述第二预定输出电压供应给所述p型MOSFET的衬底。

3. 根据权利要求1所述的半导体装置,

其中当所述电路块从所述待机模式转变到所述操作模式时,所述偏置控制电路将存储在所述MOSFET的所述衬底中的电荷供应给电容器,并且随后将所述MOSFET的所述衬底耦合到第二电压的供应源,所述第二电压是在所述操作模式下所述MOSFET的所述衬底的反向偏置电压。

4. 根据权利要求3所述的半导体装置,

其中所述偏置控制电路还包括第一开关和第二开关,所述电容器设置在第一节点和所述第二电压的供应源之间,所述第一开关被配置为选择性地打开或闭合所述第一节点和所述电压生成电路的输出之间的路径,所述第二开关被配置为选择性地将所述MOSFET的所述衬底耦合到所述电压生成电路、所述第一节点或所述第二电压的供应源。

5. 根据权利要求4所述的半导体装置,

其中,在所述操作模式中,所述第一开关打开所述路径,并且所述第二开关将所述

MOSFET的所述衬底耦合到所述第二电压的供应源，

其中，在接收到用于从所述操作模式转变到所述待机模式的指令时，所述第一开关闭合所述路径，并且所述第二开关首先将所述MOSFET的所述衬底耦合到所述第一节点，然后将所述MOSFET的所述衬底耦合到所述电压生成电路，以及

其中，在接收到从所述待机模式转变到所述操作模式的指令时，所述第一开关闭合所述路径，并且所述第二开关将所述MOSFET的所述衬底耦合到所述第一节点，随后所述第一开关打开所述路径，并且所述第二开关将所述MOSFET的所述衬底耦合到所述第二电压的供应源。

6. 根据权利要求3所述的半导体装置，

其中所述偏置控制电路还包括第一开关、第二开关和第三开关，所述电容器设置在第一节点和第二节点之间，所述第一开关被配置为选择性地将所述第一节点耦合到所述电压生成电路的输出或所述第二电压的供应源或者将所述第一节点置于开路状态，所述第二开关被配置为选择性地将所述MOSFET的所述衬底耦合到所述电压生成电路、所述第一节点或所述第二电压的供应源，所述第三开关被配置为选择性地将所述第二节点耦合到第三电压的供应源或所述第二电压的供应源。

7. 根据权利要求6所述的半导体装置，

其中，在所述操作模式中，所述第一开关将所述第一节点耦合到所述第二电压的供应源，所述第二开关将所述MOSFET的所述衬底耦合到所述第二电压的供应源，以及所述第三开关将所述第二节点耦合到所述第三电压的供应源，

其中，随后，所述第一开关被置于开路状态，所述第二开关保持将所述MOSFET的所述衬底耦合到所述第二电压的供应源，以及所述第三开关将所述第二节点耦合到所述第二电压的供应源，

其中，在接收到从所述操作模式转变到所述待机模式的指令时，所述第一开关维持在开路状态，所述第二开关将所述MOSFET的所述衬底耦合到所述第一节点，以及所述第三开关保持将所述第二节点耦合到所述第二电压的供应源，

其中，随后，所述第一开关维持在开路状态，所述第二开关将所述MOSFET的所述衬底耦合到所述电压生成电路，以及所述第三开关保持将所述第二节点耦合到所述第二电压的供应源，

其中，在接收到从所述待机模式转变到所述操作模式的指令时，所述第一开关维持在开路状态，所述第二开关将所述MOSFET的所述衬底耦合到所述第一节点，以及所述第三开关保持将所述第二节点耦合到所述第二电压的供应源，

其中，随后，所述第一开关将所述第一节点耦合到所述第二电压的供应源，所述第二开关将所述MOSFET的所述衬底耦合到所述第二电压的供应源，以及所述第三开关将所述第二节点耦合到所述第三电压的供应源，以及

其中，随后，所述第一开关被置于开路状态，所述第二开关保持将所述MOSFET的所述衬底耦合到所述第二电压的供应源，以及所述第三开关将所述第二节点耦合到所述第二电压的供应源。

8. 根据权利要求6所述的半导体装置，

其中，在所述操作模式中，所述第一开关将所述第一节点耦合到所述第二电压的供应

源,所述第二开关将所述MOSFET的所述衬底耦合到所述第二电压的供应源,以及所述第三开关将所述第二节点耦合到所述第三电压的供应源,

其中,随后,所述第一开关将所述第一节点耦合到所述电压生成电路的输出,所述第二开关保持将所述MOSFET的所述衬底耦合到所述第二电压的供应源,以及所述第三开关保持将所述第二节点耦合到所述第三电压的供应源,

其中,随后,所述第一开关被置于开路状态,所述第二开关保持将所述MOSFET的所述衬底耦合到所述第二电压的供应源,以及所述第三开关将所述第二节点耦合到所述第二电压的供应源,

其中,在接收到从所述操作模式转变到所述待机模式的指令时,所述第一开关维持在开路状态,所述第二开关将所述MOSFET的所述衬底耦合到所述第一节点,以及所述第三开关保持将所述第二节点耦合到所述第二电压的供应源,

其中,随后,所述第一开关维持在开路状态,所述第二开关将所述MOSFET的所述衬底耦合到所述电压生成电路,以及所述第三开关保持将所述第二节点耦合到所述第二电压的供应源,

其中,在接收到从所述待机模式转变到所述操作模式的指令时,所述第一开关将所述第一节点耦合到所述电压生成电路的输出,所述第二开关将所述MOSFET的所述衬底耦合到所述第二电压的供应源,以及所述第三开关将所述第二节点耦合到所述第三电压的供应源,以及

其中,随后,所述第一开关被置于开路状态,所述第二开关保持将所述MOSFET的所述衬底耦合到所述第二电压的供应源,以及所述第三开关将所述第二节点耦合到所述第二电压的供应源。

9. 根据权利要求2所述的半导体装置,

其中所述偏置控制电路的第一部分包括第一电容器,所述第一电容器被配置为选择性地耦合到所述电压生成电路的第一部分的输出,以及

其中所述偏置控制电路的第二部分包括第二电容器,所述第二电容器被配置为选择性地耦合到所述电压生成电路的第二部分的输出。

10. 一种半导体装置,包括:

多个电路块,所述多个电路块具有两种工作模式,这两种工作模式即操作模式和待机模式;

电压生成电路,其为所述电路块公共地设置并且被配置为生成并输出预定输出电压;以及

多个偏置控制电路,其为所述电路块分别设置并且被配置为从所述电压生成电路接收所述预定输出电压,

其中当选择了处于所述操作模式的相关联的电路块时,所述偏置控制电路各自存储从所述电压生成电路供应的电荷,当所述相关联的电路块从所述操作模式转变到所述待机模式时,将所存储的电荷供应给包括在所述相关联的电路块中的MOSFET的衬底,并且随后将所述预定输出电压供应给所述MOSFET的所述衬底,

其中所述电路块被各自分配不同的优先级,并且根据分配的优先级被选择,以及

其中所述预定输出电压是处于所述待机模式的所述MOSFET的所述衬底的反向偏置电

压。

11. 一种半导体装置, 包括:

多个电路块, 所述多个电路块具有两种工作模式, 这两种工作模式即操作模式和待机模式;

电压生成电路, 其为所述电路块公共地设置并且被配置为生成并输出预定输出电压; 以及

多个偏置控制电路, 其为所述电路块分别地设置并且被配置为从所述电压生成电路接收所述预定输出电压,

其中用于未使用的电路块的偏置控制电路在使用的电路块的操作模式中将所述电压生成电路的所述预定输出电压供应给第一衬底, 所述第一衬底是所述未使用的电路块中的MOSFET的衬底, 以及

其中当使用的电路块从所述操作模式转变到所述待机模式时, 用于所述使用的电路块的偏置控制电路将存储在所述第一衬底中的电荷供应给第二衬底, 并且随后将所述电压生成电路的预定输出电压供应给所述第二衬底, 所述第二衬底是所述使用的电路块中的MOSFET的衬底。

12. 根据权利要求11所述的半导体装置, 还包括:

公共布线, 为所述电路块公共地设置,

其中所述偏置控制电路各自包括第一开关和第二开关, 所述第一开关被配置为选择性地将包括在相关联的电路块中的MOSFET的衬底耦合到所述电压生成电路或第二电压的供应源或者将所述MOSFET的衬底置于开路状态, 所述第二开关被配置为选择性地将所述公共布线与在所述第一开关和所述MOSFET的衬底之间的路径中的节点耦合或解耦合, 以及

其中所述第二电压是处于所述操作模式的所述MOSFET的衬底的反向偏置电压。

13. 根据权利要求12所述的半导体装置,

其中, 当所述使用的电路块处于所述操作模式时, 在用于所述未使用的电路块的偏置控制电路中, 所述第一开关将所述MOSFET的衬底耦合到所述电压生成电路, 而所述第二开关阻止将所述节点耦合到所述公共布线, 或者在用于所述使用的电路块的偏置控制电路中, 所述第一开关将所述MOSFET的衬底耦合到所述第二电压的供应源, 而所述第二开关阻止将所述节点耦合到所述公共布线, 以及

其中, 当所述使用的电路块接收从所述操作模式转变到所述待机模式的指令时, 在用于所述未使用的电路块的偏置控制电路中, 所述第一开关被置于开路状态, 并且所述第二开关将所述节点耦合到所述公共布线, 或者在用于所述使用的电路块的偏置控制电路中, 所述第一开关被置于开路状态, 而所述第二开关将所述节点耦合到所述公共布线, 并且随后所述第一开关将所述MOSFET的衬底耦合到所述电压生成电路, 而所述第二开关阻止将所述节点耦合到所述公共布线。

14. 一种半导体集成电路装置, 包括:

电路块, 所述电路块包括形成在SOI衬底中的第一晶体管;

第一电压生成电路, 经由第一节点耦合到所述电路块并且供应第一电压; 以及

第一电容器, 经由所述第一节点与所述电路块并联地耦合到所述第一电压生成电路,

其中所述电路块包括操作模式和待机模式,

其中所述第一晶体管包括第一源极区域、第一漏极区域、布置在所述SOI衬底中的绝缘膜以及布置在所述绝缘膜下方的第一区域，

其中当所述电路块处于所述操作模式时，所述第一电压被供应给所述第一电容器用于在所述第一电容器中存储电荷，

其中当所述电路块处于所述待机模式时，所述第一电压被供应给所述第一晶体管的所述第一区域，以及

其中当所述电路块从所述操作模式改变为所述待机模式时，所述第一电容器的电荷被供应给所述第一晶体管的所述第一区域。

15. 根据权利要求14所述的半导体集成电路装置，

其中所述待机模式的操作速度低于所述操作模式的操作速度。

16. 根据权利要求15所述的半导体集成电路装置，还包括：

第二电压生成电路，经由第二节点耦合到所述电路块并且供应第二电压；以及

第二电容器，经由所述第二节点与所述电路块并联地耦合到所述第二电压生成电路，

其中所述电路块包括第二晶体管，

其中所述第二晶体管包括第二源极区域、第二漏极区域以及形成在所述第二晶体管的阱区域中的第二区域，

其中当所述电路块处于所述操作模式时，所述第二电压被供应给所述第二电容器用于在所述第二电容器中存储电荷，

其中当所述电路块处于所述待机模式时，所述第二电压被供应给所述第二晶体管的所述第二区域，以及

其中当所述电路块从所述操作模式改变为所述待机模式时，所述第二电容器的电荷被供应给所述第二晶体管的所述第二区域。

17. 根据权利要求16所述的半导体集成电路装置，

其中所述第一电压的值不同于所述第二电压的值。

18. 根据权利要求17所述的半导体集成电路装置，还包括：

电压调节器，耦合到所述第一电压生成电路和第二电压生成电路并且供应第三电压，

其中当所述电路块处于所述操作模式时，所述第三电压被供应给所述第一晶体管的所述第一区域，以及

其中所述第一电压的值高于所述第三电压的值。

19. 根据权利要求18所述的半导体集成电路装置，

其中当所述电路块处于所述操作模式时，地电压被供应给所述第二晶体管的所述第二区域，以及

其中所述第二电压的值低于所述地电压的值。

半导体装置

[0001] 相关申请的交叉引用

[0002] 2016年9月29日提交的日本专利申请No.2016-191234的公开内容(包括说明书、附图和摘要)通过引用整体并入本文。

技术领域

[0003] 本发明涉及半导体装置。例如,本发明涉及能够控制MOSFET(金属-氧化物-半导体场效应晶体管)的反向偏置电压的半导体装置。

背景技术

[0004] 已知一种用于控制衬底的反向偏置电压以便根据需要改变MOSFET的阈值电压以减少待机状态下的泄漏电流的技术。

发明内容

[0005] 然而,用于生成反向偏置电压的现有技术电路的驱动功率降低,以减少待机状态所需的功率。这导致在操作状态和待机状态之间转变需要很长时间的问题。

[0006] 其它问题和新颖特征将从下面的描述和附图中变得明显。

[0007] 在本发明的一个方面,偏置控制电路在电路块处于操作模式的同时存储所供应的电荷。当电路块从操作模式转变到待机模式时,偏置控制电路将所存储的电荷供应给包括在电路块中的MOSFET衬底,然后将电压生成电路的输出供应给MOSFET衬底。

[0008] 本发明的上述方面减少了在操作状态和待机状态之间转变所需的时间。

附图说明

[0009] 图1是例示根据本发明的第一实施例的半导体装置的构造的图示;

[0010] 图2是例示根据本发明的第二实施例的半导体装置的构造的图示;

[0011] 图3A是例示体MOSFET的构造的图示,并且图3B是例示SOI(绝缘体上硅)MOSFET的构造的图示;

[0012] 图4A是例示体NMOS晶体管的反向偏置电压 v_{sub} 与阈值电压 V_{TH} 之间的关系的图示,图4B是例示体PMOS晶体管的反向偏置电压 v_{sub} 与阈值电压 V_{TH} 之间的关系的图示,图4C是例示SOI NMOS晶体管的反向偏置电压 v_{sub} 与阈值电压 V_{TH} 之间的关系的图示,以及图4D是例示SOI PMOS晶体管的反向偏置电压 v_{sub} 与阈值电压 V_{TH} 之间的关系的图示;

[0013] 图5A是例示SOI NMOS晶体管在关断状态下的源极-漏极泄漏电流 I_{off} 与反向偏置电压 v_{sub} 之间的示例性关系的图示,以及图5B是例示SOI PMOS晶体管在关断状态下的源极-漏极泄漏电流 I_{off} 与反向偏置电压 v_{sub} 之间的示例性关系的图示;

[0014] 图6是例示反向偏置电压控制方法的示例的图示;

[0015] 图7是例示电路块的操作状态和待机状态下的反向偏置电压控制的示例的图示;

[0016] 图8是例示VBBGEN(p)中包含的电路的构造的图示;

- [0017] 图9A和图9B是例示VBBGEN(p)的操作的图示；
- [0018] 图10是例示VBBGEN(n)中包含的电路的构造的图示；
- [0019] 图11A和图11B是例示VBBGEN(n)的操作的图示；
- [0020] 图12是例示根据第二实施例的N偏置控制电路和P偏置控制电路的构造的图示；
- [0021] 图13是例示图12所示的电路的操作的时序图；
- [0022] 图14是例示根据本发明的第三实施例的N偏置控制电路的构造的图示；
- [0023] 图15是例示图14所示的电路的示例性操作的时序图；
- [0024] 图16是例示图14所示的电路的另一示例性操作的时序图；
- [0025] 图17是例示根据本发明的第五实施例的偏置控制电路的图示；
- [0026] 图18是例示当对所有块公共的电容器进行充电时在节点vncapn中发生的时间电压改变的图示；
- [0027] 图19是例示当对用于各个功能块的电容器依次充电时在节点vncap中发生的时间电压改变的图示；
- [0028] 图20是例示用于向芯片内的各种功能块施加不同偏置电压的衬底的示例性截面结构的图示；
- [0029] 图21是例示根据本发明的第六实施例的偏置控制电路的图示；和
- [0030] 图22是例示图21所示的电路的操作的时序图。

具体实施方式

- [0031] 现在将参考附图描述本发明的实施例。
- [0032] 第一实施例
- [0033] 图1是例示根据本发明的第一实施例的半导体装置1的构造的图示。
- [0034] 电路块2具有两种操作状态,即操作模式和待机模式。电路块2包括MOSFET 4。
- [0035] 反向偏置生成电路3输出预定电压。预定电压是待机模式下的衬底的反向偏置电压。
- [0036] 偏置控制电路7在电路块2处于操作模式时存储电荷。当电路块2从操作模式转变到待机模式时,偏置控制电路7将存储的电荷供应给包括在电路块2中的MOSFET 4的衬底,然后将反向偏置生成电路3的输出供应给MOSFET的衬底。
- [0037] 如上所述,当电路块从操作模式转变到待机模式时,第一实施例首先向MOSFET的衬底供应电路块处于操作模式时存储的电荷。结果,从操作状态转变到待机状态所需的时间要比反向偏置生成电路的输出最初被供应给MOSFET的衬底所需要的时间短。
- [0038] 第二实施例
- [0039] 图2是例示根据本发明的第二实施例的半导体装置10的构造的图示。
- [0040] 半导体装置10是能够控制反向偏置电压的微型计算机。如图2所示,半导体装置10包括功能块,诸如CPU(中央处理单元)核12、SRAM(静态随机存取存储器)14、闪速存储器16、定时器18和接口20。这些功能块被安装在IC(集成电路)芯片上。
- [0041] 半导体装置10还包括电压调节器22和反向偏置生成电路28。
- [0042] 电压调节器22从芯片的外部接收电源电压VIN,将电源电压转换为内部电压VDD,并且将内部电压VDD供应到功能块。在随后的描述中,电压调节器22可以被称为VDD供应源。

[0043] 反向偏置生成电路28包括NMOS反向偏置生成电路(VBBGEN(n))24和PMOS反向偏置生成电路(VBBGEN(p))26。

[0044] VBBGEN(n)24从内部电压VDD生成反向偏置电压(-VBB)并将所生成的反向偏置电压(-VBB)供应到每个功能块中的NMOS晶体管的衬底PSUB。

[0045] VBBGEN(p)26从内部电压VDD生成反向偏置电压(VDD+VBB),并将所生成的反向偏置电压(VDD+VBB)供应给每个功能块中的PMOS晶体管的衬底NSUB。

[0046] MOSFET的阈值电压 V_{TH} 可以根据反向偏置电压 v_{sub} 来改变。对于NMOS晶体管,将反向偏置电压 v_{sub} 设为负以增加阈值电压 V_{TH} 的绝对值。对于PMOS晶体管,将反向偏置电压 v_{sub} 相反地变为正,以增加阈值电压 V_{TH} 的绝对值。

[0047] 图3A是例示体MOSFET的构造的图示。

[0048] 关于体MOSFET,其源极-漏极端子通过p-n结耦合到衬底。因此,可接受的反向偏置电压设置被限制在没有p-n结正向电流流动的范围。

[0049] 图3B是例示SOI(绝缘体上硅)MOSFET的构造的图示。

[0050] 关于SOI MOSFET,其源极-漏极端子通过氧化硅膜层与衬底绝缘。因此,可接受的反向偏置电压设置不限于没有p-n结正向电流流动的范围。

[0051] 图4A是例示体NMOS晶体管的反向偏置电压 v_{sub} 与阈值电压 V_{TH} 之间的关系的图示。图4B是例示体PMOS晶体管的反向偏置电压 v_{sub} 与阈值电压 V_{TH} 之间的关系的图示。图4C是例示SOI NMOS晶体管的反向偏置电压 v_{sub} 与阈值电压 V_{TH} 之间的关系的图示。图4D是例示SOI PMOS晶体管的反向偏置电压 v_{sub} 与阈值电压 V_{TH} 之间的关系的图示。

[0052] 如图4A至图4D所示,SOI和体之间的比较示出:前者相对于反向偏置电压 v_{sub} 的阈值电压 V_{TH} 改变量更大,即 dV_{TH}/dv_{sub} 更大,并且能够更大量地改变反向偏置电压 v_{sub} 。因此,作为一个整体,SOI能够将阈值电压 V_{TH} 改变比体的更大的量。

[0053] 图5A是例示SOI NMOS晶体管在关断状态下的源极-漏极泄漏电流 I_{off} 与反向偏置电压 v_{sub} 之间的示例性关系的图示。

[0054] 图5B是例示SOI PMOS晶体管在关断状态下的源极-漏极泄漏电流 I_{off} 与反向偏置电压 v_{sub} 之间的示例性关系的图示。

[0055] 关于MOSFET,导致泄漏电流的主要因素是亚阈值泄漏电流。对于NMOS晶体管,可以通过使反向偏置电压 v_{sub} 为负来减小泄漏电流 I_{off} 。对于PMOS晶体管,可以通过使反向偏置电压 v_{sub} 为正来减小泄漏电流 I_{off} 。

[0056] 这里,泄漏电流 I_{off} 相对于反向偏置电压 v_{sub} 的改变呈指数改变。因此,当反向偏置电压 v_{sub} 在0V附近时,泄漏电流 I_{off} 的改变量增加,并且随着反向偏置电压 v_{sub} 的增加而减小。

[0057] 图6是例示反向偏置电压控制方法的示例的图示。NMOS晶体管N1和PMOS晶体管P1分别形成在p阱和n阱中。P阱耦合到专用反向偏置生成电路(VBBGEN(n))24,并且n阱耦合到专用反向偏置生成电路(VBBGEN(p))26。

[0058] NMOS晶体管N1的反向偏置电压和PMOS晶体管P1的反向偏置电压同时改变。

[0059] 当半导体装置中的电路块操作时,即处于操作状态时,PMOS晶体管P1的阈值电压 V_{TH} 和NMOS晶体管N1的阈值电压 V_{TH} 被设置为低。这增大了切换速度以实现高速操作。同时,当半导体装置中的电路块停止时,即处于待机状态时,PMOS晶体管P1的阈值电压 V_{TH} 和NMOS

晶体管N1的阈值电压 V_{TH} 被设置为高。这降低了泄漏电流以提供低功耗。当如上所述动态地控制反向偏置电压时,可以实现高速操作和低功耗两者。

[0060] 图7是例示电路块的操作状态和待机状态下的反向偏置电压控制的示例的图示。假设电路块的电源电压为VDD。

[0061] 在操作状态下,当NMOS晶体管N1的反向偏置电压被设置为0V并且PMOS晶体管P1的反向偏置电压被设置为VDD时,NMOS晶体管的阈值电压 V_{TH} 的绝对值和PMOS晶体管的阈值电压 V_{TH} 的绝对值都降低。这增加了导通电流以提供高速操作。

[0062] 接下来,在待机状态下,将NMOS晶体管N1的反向偏置电压设置为(-VBB),并将PMOS晶体管P1的反向偏置电压设置为(VDD+VBB)。

[0063] 以上导致NMOS晶体管的阈值电压 V_{TH} 的绝对值和PMOS晶体管的阈值电压 V_{TH} 的绝对值的增加。由于这降低了泄漏电流,因此可以降低待机状态下的电流消耗。

[0064] 然而,为了提供对反向偏置电压的实际控制,需要快速改变反向偏置电压,以减少在操作状态和待机状态之间转变所需的时间。无论是体的还是SOI的,MOSFET衬底都可以看作电容器电路。因此,为了减少转变时间,衬底需要高速充电和放电。对于这种高速充电和放电,反向偏置生成电路的驱动功率相对于衬底的电容足够高是必要的。

[0065] 通常,当通过使用在单个电源电压VDD上操作的电路来使NMOS晶体管的反向偏置电压 v_{nsub} 为负时,使用电荷泵电路或其它DC-DC转换器来从VDD生成反向偏置电压 v_{nsub} 。同时,PMOS晶体管的反向偏置电压 v_{psub} 需要等于或高于VDD。通过使用DC-DC转换器生成反向偏置电压 v_{nsub} 、 v_{psub} 。因此,需要增加DC-DC转换器的驱动功率。当例如使用作为一种DC-DC转换器的电荷泵电路来增加驱动功率时,需要提高切换频率或增加泵的容量。然而,这两种方法都增加了电荷泵电路的功耗。当通过控制反向偏置电压来降低待机状态下的功耗时,电荷泵电路的功耗的增加会产生不利影响。因此,现有技术的反向偏置生成电路导致由于驱动功率降低以降低待机状态下的功耗而在操作状态和待机状态之间转变需要较长时间的问题。

[0066] 本实施例可以解决以上问题。

[0067] 图8是例示包含在VBBGEN(p) 26中的电路的构造的图示。

[0068] VBBGEN(p) 26是一般的电荷泵电路。VBBGEN(p) 26从输入电压VDD生成正电压(VDD+VBB),并从输出端子VOUT1输出正电压(VDD+VBB)。

[0069] VBBGEN(p) 26包括开关SWC11、SWC12、SWC13,电容器C11、C12以及用于供应电压VDD的VDD供应源22。

[0070] 开关SWC11将节点ND11耦合到端子g或端子v。端子g耦合到地GND。端子v耦合到节点ND14。电容器C11设置在节点ND11和节点ND12之间。开关SWC12打开或闭合节点ND12和节点ND14之间的路径。VDD供应源22设置在节点ND14和地GND之间。开关SWC13打开或闭合节点ND12和节点ND13之间的路径。电容器C12设置在节点ND13和地GND之间。节点ND13耦合到输出端子VOUT1。

[0071] 图9A和图9B是例示VBBGEN(p) 26的操作的图示。

[0072] 首先,如图9A所示,开关SWC11被设置到g,开关SWC12接通,并且开关SWC13断开。这将电压VDD存储在电容器C11上。

[0073] 接下来,如图9B所示,开关SWC11被设置到v,开关SWC12断开,并且开关SWC13接通。

然后在电容器C11的负端子(-)处显现电压VDD。因此,电容器C11的正端子(+)处的电压为 $2 * VDD$ 。也就是说,输出端子VOUT1输出两倍于输入电压VDD的电压。

[0074] 图8例示了从输入电压VDD生成 $2 * VDD$ 的电压的电路。当 $VBB > VDD$ 时,可以通过串联耦合多个该电路来生成高电压,例如 $3 * VDD$ 或 $4 * VDD$ 。当 $VBB < VDD$ 时,可以通过降低该电路的输出电压来生成期望的 $VBB + VDD$ 电压。

[0075] 图10是例示包含在VBBGEN(n) 24中的电路的构造的图示。

[0076] VBBGEN(n) 24是一般的电荷泵电路。VBBGEN(n) 24从输入电压VDD生成负电压(-VBB),并从输出端子VOUT2输出负电压(-VBB)。

[0077] VBBGEN(n) 24包括开关SWC21、SWC22、SWC23,电容器C21、C22以及用于供应电压VDD的VDD供应源22。

[0078] 开关SWC21将节点ND21耦合到端子g或端子v。端子g耦合到地GND。端子v耦合到VDD供应源22。电容器C21设置在节点ND21和节点ND22之间。开关SWC22打开或闭合节点ND22和地GND之间的路径。VDD供应源22设置在端子v和地GND之间。开关SWC23打开或闭合节点ND22与节点ND23之间的路径。电容器C22设置在节点ND23和地GND之间。节点ND23耦合到输出端子VOUT2。

[0079] 图11A和图11B是例示VBBGEN(n) 24的操作的图示。

[0080] 首先,如图11A所示,开关SWC21被设置到v,开关SWC22接通,并且开关SWC23断开。这将电压VDD存储在电容器C21上。

[0081] 接下来,如图11B所示,开关SWC21被设置到g,开关SWC22断开,并且开关SWC23接通。然后电容器C21的正端子处的电压为0V。因此,电容器C21的负端子处的电压为(-VDD)。也就是说,输出端子VOUT2输出与输入电压VDD具有相反符号的电压。

[0082] 图10例示了从输入电压VDD生成 $(-1) * VDD$ 的电压的电路。当 $VBB > VDD$ 时,可以通过串联耦合多个该电路来生成高电压,例如 $(-2) * VDD$ 或 $(-3) * VDD$ 。当 $VBB < VDD$ 时,可以通过减小该电路的输出电压来生成期望的-VBB电压。

[0083] 图12是例示根据第二实施例的N偏置控制电路NC1和P偏置控制电路PC1的构造的图示。

[0084] 图12示出了分别表示包括在半导体装置的多个电路块中的多个PMOS晶体管和NMOS晶体管的PMOS晶体管P1和NMOS晶体管N1。

[0085] N偏置控制电路NC1设置在VBBGEN(n) 24和NMOS晶体管N1的衬底PSUB之间。P偏置控制电路PC1设置在VBBGEN(p) 26和PMOS晶体管P1的衬底NSUB之间。N偏置控制电路NC1和P偏置控制电路PC1同时操作。

[0086] N偏置控制电路NC1包括开关SWN1、电容器NCAP和开关SWN2。

[0087] 开关SWN1将节点vncap耦合到端子a或端子b。端子a是开放的。端子b耦合到NMOS反向偏置生成电路24的输出。

[0088] 电容器NCAP设置在节点vncap和地GND之间。

[0089] 开关SWN2将衬底PSUB耦合到端子p、端子q和端子r之一。端子p耦合到VBBGEN(n) 24的输出。端子q耦合到节点vncap。端子r耦合到地GND。

[0090] P偏置控制电路PC1包括开关SWP1、电容器PCAP和开关SWP2。

[0091] 开关SWP1将节点vpcap耦合到端子a或端子b。端子a是开放的。端子b耦合到PMOS反

向偏置生成电路26的输出。

[0092] 电容器PCAP设置在节点vpcap和地GND之间。

[0093] 开关SWP2将衬底NSUB耦合到端子p、端子q和端子r之一。端子p耦合到PMOS反向偏置生成电路26的输出。端子q耦合到节点vpcap。端子r耦合到地GND。

[0094] 为了简单起见,假设电容器PCAP的电容等于衬底NSUB的寄生电容,并且电容器NCAP的电容等于衬底PSUB的寄生电容。衬底PSUB和衬底NSUB的电压可以通过电容器NCAP和电容器PCAP快速改变。

[0095] 图13是例示图12所示的电路的操作的时序图。

[0096] 假设VBBGEN (n) 24的输出电压始终为-VBB,并且VBBGEN (p) 26的输出电压始终为(VDD+VBB)。

[0097] 假设在时刻t0的初始状态下,半导体装置中的电路块处于操作状态,并且衬底PSUB和电容器NCAP的电压均等于0V的地电压,并且进一步衬底NSUB和电容器PCAP的电压都等于电源电压VDD。

[0098] 当CPU核12将开关SWN1和开关SWP1设置到b时,VBBGEN (n) 24耦合到电容器NCAP,并且VBBGEN (p) 26耦合到电容器PCAP。当CPU核12将开关SWN2和开关SWP2设置到r时,衬底PSUB耦合到地GND,并且衬底NSUB耦合到电源VDD。结果,尽管衬底PSUB的电压维持在0V,但是电容器NCAP逐渐被充电到-VBB,并且尽管衬底NSUB的电压维持在VDD,但是电容器PCAP逐渐地被充电到(VDD+VBB)。这种充电所需的时间由VBBGEN (n) 24和VBBGEN (p) 26的最大输出电流来管理。

[0099] 当在时刻t1,电容器NCAP的电压为-VBB并电容器PCAP的电压为(VDD+VBB)时,VBBGEN (n) 24和VBBGEN (p) 26自动停止以终止充电。

[0100] 在时刻t2,半导体装置从外部接收用于从操作模式转变到待机模式的转变指令。在这种情况下,CPU核12将开关SWN1和开关SWP1设置到a,并将开关SWN2和开关SWP2设置到q。这使VBBGEN (n) 24与电容器NCAP解耦合,VBBGEN (p) 26与电容器PCAP解耦合,并将衬底PSUB耦合到电容器NCAP以及将衬底NSUB耦合到电容器PCAP。然后通过存储在电容器NCAP中的负电荷使衬底PSUB快速充电,使得衬底PSUB与电容器NCAP处于相同的电压($-1/2 * VBB$)。此外,通过存储在电容器PCAP中的正电荷使衬底NSUB快速充电,使得衬底NSUB与电容器PCAP处于相同的电压($VDD+1/2 * VBB$)。这种操作所需的时间由开关SWN2和开关SWP2的导通电阻以及衬底PSUB、电容器NCAP、衬底NSUB和电容器PCAP的电容确定。然而,通过充分降低开关SWN2和开关SWP2的导通电阻,可以比通过VBBGEN (n) 24对衬底PSUB充电以及通过VBBGEN (p) 26对衬底NSUB充电时更迅速地对衬底PSUB和衬底NSUB充电。在这种情况下,衬底PSUB的电压被改变为目标电压的一半值($-1/2 * VBB$),并且衬底NSUB的电压被改变为目标电压的一半值($VDD+1/2 * VBB$)。然而,如前面提及的,由于MOSFET泄漏电流的衬底电压依赖性在0V附近表现出最大的改变,所以这种改变量将提供泄漏电流降低的充分效果。

[0101] 当在时刻t3,CPU核12进一步将开关SWN1和开关SWP1设置到a并将开关SWN2和开关SWP2设置到p时,VBBGEN (n) 24耦合到衬底PSUB,并且VBBGEN (p) 26耦合到衬底NSUB。结果,衬底PSUB逐渐地被充电到(-VBB),并且衬底NSUB逐渐被充电到(VDD+VBB)。

[0102] 当在时刻t4,衬底PSUB的电压为(-VBB)且衬底NSUB的电压为(VDD+VBB)时,VBBGEN (n) 24和VBBGEN (p) 26自动停止以终止充电。然后将电路块置于待机状态。

[0103] 在时刻t5,半导体装置从外部接收用于从操作模式转变到待机模式的转变指令。CPU核12将开关SWN1和开关SWP1设置到a,并将开关SWN2和开关SWP2设置到q。这将衬底PSUB重新耦合到电容器NCAP,并将衬底NSUB重新耦合到电容器PCAP。然后将衬底PSUB的负电荷快速重新生成到电容器NCAP,使得衬底PSUB处于与电容器NCAP相同的电压 $(-3/4 * VBB)$ 。此外,衬底NSUB中的正电荷被快速地重新生成到电容器PCAP,使得衬底NSUB与电容器PCAP处于相同的电压 $(VDD+3/4 * VBB)$ 。这种重新生成操作所需的时间由开关SWN2和开关SWP2的导通电阻以及衬底PSUB、衬底NSUB、电容器NCAP和电容器PCAP的电容确定。因此,以与时刻t2处执行的操作相同的高速度执行重新生成操作。

[0104] 在时刻t6,CPU核12进一步将开关SWN1和开关SWP1设置到b,并将开关SWN2和开关SWP2设置到r。

[0105] 然后衬底PSUB被快速放电至0V,并且衬底NSUB被快速放电至VDD。该放电操作所需的时间由开关SWN2和开关SWP2的导通电阻以及衬底PSUB和衬底NSUB的电容确定。因此,放电操作也以高速执行。此外,电容器NCAP被重新耦合到VBBGEN (n) 24并逐渐被充电到 $(-VBB)$,并且电容器PCAP被重新耦合到VBBGEN (p) 26并逐渐地被充电到 $(VDD+VBB)$ 。

[0106] 当在时刻t7,衬底PSUB被放电到0V,并且衬底NSUB被放电到VDD时,电路块被置于操作状态。

[0107] 当在时刻t8,电容器NCAP的电压为 $(-VBB)$ 并且电容器PCAP的电压为 $(VDD+VBB)$ 时,VBBGEN (n) 24和VBBGEN (p) 26自动停止以终止充电。

[0108] 时刻t8的状态与时刻t1的状态相同。随后,为了处理目的,重复由时刻t1到时刻t8的状态形成的周期。

[0109] 在时刻t5,衬底PSUB重新生成电荷到电容器NCAP,并且衬底NSUB重新生成电荷到电容器PCAP。现在将本实施例与其中例如通过电机生成的功率被重新生成到电容器的情况进行比较。在这种情况下,由于电机生成电动势,即使在电机和电容器之间没有电位差,也可以重新生成电荷。然而,在本实施例中,衬底PSUB和衬底NSUB是无源元件,并且不生成电动势。因此,本实施例在时刻t3和时刻t5之间的时段期间,使衬底PSUB与电容器NCAP解耦合并且使衬底NSUB与电容器PCAP解耦合,以便生成衬底与电容器之间的电位差。以这种方式,本实施例实现重新生成。

[0110] 如上所述,为了在时刻t2转变到待机状态期间对衬底PSUB和衬底NSUB进行充电,本实施例使用电容器NCAP和电容器PCAP而不是VBBGEN (n) 24和VBBGEN (p) 26。因此,可以快速完成充电,而不用考虑VBBGEN (n) 24和VBBGEN (p) 26的电流驱动能力。此外,在时刻t5,衬底PSUB的电荷被重新生成到电容器NCAP,并且衬底NSUB的电荷被重新生成到电容器PCAP。这降低了VBBGEN (n) 24和VBBGEN (p) 26的功耗。

[0111] 现在将描述VBBGEN (n) 24的电功率。

[0112] 当VBBGEN (n) 24被假设为一般的电荷泵电路时,VBBGEN (n) 24的内部电压维持在 $(-VBB)$,而与充电目标(例如,电容器NCAP)的电压无关。因此,与内部电压和电容器NCAP的电压之间的差相当的能量被将VBBGEN (n) 24耦合到电容器NCAP的开关SWN1消耗。例如,在电容器NCAP要从0V充电到 $(-VBB)$ 的情况下,如果电容器NCAP的电容为 C_{cap} ,则从VBBGEN (n) 24输出的电功率P1和存储在电容器NCAP中的电功率P2由以下等式表达。

[0113] $P1 = C_{cap} * VBB^2$

[0114] $P2 = (1/2) * C_{cap} * VBB^2$

[0115] 从VBBGEN (n) 24输出的电功率是存储在电容器NCAP中的电功率的两倍。从VBBGEN (n) 24输出的电功率的一半被电容器NCAP和VBBGEN (n) 24之间的布线电阻消耗。

[0116] 假设VBBGEN (n) 24的功率效率Effb是恒定的, 即其内部损耗与其电功率输出成比例。如图13的时序图所示的VBBGEN (n) 24操作的功耗在时刻t0与时刻t1之间为P3, 在时刻t3与时刻t4之间为P4以及在时刻t6与时刻t8之间为P5。

[0117] $P3 = C_{cap} * VBB^2 / Effb$

[0118] $P4 = (1/2) * C_{cap} * VBB^2 / Effb$

[0119] $P5 = (1/4) * C_{cap} * VBB^2 / Effb$

[0120] 也就是说, 本实施例在时刻t0与时刻t1之间的初始时间间隔期间消耗了P3的电功率, 但是在时刻t1与时刻t8之间的后续周期期间消耗了P6的电功率。

[0121] $P6 = (3/4) * C_{cap} * VBB^2 / Effb$

[0122] 同时, 现有技术的方法在每个周期期间消耗了P3的电功率。因此, 根据本实施例的VBBGEN (n) 24的功耗降低到在使用现有技术方法期间的功耗的四分之三。原因是在时刻t5执行重新生成操作。

[0123] VBBGEN (p) 26的功耗也可以减少到使用现有技术方法期间的功耗的四分之三。

[0124] 第三实施例

[0125] 尽管以下仅描述了如何控制NMOS晶体管N1的反向偏置电压, 但是可以以与下面描述的相同的方式来控制PMOS晶体管P1的反向偏置电压。

[0126] 图14是例示根据本发明的第三实施例的N偏置控制电路NC1的构造的图示。

[0127] 图14示出了表示包括在半导体装置的多个电路块中的多个NMOS晶体管的NMOS晶体管N1。

[0128] N偏置控制电路NC1设置在VBBGEN (n) 24和NMOS晶体管N1的衬底PSUB之间。

[0129] N偏置控制电路NC1包括开关SWN1、电容器NCAP、开关SWN2和开关SWN3。

[0130] 开关SWN1将节点vncap耦合到端子a、端子b和端子c之一。端子a是开放的。端子b耦合到VBBGEN (n) 24的输出。端子c耦合到地GND。

[0131] 电容器NCAP设置在节点vncap和节点vncapb之间。

[0132] 开关SWN2将衬底PSUB耦合到端子p、端子q和端子r之一。端子p耦合到VBBGEN (n) 24的输出。端子q耦合到节点vncap。端子r耦合到地GND。

[0133] 开关SWN3将节点vncapb耦合到端子x或端子y。端子x耦合到VDD供应源22。端子y耦合到地GND。

[0134] 为了简单起见, 假设电容器NCAP的电容等于衬底PSUB的寄生电容。允许节点vncapb的电压在地GND和VDD之间转变, 以便使电容器NCAP用作电荷泵来代替VBBGEN (n) 24。

[0135] 图15是例示图14所示的电路的示例性操作的时序图。

[0136] 假设VBBGEN (n) 24的输出电压(-VBB) 等于(-VDD)。

[0137] 假设在时刻t0的初始状态下, 半导体装置中的电路块处于操作状态, 并且衬底PSUB和电容器NCAP的电压均等于0V的地电压。

[0138] 当CPU核12将开关SWN1设置到c, 将开关SWN2设置到r以及将开关SWN3设置到x时, 电容器NCAP耦合到VDD供应源22, 并且衬底PSUB耦合到地GND。这使得衬底PSUB的电压维持

在0V,但是逐渐地将电容器NCAP充电到VDD。这种充电所需的时间由VBBGEN (n) 24和VBBGEN (p) 26的最大输出电流来管理。这种充电所需的时间由VDD供应源22的输出电流来管理。一般来说,正偏置的VDD供应源22在电流供应能力和功率效率方面高于负偏置的VBBGEN (n) 24。因此,本实施例能够以比第二实施例更高的速度和更低的功耗对电容器NCAP充电。

[0139] 当在时刻t1,节点vncapb的电压为VDD时,充电终止。

[0140] 在时刻t2,CPU核12将开关SWN1设置到a,将开关SWN2设置到r,并将开关SWN3设置到y。这将节点vncapb的电压设置为0V,并将节点vncap的电压设置为(-VBB),同时维持电容器NCAP的电荷。

[0141] 在时刻t3,半导体装置从外部接收用于从操作模式转变到待机模式的转变指令。在这种情况下,CPU核12将开关SWN1设置到a,将开关SWN2设置到q,并将开关SWN3设置到y。这将衬底PSUB耦合到电容器NCAP。电容器NCAP的负电荷然后快速对衬底PSUB充电,使得衬底PSUB和电容器NCAP的电压为 $(-1/2) * VBB$ 。这种充电所需的时间由开关SWN2的导通电阻以及衬底PSUB和电容器NCAP的电容确定。然而,当开关SWN2的导通电阻降低到足够低的水平时,可以以比由VBBGEN (n) 充电时更高的速度对衬底PSUB进行充电。在这种情况下,衬底PSUB的电压改变为目标电压的一半的值,即 $(-1/2) * VBB$ 。然而,由于MOSFET泄漏电流的衬底PSUB电压依赖性在0V附近表现出最大的改变,所以这种改变量将提供泄漏电流降低的充分效果。

[0142] 当在时刻t4,CPU核12将开关SWN1设置到a,将开关SWN2设置到p,并将开关SWN3设置到y时,VBBGEN (n) 24耦合到衬底PSUB。然后将衬底PSUB逐渐充电至(-VBB)。

[0143] 当在时刻t5,衬底PSUB的电压等于VBB时,VBBGEN (n) 24自动停止以终止充电。这将电路块置于待机状态。

[0144] 在时刻t6,半导体装置从外部接收用于从待机模式转变到操作模式的转变指令。当CPU核12将开关SWN1设置到a,将开关SWN2设置到q,并将开关SWN3设置到y时,衬底PSUB被重新耦合到电容器NCAP。然后将衬底PSUB的负电荷快速重新生成到电容器NCAP,使得衬底PSUB和电容器NCAP处于相同的电压,即 $(-3/4) * VBB$ 。这种重新生成操作所需的时间由开关SWN2的导通电阻以及衬底PSUB和电容器NCAP的电容确定。因此,以与在t2时刻处执行的操作相同的高速度执行重新生成操作。

[0145] 在时刻t7,CPU核12还将开关SWN1设置到c,将开关SWN2设置到r,并将开关SWN3设置到x。然后将衬底PSUB快速放电至0V。该放电操作所需的时间由开关SWN2的导通电阻和衬底PSUB的电容确定。因此,放电操作也以高速执行。此外,节点vncap耦合到地GND,并且节点vncapb耦合到VDD供应源22并再次被充电到VDD。

[0146] 当在时刻t8将衬底PSUB放电到0V时,半导体装置中的电路块被置于操作状态。

[0147] 当在时刻t9,节点vncapb的电压为VDD时,电容器NCAP的充电终止。

[0148] 在时刻t10,CPU核12进一步将开关SWN1设置到a,将开关SWN2设置到r,并将开关SWN3设置到y。在维持电容器NCAP的电荷的同时,再次将节点vncapb的电压设置为0V,并将节点vncap的电压设置为(-VBB)。

[0149] 时刻t10的状态与时刻t2的状态相同。随后,为了处理目的,重复由时刻t2到时刻t10的状态形成的周期。

[0150] 现在将描述反向偏置电压的电功率,如第二实施例的情况。在这种情况下,除了

VBBGEN(n) 24的电功率之外,还考虑到VDD供应源22的电功率。供应正偏置的VDD供应源22的效率比VBBGEN(n)的高。这里,假设VDD供应源22的效率为Effd。应该注意的是Effd>Effb。

[0151] 在图15的时序图中指示的操作期间,VBBGEN(n) 24和VDD供应源22的功耗在时刻t0和时刻t1之间为P7,在时刻t4和时刻t5之间为P8,以及在时刻t7和时刻t9之间为P9。

[0152] $P7 = C_{cap} * VDD^2 / Effd$

[0153] $P8 = (1/2) * C_{cap} * VBB^2 / Effb$

[0154] $P9 = (1/4) * C_{cap} * VDD^2 / Effd$

[0155] 也就是说,由于Effd>Effb且VDD=VBB,P7低于在第二实施例中的时刻t0和时刻t1之间的初始时间间隔期间的P1,并且功耗P10低于在第二实施例中的时刻t2和时刻t10之间的后续周期期间的P6。

[0156] $P10 = C_{cap} * VBB^2 * ((1/2) * Effb + (1/4) * Effd)$

[0157] 如上所述,本实施例通过使用高效的VDD供应源实现充电。因此,本实施例将功耗降低到比第二实施例更低的水平。

[0158] 第四实施例

[0159] 图16是例示图14所示的电路的另一示例性操作的时序图。

[0160] 这里,与第三实施例的情况相同,假设VBBGEN(n) 24的输出电压(-VBB)等于(-VDD)。

[0161] 在时刻t0,假设半导体装置中的电路块处于操作状态,并且假设衬底PSUB和电容器NCAP的电压都等于0V的地电压。

[0162] 当CPU核12将开关SWN1设置到c,将开关SWN2设置到r,并将开关SWN3设置到x时,VDD供应源22耦合到电容器NCAP,并且衬底PSUB耦合到地GND。这导致衬底PSUB的电压维持在0V,但是逐渐地将节点vncapb充电到VDD。这种充电所需的时间由VDD供应源22的最大输出电流来管理。通常,正偏置的VDD供应源22在电流供应能力和功率效率方面高于负偏置的VBBGEN(n)。因此,本实施例能够以比第二实施例更高的速度和更低的功耗对电容器NCAP充电。

[0163] 当在时刻t1,节点vncapb的电压为VDD时,充电终止。

[0164] 在时刻t2,CPU核12将开关SWN1设置到b。这将使节点vncap充电至(-VBB)。

[0165] 当在时刻t3,节点vncap的电压为(-VBB)时,充电终止。结果,电容器NCAP上,即节点vncapb和节点vncap之间存储了2*VDD的电压。

[0166] 在时刻t4,CPU核12将开关SWN1耦合到a并将开关SWN3耦合到y。结果,节点vncap的电压为(-2*VBB)。

[0167] 在时刻t5,半导体装置从外部接收用于从操作模式转变到待机模式的转变指令。在这种情况下,CPU核12将开关SWN1耦合到a,将开关SWN2耦合到q,并将开关SWN3耦合到y。这将衬底PSUB耦合到电容器NCAP。电容器NCAP的负电荷然后快速地对衬底PSUB充电,使得衬底PSUB和电容器NCAP处于相同的电压,即(-VBB)。这种充电操作所需的时间由开关SWN2的导通电阻以及衬底PSUB和电容器NCAP的电容确定。然而,当开关SWN2的导通电阻降低到足够低的水平时,衬底PSUB可以以比由VBBGEN(n) 24充电的更高的速度被充电。与第二和第三实施例形成鲜明对比,本实施例能够通过仅使用来自电容器NCAP的电荷将衬底PSUB充电到(-VBB)。这进一步增加了衬底PSUB中可能的电压改变的速度。结果,本实施例产生显着的

泄漏电流降低效果。

[0168] 当时刻t6充电终止时,CPU核12将开关SWN1耦合到a,将开关SWN2耦合到p,并将开关SWN3耦合到y。这使衬底PSUB与电容器NCAP解耦合,并将衬底PSUB耦合到VBBGEN(n) 24。

[0169] 在时刻t7,半导体装置从外部接收用于从待机模式转变到操作模式的转变指令。CPU核12然后将开关SWN1耦合到b,将开关SWN2耦合到r,并将开关SWN3耦合到x。这将衬底PSUB快速放电到0V,同时将节点vncapb充电到VDD。

[0170] 当在时刻t8,衬底PSUB被放电到0V时,半导体中的电路块被置于操作状态。

[0171] 在时刻t9,节点vncapb被充电到VDD。

[0172] 在时刻t10,CPU核12将开关SWN1耦合到a,将开关SWN2耦合到r,并将开关SWN3耦合到y。这又将节点vncapb的电压设置为0V,将节点vncap的电压设置为 $(-2 * VBB)$,同时维持电容器NCAP的电荷。

[0173] 时刻t10的状态与时刻t4的状态相同。随后,为了处理目的,重复由时刻t4到时刻t10的状态形成的周期。

[0174] 与第二和第三实施例形成鲜明对比的是,本实施例在时刻t5在电容器NCAP中存储VDD电压的两倍,因此能够通过仅使用电容器NCAP的电荷来将衬底PSUB的电压改变为 $(-VBB)$ 。结果,本实施例产生比第二和第三实施例更大的泄漏电流降低效果。

[0175] 第五实施例

[0176] 图17是例示根据本发明的第五实施例的偏置控制电路的图示。

[0177] 在第五实施例中,为半导体芯片中的每个功能块提供具有电容器的偏置控制电路。功能块例如是CPU 12、SRAM 14、闪速存储器16和定时器18。

[0178] 半导体装置包括分别用于CPU核12、SRAM 14、闪速存储器16和定时器18的偏置控制电路NX1、NX2、NX3、NXn。

[0179] 偏置控制电路NX1包括开关SWN11、电容器NCAP11和开关SWN21。

[0180] 开关SWN11将节点vncap1耦合到端子a或端子b。端子a是开放的。端子b耦合到VBBGEN(n) 24的输出。电容器NCAP11设置在节点vncap1和地GND之间。开关SWN21将SRAM 14中的NMOS晶体管的衬底PSUB耦合到端子p、端子q和端子r之一。端子p耦合到VBBGEN(n) 24的输出。端子q耦合到节点vncap1。端子r耦合到地GND。

[0181] 偏置控制电路NX2包括开关SWN12、电容器NCAP12和开关SWN22。

[0182] 开关SWN12将节点vncap2耦合到端子a或端子b。端子a是开放的。端子b耦合到VBBGEN(n) 24的输出。电容器NCAP12设置在节点vncap2和地GND之间。开关SWN22将CPU核12中的NMOS晶体管的衬底PSUB耦合到端子p、端子q和端子r之一。端子p耦合到VBBGEN(n) 24的输出。端子q耦合到节点vncap2。端子r耦合到地GND。

[0183] 偏置控制电路NX3包括开关SWN13、电容器NCAP13和开关SWN23。

[0184] 开关SWN13将节点vncap3耦合到端子a或端子b。端子a是开放的。端子b耦合到VBBGEN(n) 24的输出。电容器NCAP13设置在节点vncap3和地GND之间。开关SWN23将闪速存储器16中的NMOS晶体管的衬底PSUB耦合到端子p、端子q和端子r之一。端子p耦合到VBBGEN(n) 24的输出。端子q耦合到节点vncap3。端子r耦合到地GND。

[0185] 偏置控制电路NXn包括开关SWN1n、电容器NCAP1n和开关SWN2n。

[0186] 开关SWN1n将节点vncapn耦合到端子a或端子b。端子a是开放的。端子b耦合到

VBBGEN(n) 24的输出。电容器NCAP1n设置在节点vncapn和地GND之间。开关SWN2n将闪存存储器16中的NMOS晶体管的衬底PSUB耦合到端子p、端子q和端子r之一。端子p耦合到VBBGEN(n) 24的输出。端子q耦合到节点vncapn。端子r耦合到地GND。

[0187] 为功能块16、12、14、18公共地设置VBBGEN(n) 24以输出偏置电压(-VBB)。

[0188] 偏置控制电路NX1-NXn中的每一个以与第二、第三或第四实施例相结合描述的方式控制相关联的电路块。这种控制至少包括下面描述的处理。

[0189] 当选择了相关联的电路块时,偏置控制电路NX1-NXn在相关联的电路块处于操作模式的同时各自存储从VBBGEN(n) 24供应的电荷。当相关联的电路块从操作模式转变到待机模式时,偏置控制电路NX1-NXn各自将所存储的电荷供应给相关联的电路块中包括的MOSFET的衬底,然后使VBBGEN(n) 24将其输出供应给衬底。偏置控制电路NX1-NXn被分配不同的优先级并根据分配的优先级选择偏置控制电路NX1-NXn。

[0190] 如果芯片中包含多个电源域,并且多个电源域可以被接通/断开并被设置为不同的电源电压设置,则优选地,每个电源域都设置有自己的电容器。

[0191] 参考图13,在时刻t0和时刻t1之间的时段期间,电容器NCAP、PCAP由VBBGEN(n) 24和VBBGEN(p) 26进行充电。然而,由于VBBGEN(n) 24和VBBGEN(p) 26的驱动能力有限,这种充电需要大量时间。即使在时刻t1之前的电容器NCAP、PCAP如图13所示未完全充电的时间点处,电容器NCAP耦合到衬底PSUB且电容器PCAP耦合到衬底NSUB,但是由于衬底PSUB、NSUB中每一个的电压改变量小,所以不能完全产生上述实施例的上述效果。

[0192] 鉴于上述情况,本实施例对于每个块使用单独的电容器,并且向块分配不同的优先级,以便按照从最高优先级块到最低优先级块的顺序对电容器进行充电。因此,只有高优先级块可以快速被充电。衬底的电荷同时重新生成到电容器,而不考虑优先级。

[0193] 待机状态下的泄漏电流导致芯片上某些功能块出现问题,而不导致其它功能块的问题。在待机状态下的泄漏电流对于具有小的总体泄漏电流的功能块或者不需要进入待机状态的功能块是没有问题的,因为尽管泄漏电流大,但可以使整个功能块断电。

[0194] 图17所示的功能块具有以下描述的特性。

[0195] SRAM 14由于其存储数据并且不能被断电而具有大的泄漏电流。闪存存储器16可以被断电。CPU核12包括少量的SRAM,但是CPU核12的主要部分可以被断电。定时器18具有小的泄漏电流。

[0196] 从上述可以看出,最高优先级被分配给SRAM 14的泄漏电流的减小。因此,耦合到SRAM 14的电容器NCAP11应该被优先充电。

[0197] 图18是例示当对所有块公共的电容器充电时在节点vcapn中发生的时间电压改变的图示。

[0198] 更具体地,图18例示了当耦合到所有功能块的偏置控制电路中包括的电容器NCAP被充电时,耦合到电容器NCAP的一端的节点vncapn中的电压改变。

[0199] 图19是例示当用于各个功能块的电容器依次被充电时在节点vncapn中发生的时间电压改变的图示。

[0200] 更具体地,图19例示了当耦合到所选择的功能块的偏置控制电路中包括的电容器NCAP被充电时,耦合到电容器NCAP的一端的节点vncapn中的电压改变。按照从最高优先级功能块到最低优先级功能块的顺序依次选择功能块。

[0201] 通常,SRAM的衬底的电容不高于整个芯片的电容的1/10。因此,根据本实施例,对耦合到SRAM的电容器的充电所需的时间可以减少到对公共耦合到所有块的电容器进行充电所需的时间的1/10或更小。

[0202] 图20是例示用于向芯片内的功能块施加不同偏置电压的衬底的示例性截面结构的图示。

[0203] 使用P型支撑衬底。分离成各个功能块的多个深n阱设置在P型支撑衬底中。

[0204] (VDD+VBB)的电压被施加到图20所示的左块中的深n阱。施加到NMOS晶体管和PMOS晶体管的反向偏置电压分别为(-VBB)和(VDD+VBB)。

[0205] VDD的电压被施加到图20所示的右块中的深n阱。施加到NMOS晶体管和PMOS晶体管的反向偏置电压分别为0V和VDD。

[0206] 如上所述,可以通过使用深n阱在同一支撑衬底上设置不同的反向偏置电压区域。

[0207] 第六实施例

[0208] 图21是例示根据本发明的第六实施例的偏置控制电路的图示。

[0209] 第六实施例为芯片中的每个功能块提供单独的电容器CAP,并且包括公共衬底布线CSUB和开关SWN4i ($i=1$ 至 n)。公共衬底布线CSUB将各个块中的衬底短路。开关SWN4i设置在衬底PSUBi和公共衬底布线CSUB之间。虽然芯片包括各种功能块,但是可以根本不使用某个功能块。在这种情况下,未使用的功能块被断电,但是维持衬底的电容。因此,未使用的功能块的衬底电容用作电容器CAP。

[0210] 如图21所示,开关SWN4i将未使用的功能块中的衬底PSUBi耦合到公共衬底布线CSUB。然后,将未使用的功能块用作具有高优先级的功能块的电容器以用于反向偏置电压控制。

[0211] 如上所述,当将未使用的功能块的衬底电容用作电容器时,即使没有用于反向偏置电压的专用电容器是可用的,也可以通过使用电容器来高速地控制反向偏置电压。这也节省了用于反向偏置电压的专用电容器的芯片面积。

[0212] 偏置控制电路NLk能够将包括在相关联的电路块中的MOSFET的衬底选择性地耦合到VBBGEN(n) 24或地GND,或者将衬底置于开路状态。

[0213] 开关SWN4i能够选择性地到包括在相关联的电路块中的MOSFET的衬底的路径中的节点Lk耦合到公共衬底布线CSUB或从公共衬底布线CSUB解耦合。

[0214] 在使用的电路块的操作模式中,未使用的电路块的偏置控制电路(指定为NXi)使用开关SWN3i以将VBBGEN(n)的输出供应给作为未使用的电路块中的MOSFET的衬底的PSUBi。

[0215] 当使用的电路块从操作模式转变到待机模式时,使用的电路块的偏置控制电路(指定为NXj)使用开关SWN4i、SWN4j和公共衬底布线CSUB来将存储在PSUBi中的电荷供应给作为包括在使用的电路块中的MOSFET的衬底的第二衬底。

[0216] 图22是例示图21所示的电路的操作的时序图。假设VBBGEN(n) 26的输出电压总是(-VBB),并且衬底PSUB1的电容与衬底PSUBn的电容相等。还假设SRAM 14是使用的电路块,并且定时器18是未使用的电路块。也就是说, $i=1$ 且 $j=n$ 。

[0217] 假设在时刻 t_0 的初始状态下,衬底PSUB1的电压 v_{psub1} 和衬底PSUBn的电压 v_{psubn} 均等于0V的地电压。

[0218] 当CPU核12将开关SWN31设置到c1,将开关SWN41设置到y1,将开关SWN3n设置到bn,并将开关SWN4n设置到yn时,VBBGEN(n) 24耦合到衬底PSUBn,并且衬底PSUB1耦合到地GND。在此时段期间,SRAM 14处于操作状态,并且衬底PSUB1的电压维持在0V。定时器18处于充电状态,使衬底PSUBn逐渐充电至(-VBB)。这种充电所需的时间由VBBGEN(n) 24的最大输出电流来管理。

[0219] 当在时刻t1,衬底PSUBn的电压为(-VBB)时,VBBGEN(n) 24自动停止以终止充电。

[0220] 在时刻t2,半导体装置接收使SRAM 14从操作状态转变到待机状态的指令。在这种情况下,CPU核12将开关SWN31设置到a1,将开关SWN41设置到x1,将开关SWN3n设置到an,并将开关SWN4n设置到xn。这使得VBBGEN(n) 24与衬底PSUBn解耦合,并且通过公共衬底布线CSUB将衬底PSUB1耦合到衬底PSUBn。然后通过存储在衬底PSUBn中的负电荷使衬底PSUB1快速充电,使得衬底PSUB1的电压 v_{psub1} 和衬底PSUBn的电压 v_{psubn} 都等于 $(-1/2) * VBB$ 。这种操作所需的时间由开关SWN41和开关SWN4n的导通电阻以及衬底PSUB1和衬底PSUBn的电容确定。然而,与衬底PSUB1由VBBGEN(n) 24充电相比,通过充分降低导通电阻,可以更快速地对衬底PSUB1充电。

[0221] 在时刻t3,CPU核12进一步将开关SWN31设置到b1,将开关SWN41设置到y1,将开关SWN3n设置到an,并将开关SWN4n设置到yn。这将VBBGEN(n) 24耦合到衬底PSUB1并逐渐地将衬底PSUB1充电到(-VBB)。

[0222] 当在时刻t4,衬底PSUB1的电压为(-VBB)时,VBBGEN(n) 24自动停止以终止充电。

[0223] 在时刻t5,半导体装置接收使SRAM 14从待机状态转变到操作状态的指令。CPU核12将开关SWN31设置到a1,将开关SWN41设置到x1,将开关SWN3n设置到an,并将开关SWN4n设置到xn。这将衬底PSUB1重新耦合到衬底PSUBn。然后将衬底PSUB1的负电荷快速重新生成到衬底PSUBn,使得衬底PSUB1的电压 v_{psub1} 和衬底PSUBn的电压 v_{psubn} 都等于 $(-3/4) * VBB$ 。这种重新生成操作所需的时间由开关SWN41和开关SWN4n的导通电阻以及衬底PSUB1和衬底PSUBn的电容确定。因此,以与在时刻t2执行的操作相同的高速度执行重新生成操作。

[0224] 在时刻t6,CPU核12将开关SWN31设置到c1,将开关SWN41设置到y1,将开关SWN3n设置到bn,并将开关SWN4n设置到yn。这将衬底PSUB1快速放电到0V。这种放电操作所需的时间由开关SWN41和开关SWN4n的导通电阻以及衬底PSUB1的电容确定。因此,放电操作也以高速执行。衬底PSUBn耦合到VBBGEN(n) 24并逐渐地再次充电到(-VBB)。

[0225] 当在时刻t7,衬底PSUB1被放电到0V时,电路块被置于操作状态。

[0226] 当在时刻t8,衬底PSUBn的电压为(-VBB)时,VBBGEN(n) 24自动停止以终止充电。

[0227] 时刻t8的状态与时刻t1的状态相同。随后,为了处理目的,重复由时刻t1到时刻t8的状态形成的周期。

[0228] 虽然已经以特定实施例对本发明的发明人作出的本发明进行了详细描述,但是本发明不限于前述实施例。本领域技术人员应当理解,在不脱离本发明的精神和范围的情况下,可以进行各种修改。

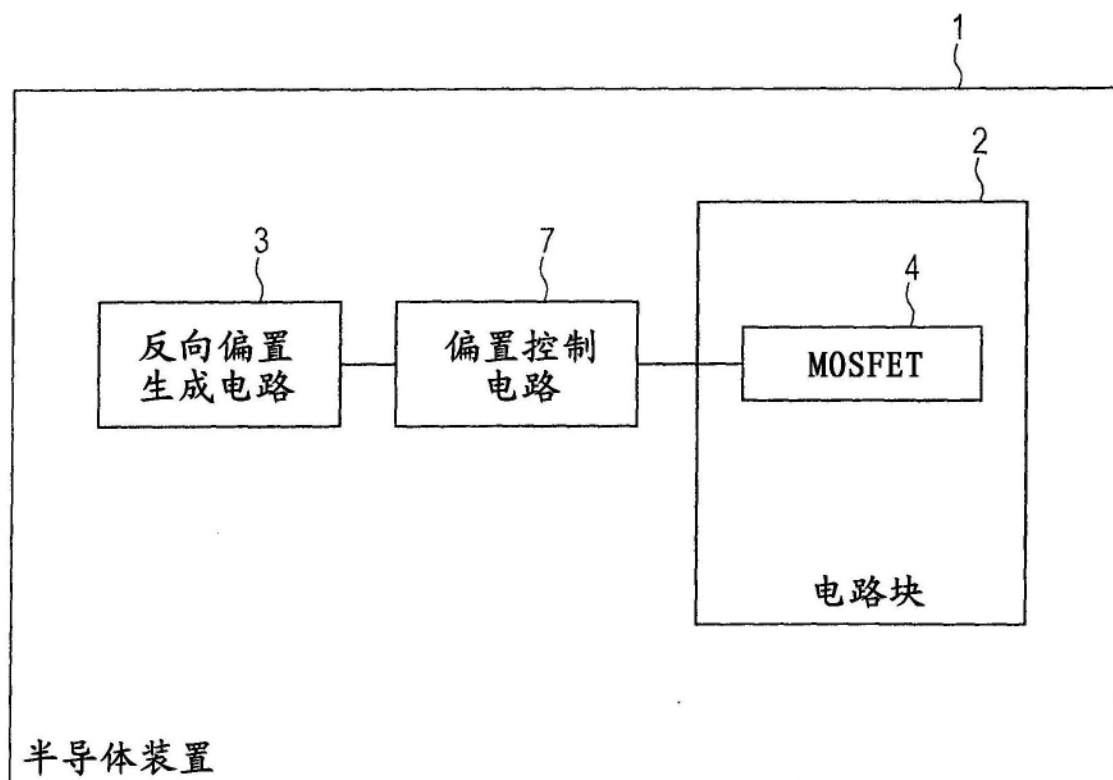


图1

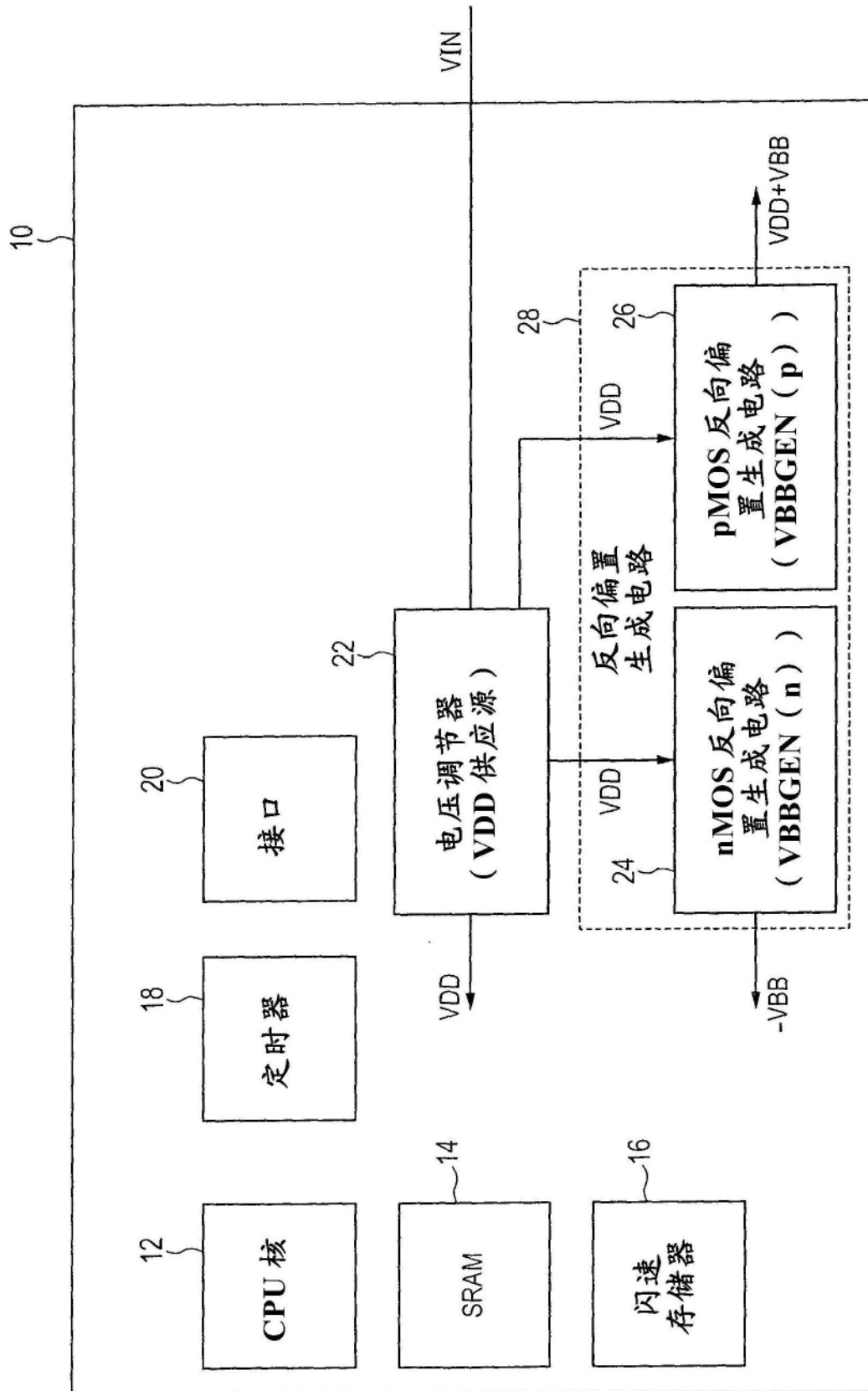


图2

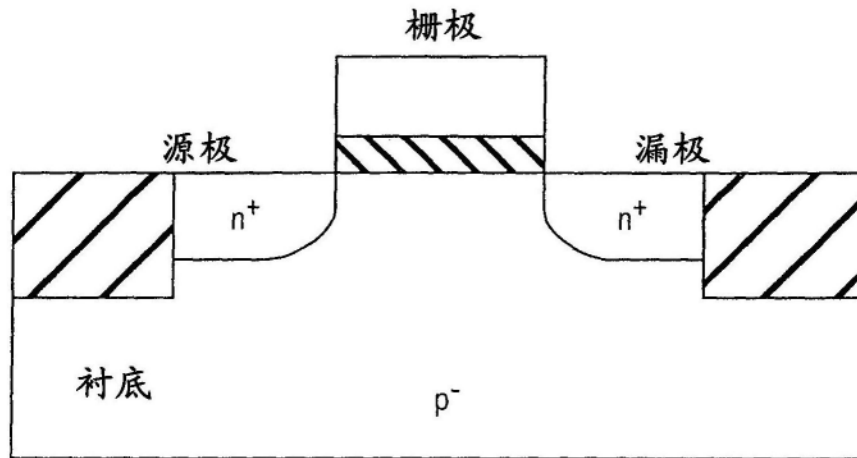


图3A

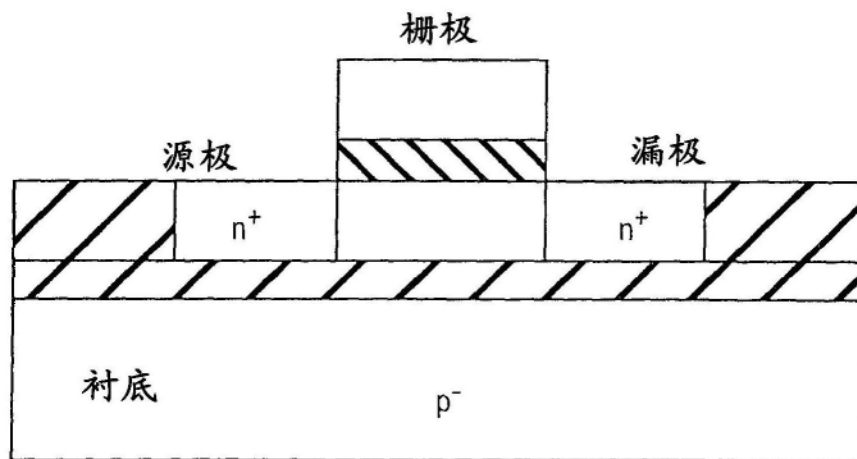


图3B

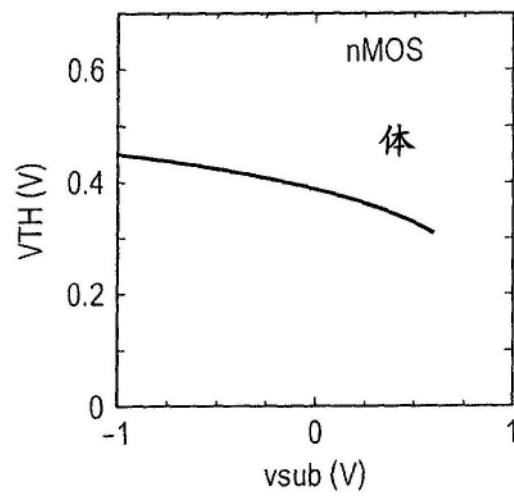


图4A

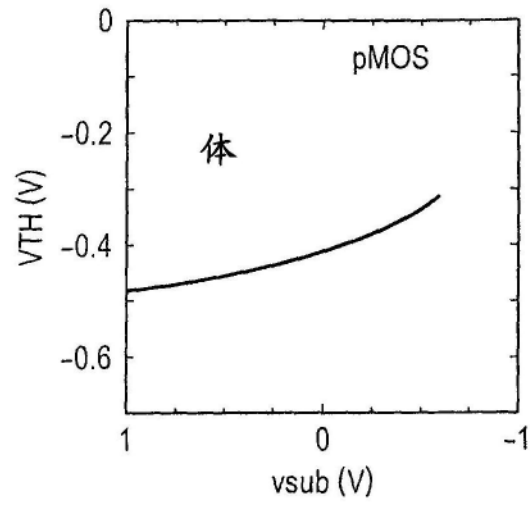


图4B

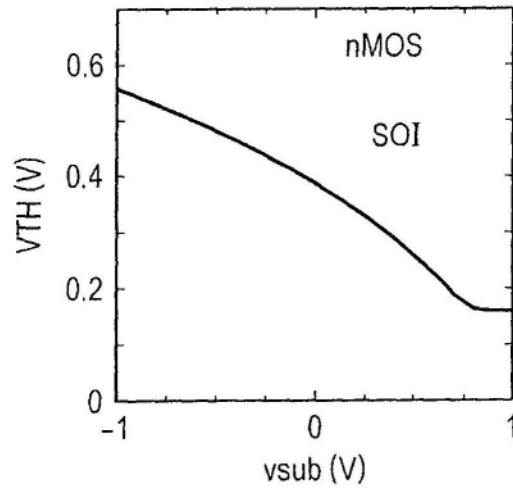


图4C

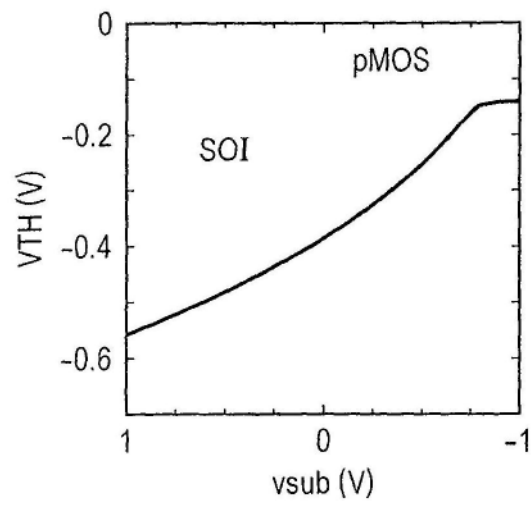


图4D

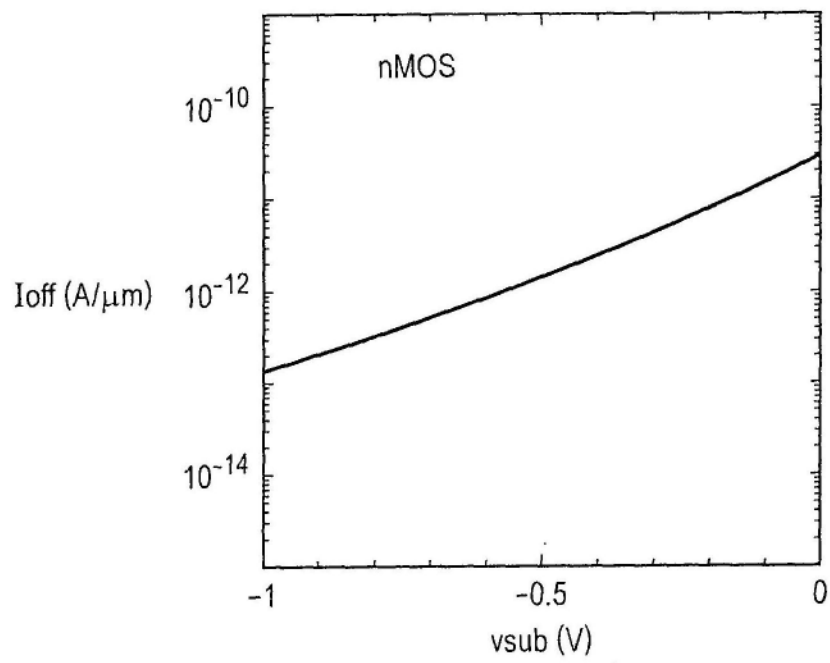


图5A

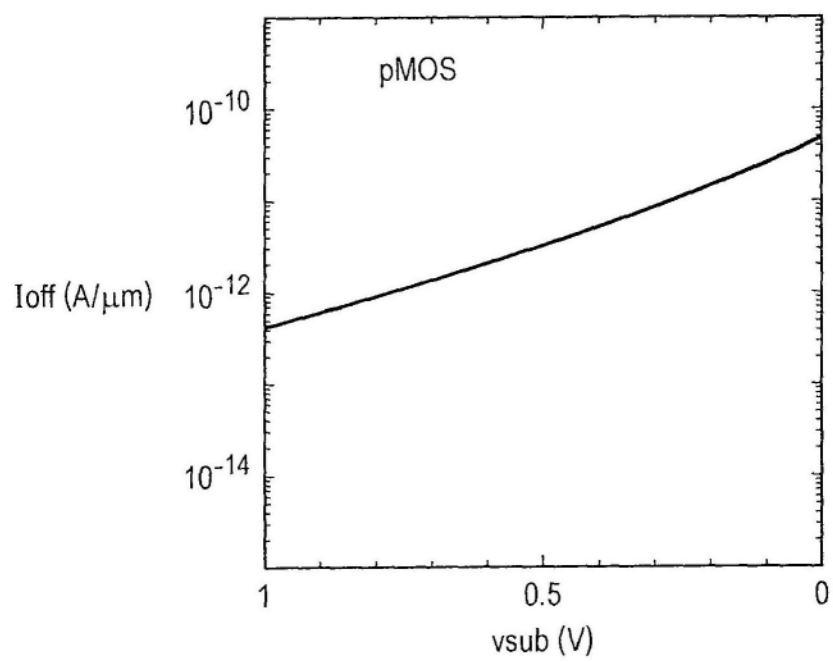


图5B

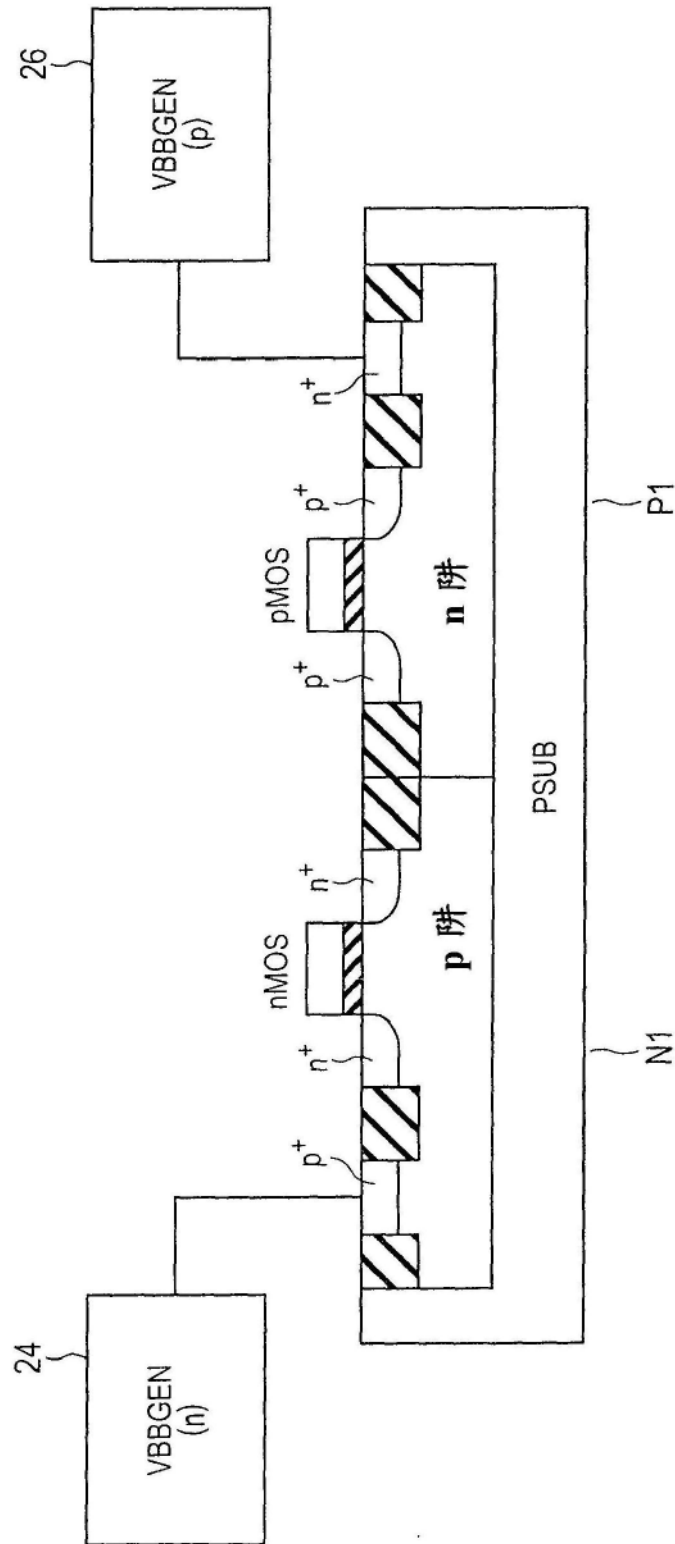


图6

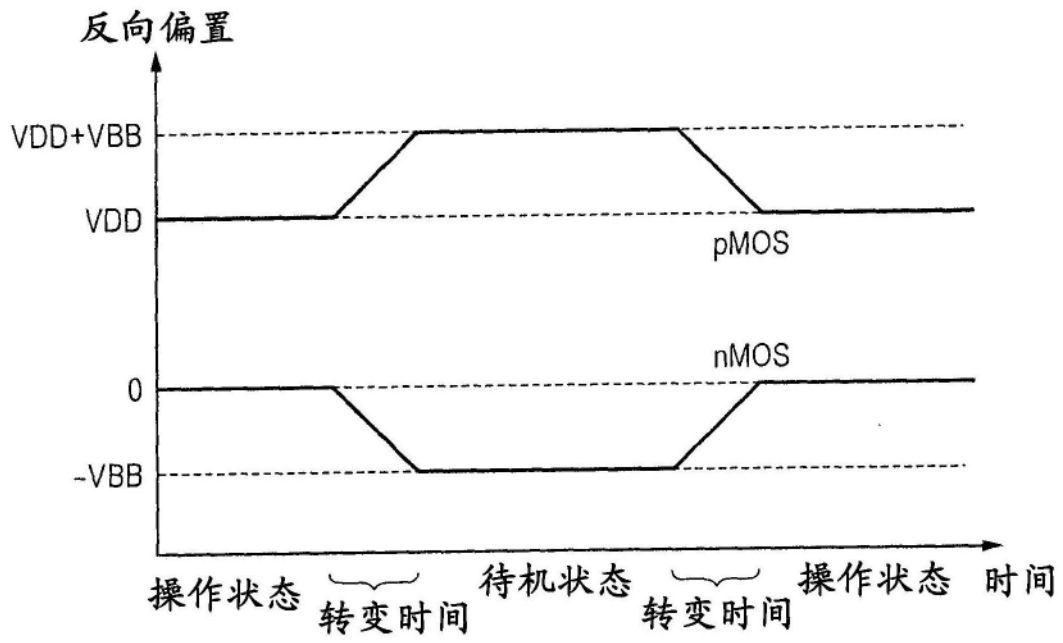


图7

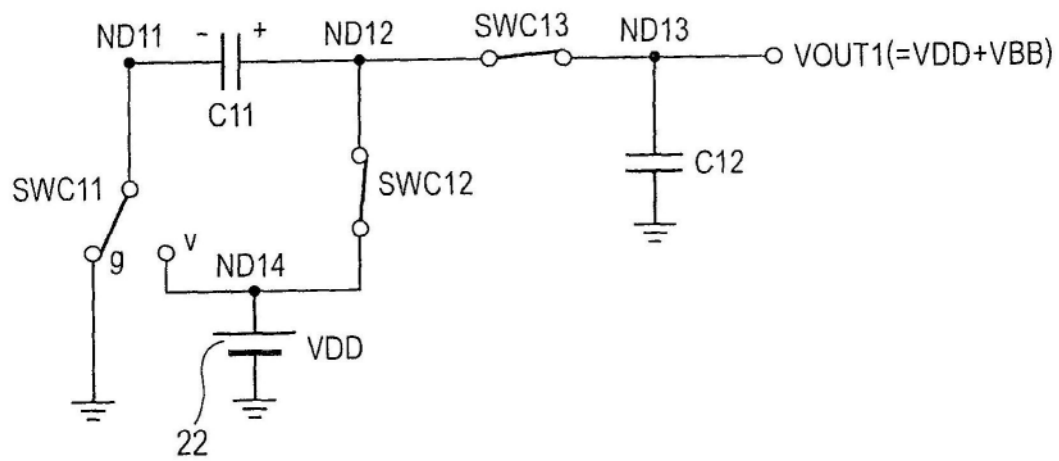


图8

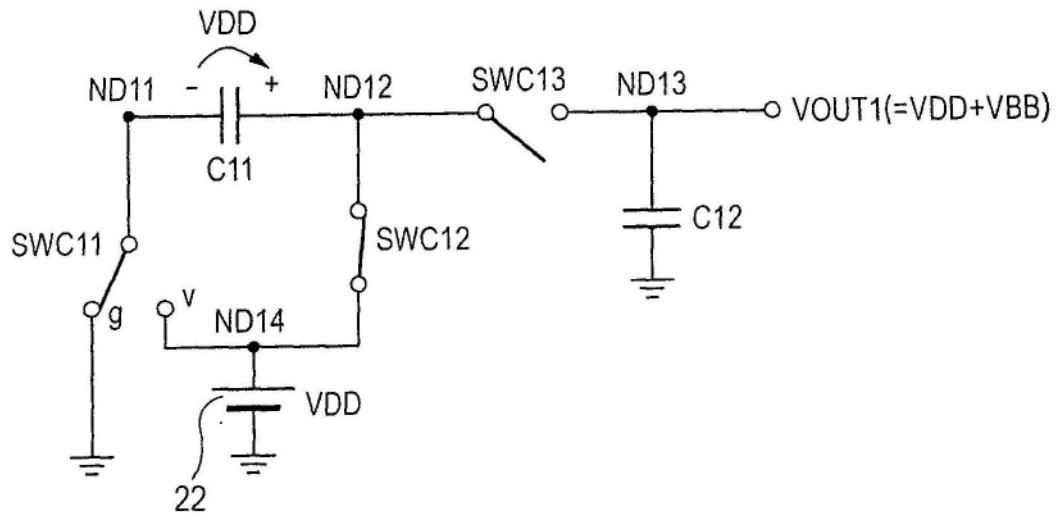


图9A

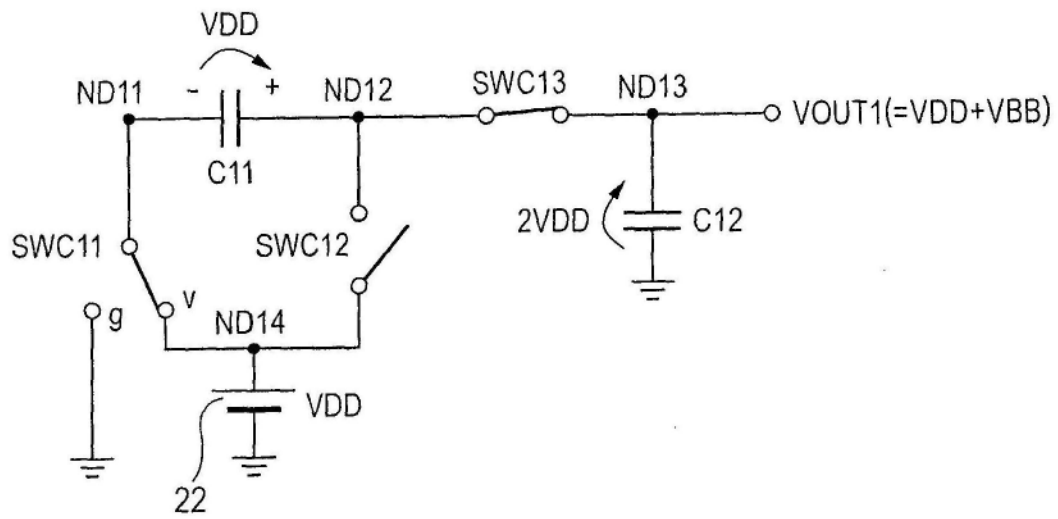


图9B

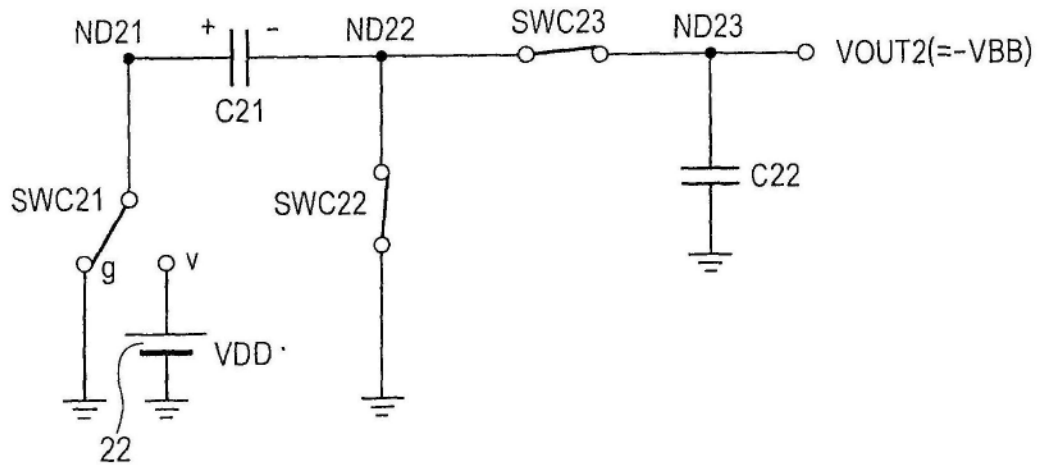


图10

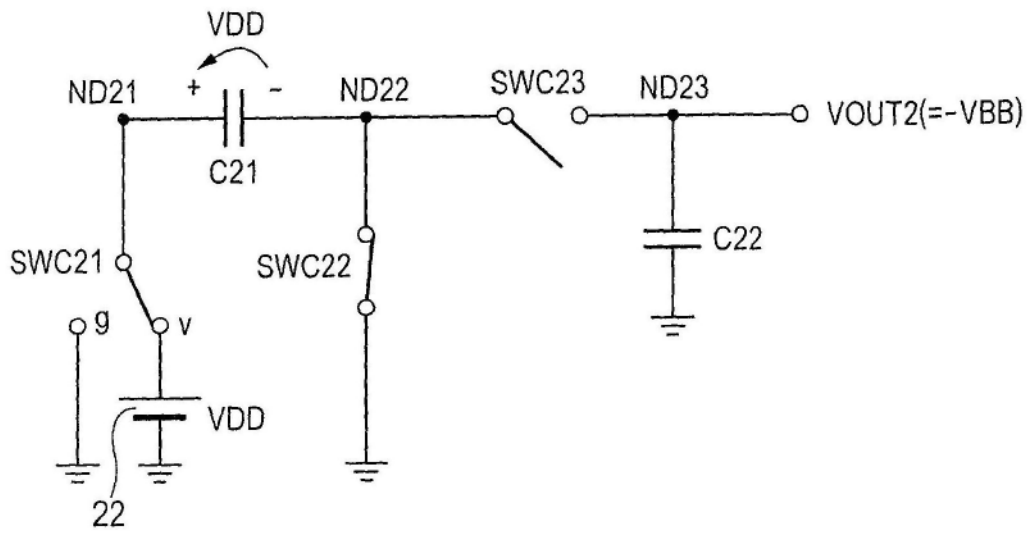


图11A

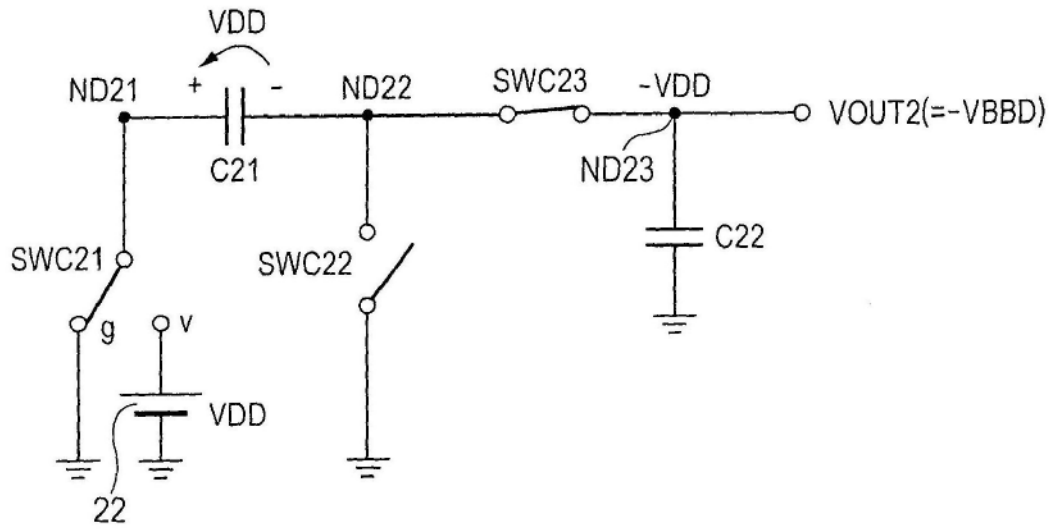


图11B

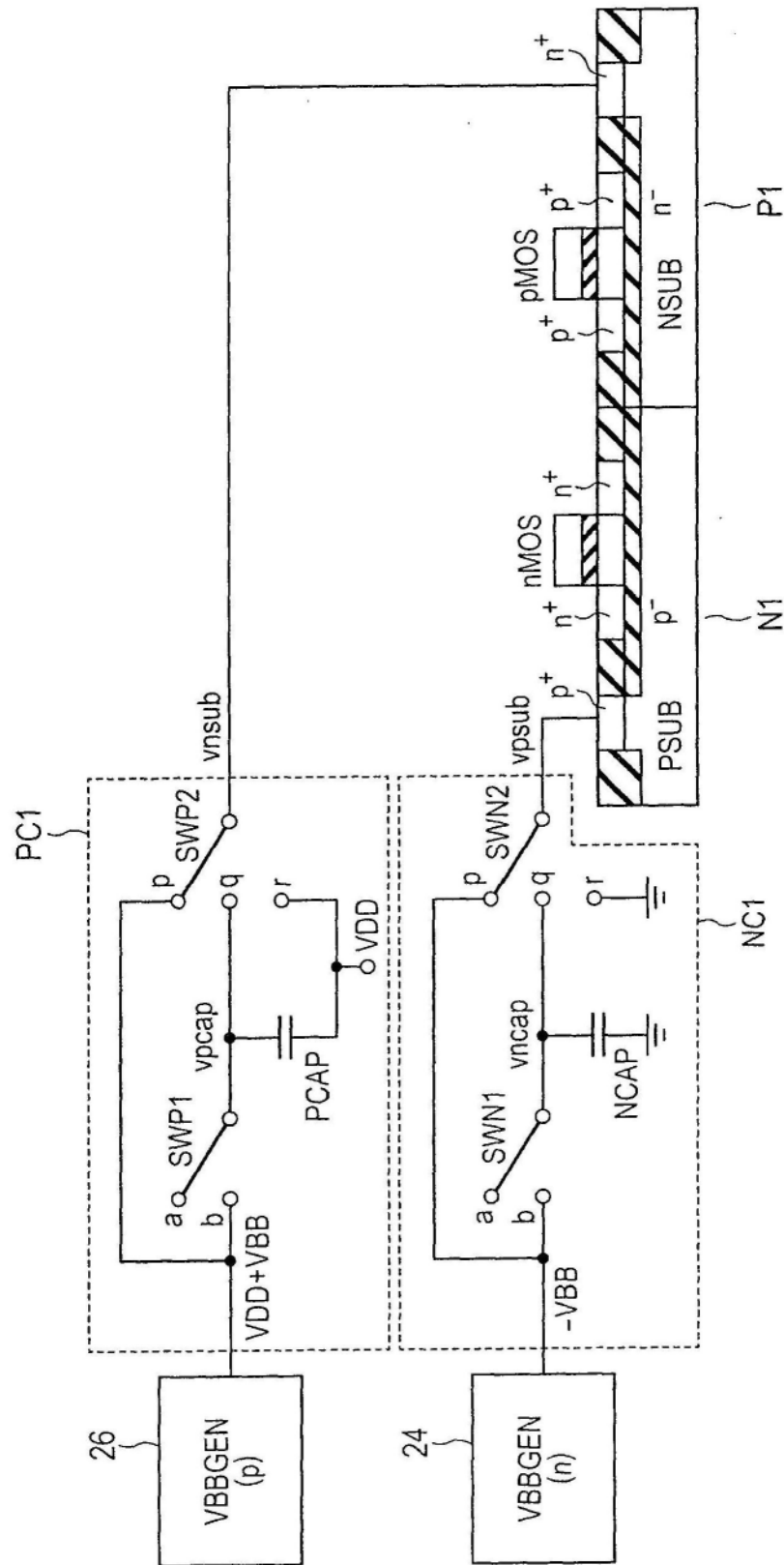


图12

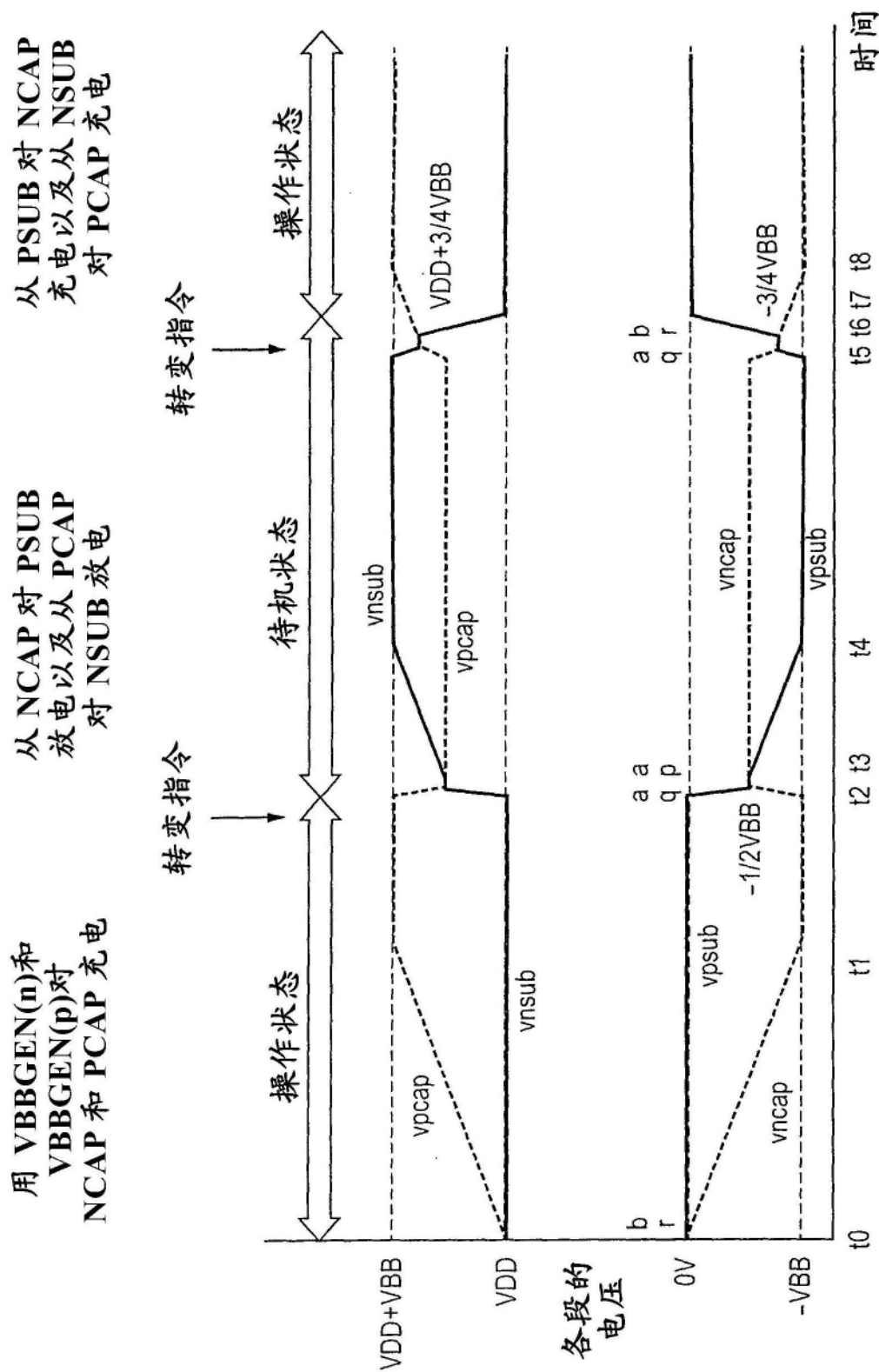


图13

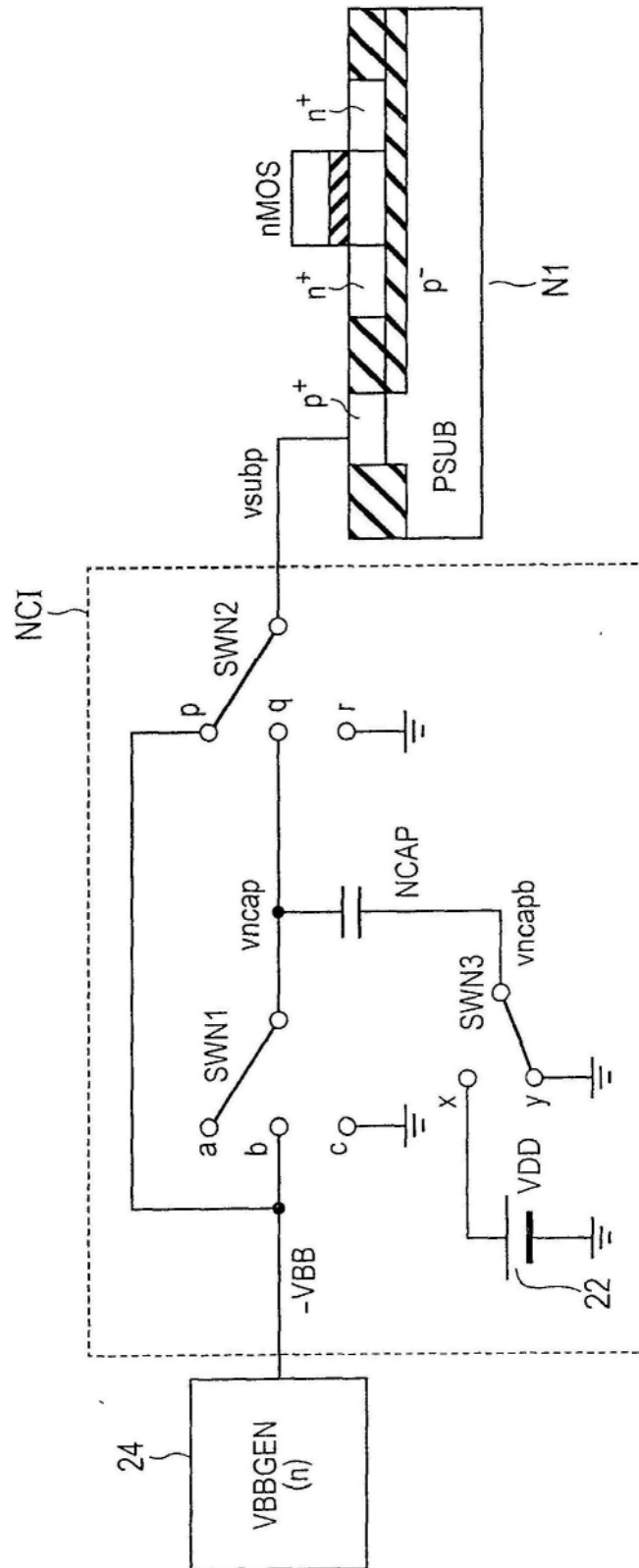


图14

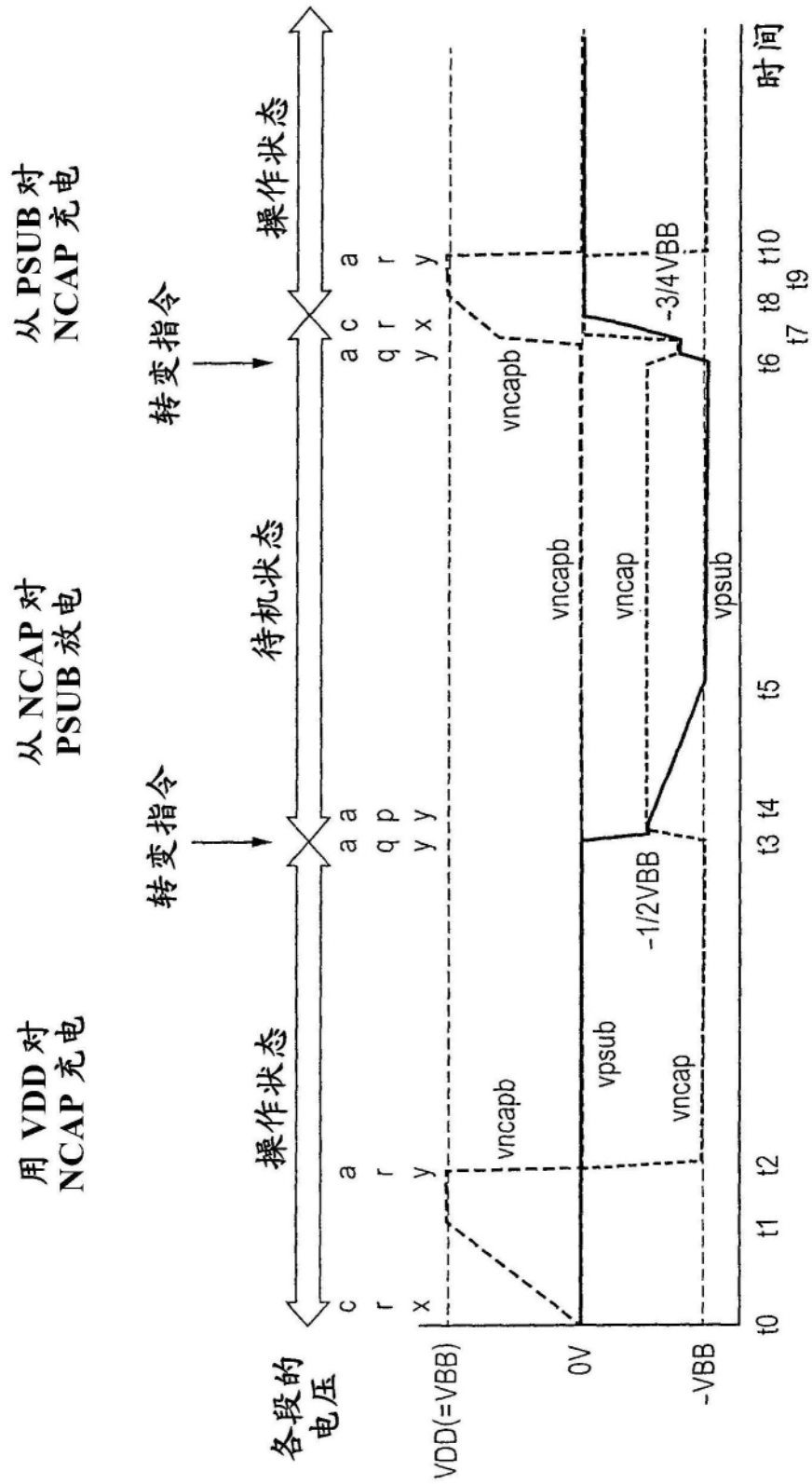


图15

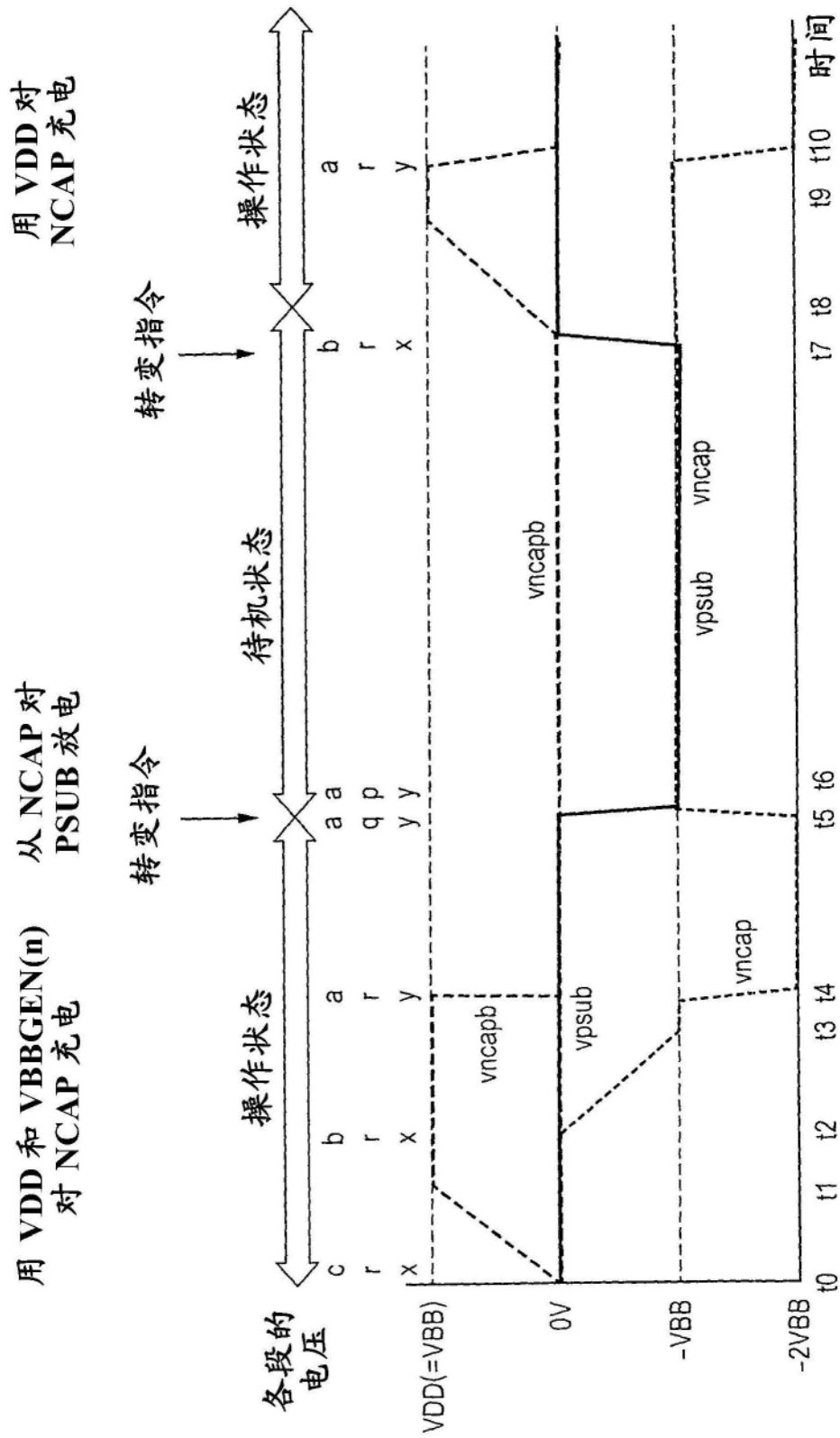


图16

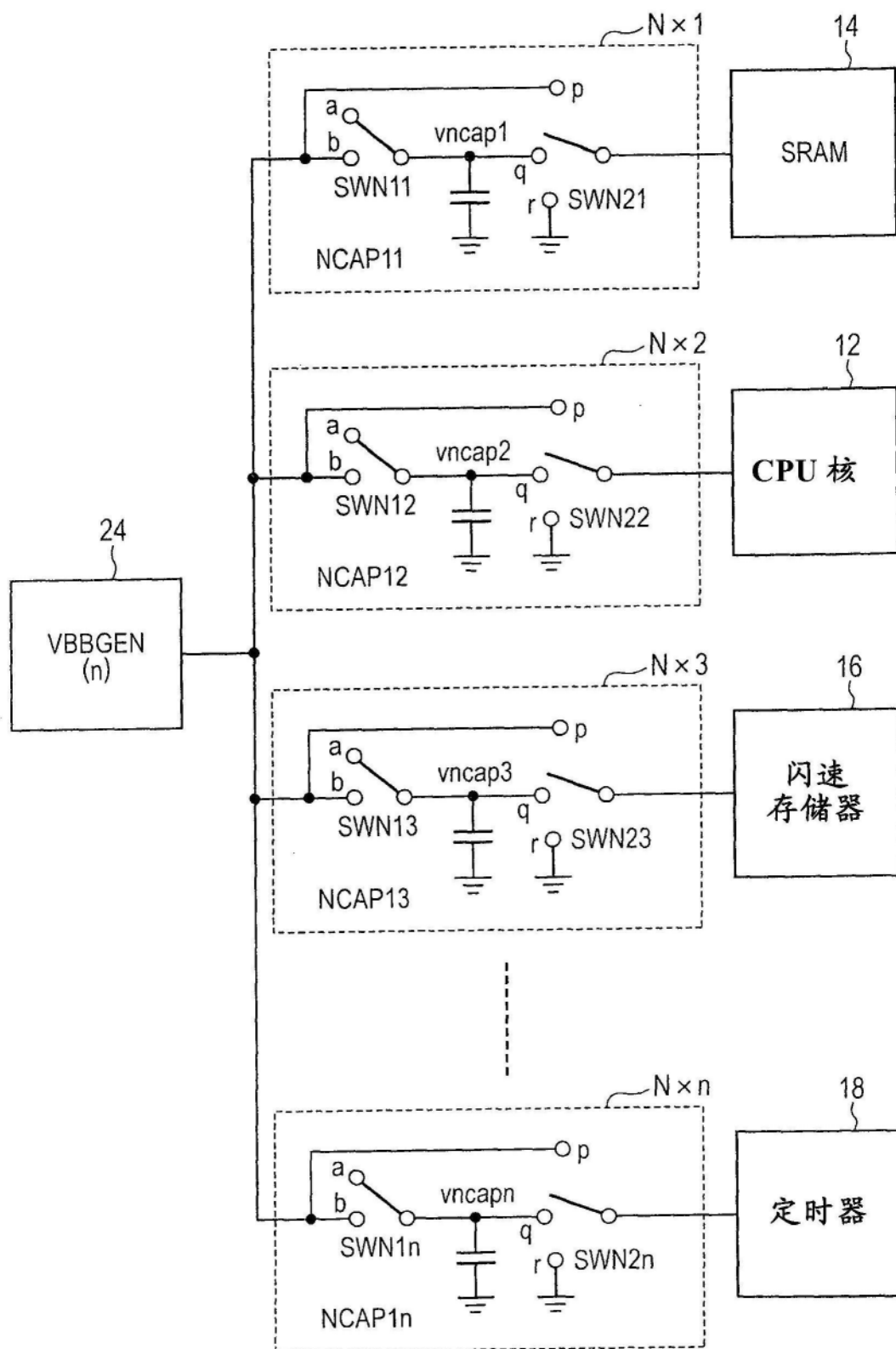


图17

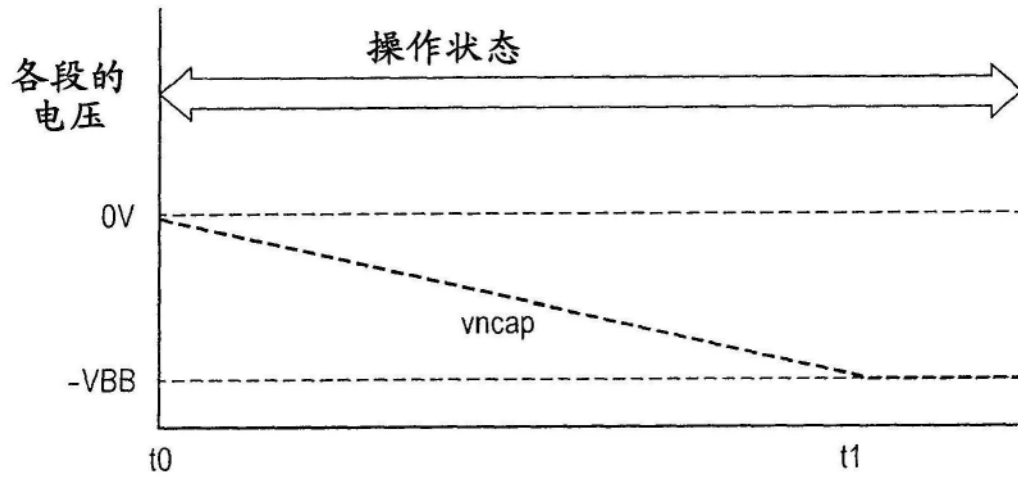


图18

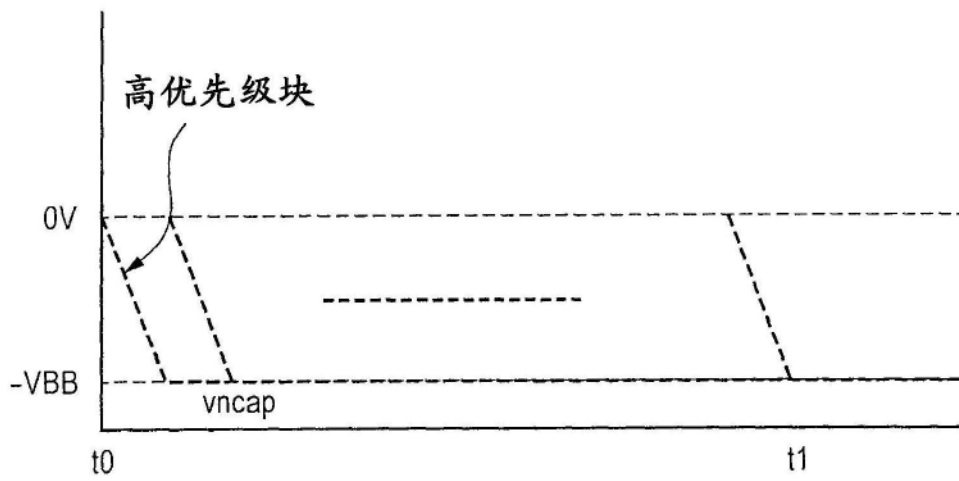


图19

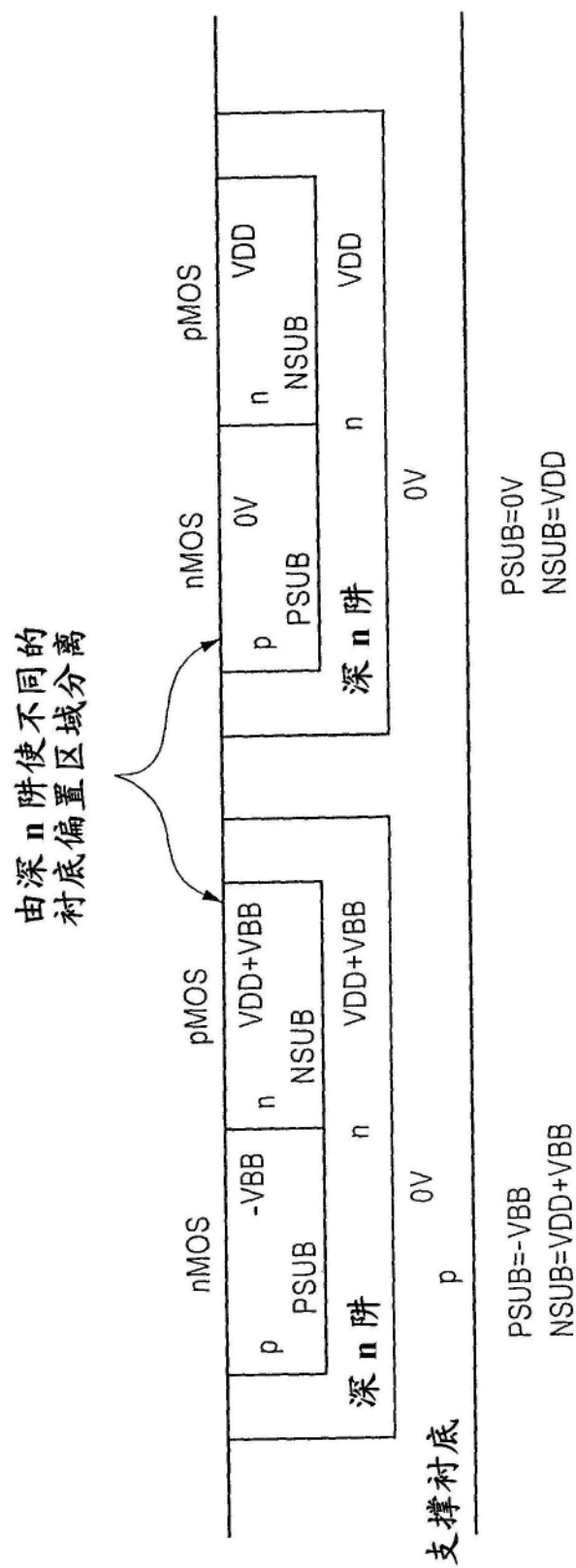


图20

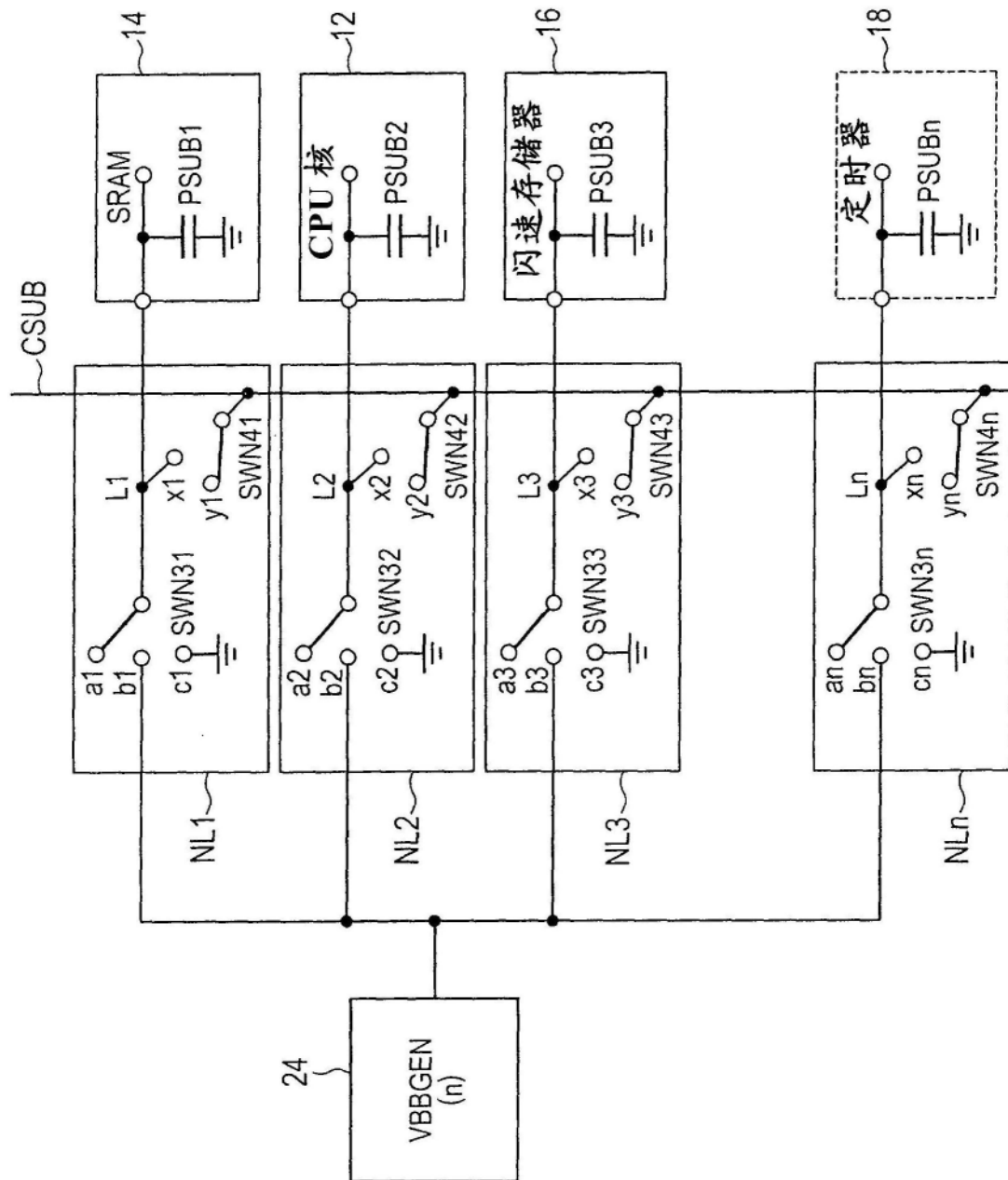


图21

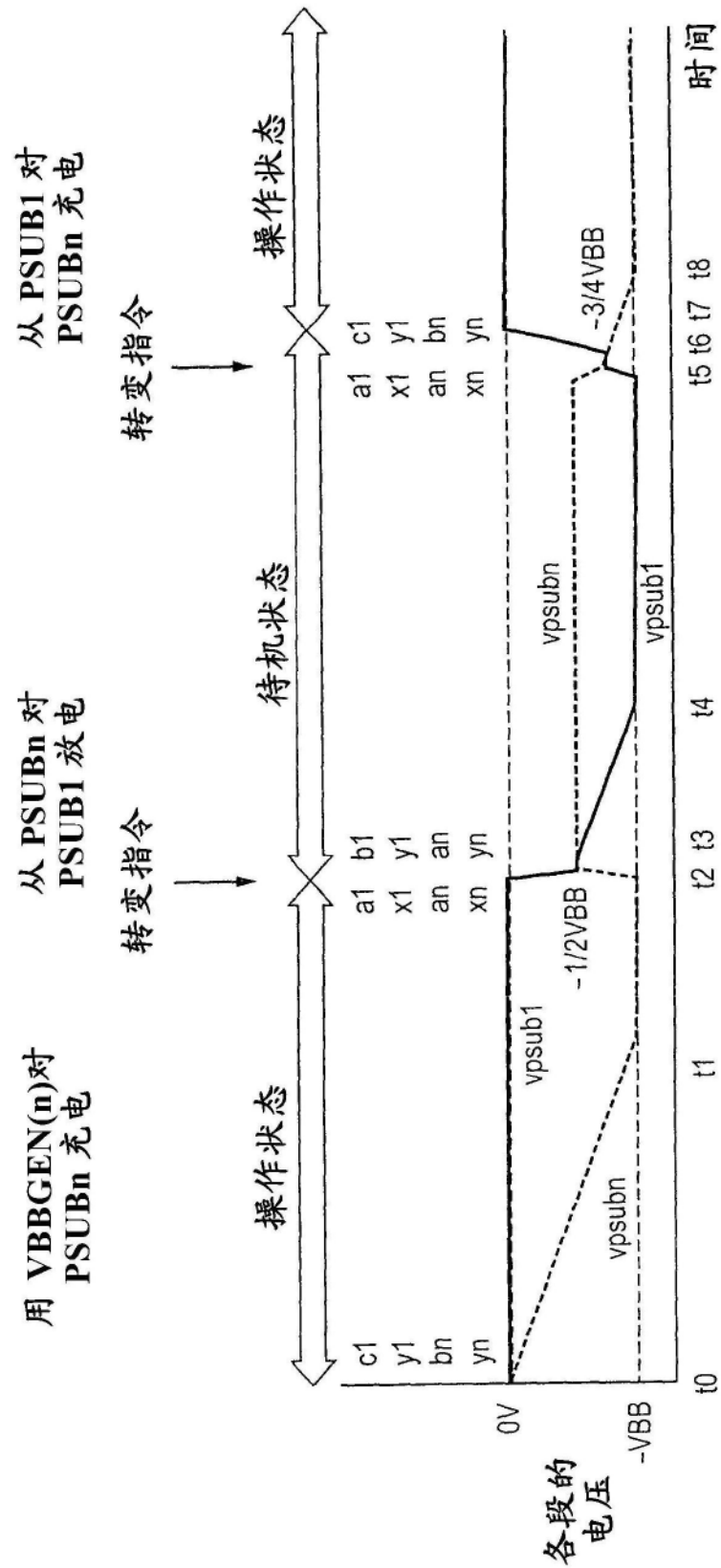


图22