

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5165081号
(P5165081)

(45) 発行日 平成25年3月21日(2013.3.21)

(24) 登録日 平成24年12月28日(2012.12.28)

(51) Int.Cl.

A63F 7/02 (2006.01)

F 1

A 6 3 F 7/02 3 2 0

請求項の数 2 (全 8 頁)

(21) 出願番号 特願2011-103979 (P2011-103979)
 (22) 出願日 平成23年5月9日 (2011.5.9)
 (62) 分割の表示 特願2005-41382 (P2005-41382)
 の分割
 原出願日 平成17年2月17日 (2005.2.17)
 (65) 公開番号 特開2011-147815 (P2011-147815A)
 (43) 公開日 平成23年8月4日 (2011.8.4)
 審査請求日 平成23年6月8日 (2011.6.8)

(73) 特許権者 000148922
 株式会社大一商会
 愛知県北名古屋市沖村西ノ川1番地
 (74) 代理人 110001151
 あいわ特許業務法人
 (72) 発明者 市原 茂
 愛知県北名古屋市沖村西ノ川1番地 株式
 会社大一商会内
 (72) 発明者 足立 秀俊
 愛知県北名古屋市沖村西ノ川1番地 株式
 会社大一商会内
 (72) 発明者 稲葉 重貴
 愛知県北名古屋市沖村西ノ川1番地 株式
 会社大一商会内

最終頁に続く

(54) 【発明の名称】遊技機

(57) 【特許請求の範囲】

【請求項 1】

遊技機の遊技状態を制御し、所定の遊技条件が発生した場合、大当たり遊技を発生させるか否かの抽選を行い抽選結果を得、該抽選結果に応じて演出制御指令処理を行う第1の演算処理手段と、遊技制御プログラムが記憶された遊技制御プログラム記憶手段と、遊技制御データが一時記憶される遊技制御データ記憶手段と、を有する主制御手段と、前記抽選結果に応じて表示制御手段により表示制御される画像表示手段と、を備え、該画像表示手段で画像表示演出を行う遊技機において、

前記表示制御手段は、

前記抽選結果に応じて表示制御処理を実行する第2の演算処理手段と、

前記表示制御処理を実行するための表示制御プログラムが記憶された表示制御プログラム記憶手段と、

表示制御用データが一時記憶される表示制御用データ時記憶手段と、

画像データが記憶された画像データ記憶手段と、

前記第2の演算処理手段の指示に従って、前記画像表示手段に表示させる複数種類の画像であって、前記抽選結果に応じた前記画像表示演出を行うための複数種類の画像の画像処理を行う画像処理手段と、

前記画像処理手段が画像処理に用いるための前記画像データが一時記憶されるRAMと、を備え、

前記画像データ記憶手段は、NAND型フラッシュメモリと調停回路とを一体的に含んで

10

20

、キャラクタROMとして機能し、

前記NAND型フラッシュメモリは、それぞれに前記画像データが記憶される複数のデータブロックで構成されるとともに、前記複数のデータブロック中に不良データブロックが存在する場合において、前記不良データブロックに隣接する第1データブロックに記憶された第1画像データに関連する第2画像データが、本来なら記憶されるべきブロックである前記不良ブロックデータを避けた状態で、前記不良データブロックに隣接し、前記第1データブロックとは異なる第2データブロックに記憶されており、

前記画像処理手段は、前記第2の演算処理手段からの指示に基づいて前記画像データ記憶手段の前記調停回路に画像データ読み出し要求を出力し、前記NAND型フラッシュメモリに記憶される画像データであって前記抽選結果に応じた前記画像表示演出で表示される前記複数種類の画像の画像データの複数のデータブロックを一括して読み出して、前記RAMに記憶する画像データ括読出手段を含んでおり、

前記画像データ括読出手段による画像データ読み出し要求に応じて、前記調停回路が、前記NAND型フラッシュメモリの前記第1データブロックに記憶された前記第1画像データの次に、前記不良データブロックをとばして、前記第2データブロックに記憶された前記第2画像データを読み出すようにして前記複数種類の画像の画像データの複数のデータブロックが読み出され、前記RAMには複数のデータブロックの画像データが連続するように記憶し直され、

前記画像処理手段は、

前記画像データ括読出手段によって予め前記RAMに再設置された前記複数種類の画像の画像データを読み出して前記画像処理を行うことによって前記抽選結果に応じた前記画像表示演出用の画像表示用データを作成して前記画像表示手段に表示し、

前記調停回路が前記NAND型フラッシュメモリからデータブロックを読み出すためのデータアドレスを変換する頻度を低下させることが可能であることを特徴とする遊技機。

【請求項2】

前記遊技機は、ぱちんこ遊技機、または、回動式遊技機のいずれかであることを特徴とする請求項1に記載の遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は画像表示装置を備えた遊技機、詳しくは「ぱちんこ遊技機」（一般的には「パチンコ機」とも称する）、「回動式遊技機」（一般的には「パチスロ機」とも称する）等、遊技ホールに設置される遊技機に関する。

【背景技術】

【0002】

従来、画像表示装置を備えた遊技機では、画像表示装置で表示される複数種類の画像データを画像データ記憶手段に記憶し、画像表示を行う際には画像データ記憶手段から画像データを読み出して画像処理を施した後に表示させていた。（例えば特許文献1を参照）

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2001-252432

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで近年の遊技機では、より遊技客の遊技的興趣を高めるために画像表示器における表示の内容が多様化、複雑化の一途をたどっており、それに伴って画像データ記憶手段に記憶される画像データの容量も増加の一途をたどっており、大容量の記憶媒体へのニーズが高まっている。

【0005】

10

20

30

40

50

大容量の記憶媒体としてフラッシュメモリが知られているが、フラッシュメモリの中でもNAND型フラッシュメモリは近年特に大容量化が促進されており遊技機の画像記憶用記憶媒体として使用するには非常に好適である。

【0006】

しかし、NAND型フラッシュメモリはその性質上、データを書き込むことができない不良データブロックの発生が避けられず、不良データブロックの存在に伴ってデータの読み込み処理に対する対応が問題であった。

【0007】

本発明はNAND型フラッシュメモリを遊技機の画像データ記憶手段として用いる場合に、有効なデータ記憶方法およびデータ読み出し方法を提供することを目的とする。

10

【課題を解決するための手段】

【0008】

上記の課題を解決するために、本発明の請求項1における遊技機は、「画像表示装置を備えた遊技機において、前記遊技機には、前記遊技機の遊技状態を制御する主制御装置と、前記主制御装置から出力された演出制御指令信号に基づいて遊技演出を制御する副制御装置と、前記副制御装置から出力された表示制御指令信号に基づいて前記画像表示装置を制御する表示制御装置と、を備え、前記主制御装置には、前記演出制御指令処理を行う第1の演算処理手段と、遊技制御プログラムが記憶された遊技制御プログラム記憶手段と、遊技制御データが一時記憶される遊技制御データ一時記憶手段と、を備え、前記遊技制御プログラム記憶手段と前記遊技制御データ一時記憶手段とを前記第1の演算処理手段に接続し、前記表示制御装置には、表示制御プログラムを実行する第2の演算処理手段と、前記表示制御プログラムが記憶された表示制御プログラム記憶手段と、表示制御用データが一時記憶される表示制御用データ一時記憶手段と、前記画像表示装置に表示される画像の制御を行う画像処理手段と、前記画像を表示するための画像データが記憶された画像データ記憶手段と、前記画像表示装置に表示される画像の表示用データが一時的に記憶される画像表示データ一時記憶手段とを備え、前記表示制御プログラム記憶手段および前記表示制御用データ一時記憶手段と前記画像処理手段とを前記第2の演算処理手段に接続するとともに、前記画像データ記憶手段と前記画像表示データ一時記憶手段とを前記画像処理手段に接続し、前記画像データ記憶手段には、NAND型フラッシュメモリと調停回路とを含み、前記NAND型フラッシュメモリは、複数のデータブロックで構成されるとともに、前記複数のデータブロック中に不良データブロックが存在する場合、前記不良データブロックの直前のデータブロックに記憶された画像データの次の画像データが前記不良データブロックを避けた状態で前記不良データブロックの直後のデータブロックに記憶され、前記調停回路は、前記画像処理手段からの画像データ読み出し要求に応じて前記不良データブロックの後のデータブロックに記憶された画像データの先頭アドレスを前記不良データブロックの前のデータブロックに記憶された画像データの最終アドレスの次のアドレスに変換して出力することを特徴とする遊技機。」として構成される。

20

【0009】

また本発明の請求項2における遊技機は「前記画像処理手段は前記NAND型フラッシュメモリからのデータ読み出し指令制御を行うNAND型フラッシュメモリ制御回路を含み、前記画像データ記憶手段から画像データを読み出す際には、複数種類の画像に関するデータを一括して読み出し、前記一括して読み出した複数種類の画像データを一時記憶して画像処理を行うことを特徴とする請求項1に記載の遊技機。」として構成される。

30

【発明の効果】

【0010】

本発明の請求項1における遊技機では、画像記憶手段にはNAND型フラッシュメモリと調停回路とを含んでおり、NAND型フラッシュメモリの複数のデータブロック中に不良データブロックが存在する場合には、不良データブロックの直前のデータブロックに記憶された画像データの次の画像データが不良データブロックを避けた状態で不良データブロックの直後のデータブロックに記憶され、調停回路は、画像処理手段からの画像データ

40

50

読み出し要求に応じて不良データブロックの後のデータブロックに記憶された画像データの先頭アドレスを不良データブロックの前のデータブロックに記憶された画像データの最終アドレスの次のアドレスに変換して出力する。

【0011】

本来不良データブロックの部分に書き込まれるはずであったデータは不良データブロックの直後のデータブロックに書き込まれているため、調停回路がデータの読み出し処理を行うときには不良データブロックのアドレスを読み飛ばすだけの処理で連続的にデータの読み込みを行うことができ、不良データブロックに書き込まれるはずであったデータを予め用意された別の記憶領域に記憶しておき、データ読み出しの際には本来は不良データブロックに書き込まれるはずであったデータが記憶されている記憶領域のアドレスに飛んで読み込みを行った後、再度正規の記憶領域に記憶されている次のデータのアドレスに戻る所謂スワップ方式の処理形態と比較して、処理負荷を軽減でき、読み出し速度の低下も防止することができる。

【0012】

本発明の請求項2における遊技機では、前記画像処理手段にはNAND型フラッシュメモリからのデータ読み出し指令制御を行うNAND型フラッシュメモリ制御回路を含んでいるため、前記画像データ記憶手段から画像データを読み出す際に複数種類の画像に関するデータを一括して読み出すことができる。また前記一括して読み出した複数種類の画像データを一時記憶して画像処理が行われるため、調停回路がデータアドレスの変換処理を行う回数を低減でき処理負荷の低減がはかる。

【図面の簡単な説明】

【0013】

【図1】本発明の遊技機の制御装置のブロック図である。

【図2】本発明の画像処理手段および画像データ記憶手段の内部構成の概念図である。

【図3】スワップ方式の場合のデータ記憶方式概念図である。

【図4】本発明のデータ記憶方式概念図である。

【図5】本発明における画像処理手段の内蔵RAM領域におけるデータ記憶方式の概念図である。

【発明を実施するための最良の形態】

【0014】

以下、本発明の一実施形態を図面に基づいて説明する。尚、「ぱちんこ遊技機」および「回動式遊技機」の基本構成については周知であるので説明を省略し、本発明の要点のみ説明する。

【実施例1】

【0015】

図1は本発明における遊技機の制御装置のブロック図である。主制御装置1は遊技機の遊技全体を制御する制御装置であって、CPU1(本発明の「第1の演算処理手段」に相当する)、ROM3(本発明の「遊技制御プログラム記憶手段」に相当する)、RAM4(本発明の「遊技制御データ一時記憶手段」に相当する)を備えている。

【0016】

本発明の遊技機においては、所定の遊技条件(例えば「ぱちんこ遊技機」であれば、周知の遊技盤面上に配置された始動入賞口にパチンコ球が入賞したこと)が発生した場合、所謂大当たり遊技を発生させるか否かの抽選を行い、その抽選結果に応じて画像表示装置30で画像表示演出を行うが、この点については周知であるので説明を省略する。

【0017】

上記所定の遊技条件が発生すると、主制御装置1は図示しない通信回路を介して演出制御指令信号(コマンド)を副制御装置10に送信する。

【0018】

演出制御指令信号を受信した副制御装置10は受信した演出制御指令信号に基づいて表示制御指令信号(コマンド)を図示しない通信回路を介して表示制御装置20に送信する

10

20

30

40

50

。併せて遊技機に搭載された図示しない電飾装置やスピーカーを制御して光および音による演出を行う。

【0019】

表示制御装置20にはCPU21(本発明の「第2の演算処理手段」に相当する)、ROM22(本発明の表示制御プログラム記憶手段)に相当する)、RAM23(本発明の「表示制御用データ時記憶手段」に相当する)、VDP24(本発明の「画像処理手段」に相当する)、キャラクタROM25(本発明の「画像データ記憶手段」に相当する。)RAM26(本発明の「画像表示用データ時記憶手段」に相当する)を備える。

【0020】

CPU21は表示制御指令信号を受信するとROM22から表示制御用プログラムを読み出して表示制御を開始し、VDP24に画像処理の実行を指示する。尚、RAM23は表示制御処理のための表示制御用データが一時的に記憶される記憶手段である。

10

【0021】

画像処理の実行を指示されたVDP24はその内部の記憶領域(図示せず)に記憶されたプログラムに基づいて画像処理を開始し、画像表示装置30の画面上に表示すべき画像をキャラクタROM25から読み出し、読み出した画像に対して合成処理等の画像処理を施した上で画像表示用のデータをRAM26に一時記憶させ、図示しないD/Aコンバータを介して画像表示用データを画像表示装置30に送信し、画像を表示させる。

【0022】

図2はVDP24およびキャラクタROM25の内部構成を示す。VDP24はその内部にNAND型フラッシュメモリ制御回路27を備える。NAND型フラッシュメモリ制御回路27はキャラクタROM25に備えられたNAND型フラッシュメモリ29からのデータ読み出しを制御するための回路である。NAND型フラッシュメモリ29からデータを読み出す際にはNAND型フラッシュメモリ制御回路の指示によって複数種類の画像の表示用データを一括で読み出す処理が行われる。一括で読み出された複数種類の画像の表示用データはVDP24に備えられた図示しない内蔵RAM領域に記憶され、VDP24は内蔵RAM領域に記憶された画像表示用データを用いて画像処理を行う。このようにVDP24は複数種類の画像の表示用データを一括してNAND型フラッシュメモリ29から読み出して、読み出した画像表示用データを内蔵RAM領域に記憶し、記憶した画像表示用データを基に画像処理を行うためNAND型フラッシュメモリ29に不良データブロックがあった場合でも調停回路28が後述の方法によりデータアドレスの変換を実行する頻度を下げ、処理負荷を低減させることができる。

20

【0023】

本発明のNAND型フラッシュメモリ29におけるデータの記憶方式について図3および4に基づいて説明する。図3は所謂「スワップ方式」の記憶方式について模式的に表したものであり、図4が本発明におけるNAND型フラッシュメモリのデータ記憶方式を同じく模式的に表したものである。

30

【0024】

図3においてデータ記憶領域50はデータブロック51～57に表すように複数のデータブロックで構成されている。ここで仮に画像表示用データはデータA～Dの4つのデータブロックによって1つの画像データが構成されているものとする。更にそれに続く複数の連続するデータブロックによって複数の画像データが構成されているものとする。図3ではデータブロック51にデータA、データブロック52にデータB、データブロック53は不良ブロックであるためデータが記憶されず、データブロック54にデータD、データブロック57に本来はデータブロック53に記憶されるはずであったデータCが記憶されている。データブロック55に記憶されているデータEとデータブロック56に記憶されているデータZはそれぞれデータA～Dにより構成されている画像とは別の画像を表示するためのデータである。

40

【0025】

図3の記憶方式ではデータブロック53が不良ブロックであったためデータを書き込む

50

ことができず、本来はデータブロック 53 に記憶されるはずのデータ C が離れたアドレスであるデータブロック 57 に記憶されている。このような場合、VDP24 が調停回路 28 を介してデータ A ~ D で構成される画像を読み出そうとすると、まずデータブロック 51 からデータ A、52 からデータ B を読み出し、次にデータブロック 57 のアドレスに飛んでデータ C を読み出し、もう一度データブロック 54 のアドレスに戻ってデータ D を読み出さなければ 1 つの画像を表示できない。

【0026】

これに対して図 4 に示す本件発明のデータ記憶方式では、記憶領域 40 のうちデータブロック 41 にデータ A、データブロック 42 にデータ B、データブロック 43 は不良ブロックであるためデータが記憶されず、データブロック 44 にデータ C、データブロック 45 にデータ D が記憶されている。また図 3 の場合と同様にデータブロック 46 には別の画像のデータであるデータ Z が記憶されている。

【0027】

図 4 に示す本発明のデータ記憶方式では不良ブロックであるデータブロック 43 を除いて画像データが順番に順序よく並んでいる。特に本来データブロック 53 に記憶されるはずであったデータ C は不良ブロックであるデータブロック 43 の次のデータブロック 44 に記憶されているので VDP24 が調停回路 28 を介してデータを読み出す場合にはデータブロック 43 を読み飛ばすだけで 1 つの画像を表示するためのデータ A ~ D を読み出すことができ、図 3 の場合のようにデータアドレスを往復するような処理をする必要がなく処理負荷を軽減することができる。

【0028】

図 5 は VDP24 の内蔵 ROM 領域におけるデータ記憶の方式を示すものである。調停回路 28 の処理によって図示のように VDP24 の内蔵 RAM 領域ではデータブロック 61 ~ 66 の間でデータが整然と並んでいる。前述のように VDP24 が複数の画像データを一括で読み出すことによって調停回路 28 がデータアドレスを変換する頻度を低下させることができ、処理効率を向上させることができる。

【0029】

尚、本実施例においては「ぱちんこ遊技機」を例にとって説明したが、本発明は「回動式遊技機」の他に所謂「アレンジボール」等「ぱちんこ遊技機」の変種の遊技機であっても、遊技ホールに設置される遊技機で画像表示装置を備えた遊技機であれば適用が可能である。

【0030】

また、ROM3、RAM4 は CPU2 に内蔵されているものであっても良く、同様に ROM22、RAM23 は CPU21 に内蔵されるものであっても良い。本発明でいう「接続する」とは配線により外部から接続されるもののみならず、例えば 1 チップマイコンのように素子の内部で CPU と ROM、RAM が接続されているものを含むものである。

【符号の説明】

【0031】

- | | |
|----|-----------|
| 1 | 主制御装置 |
| 20 | 表示制御装置 |
| 24 | 画像処理手段 |
| 25 | 画像データ記憶手段 |

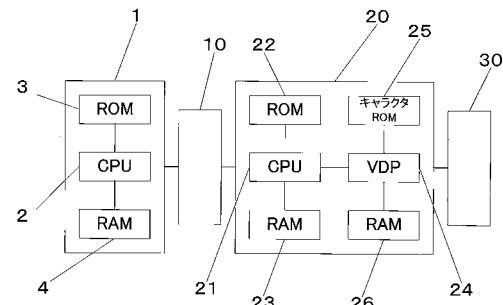
10

20

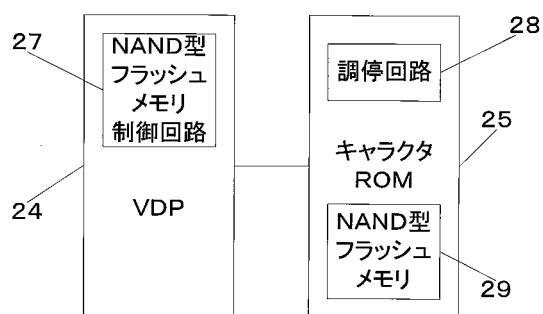
30

40

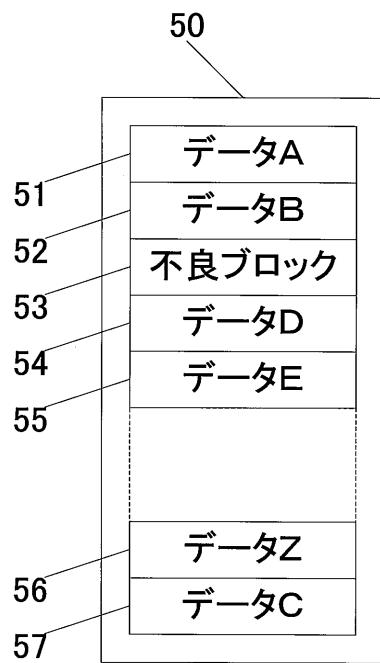
【図1】



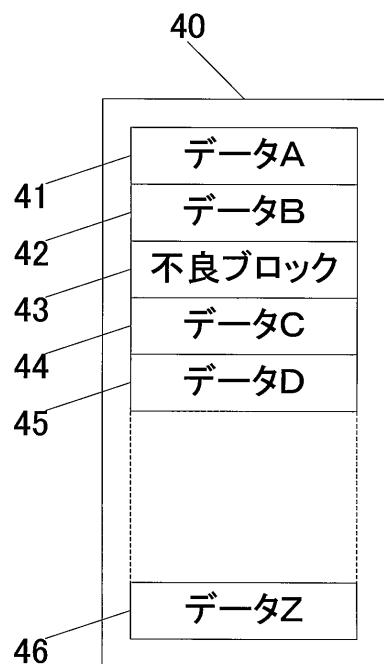
【図2】



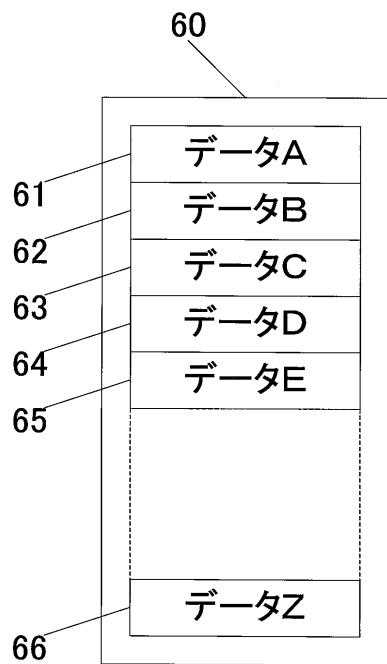
【図3】



【図4】



【図5】



フロントページの続き

審査官 廣瀬 貴理

(56)参考文献 特開2004-057309(JP, A)
特開2000-330876(JP, A)
特開2004-103162(JP, A)
特開昭63-209381(JP, A)
特開平08-314798(JP, A)
特開平08-077342(JP, A)
特開平10-229560(JP, A)
特開2002-149469(JP, A)

(58)調査した分野(Int.Cl., DB名)

A 63 F 7 / 02