

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和6年12月10日(2024.12.10)

【国際公開番号】WO2023/189059

【出願番号】特願2024-511476(P2024-511476)

【国際特許分類】

H01L29/739(2006.01)

H01L29/06(2006.01)

H01L29/78(2006.01)

H01L29/12(2006.01)

H01L29/861(2006.01)

【FI】

H01L29/78 655F

H01L29/78 655D

H01L29/78 652P

H01L29/78 655G

H01L29/78 655B

H01L29/78 653A

H01L29/78 653C

H01L29/78 652N

H01L29/78 652T

H01L29/78 652M

H01L29/78 652Q

H01L29/78 657D

H01L29/06 301V

H01L29/06 301G

H01L29/91 F

H01L29/91 D

H01L29/91 L

【手続補正書】

【提出日】令和6年7月25日(2024.7.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

一方側の第1主面および他方側の第2主面を有するチップと、
前記第1主面の内方部に設けられたIGBT領域と、
前記第1主面の周縁部に設けられた外周領域と、
前記IGBT領域を区画するように前記外周領域において前記第1主面の表層部に形成された第1導電型のウェル領域と、
前記ウェル領域を被覆する絶縁膜と、
前記ウェル領域に接続されるように前記絶縁膜に埋設されたウェル接続電極と、
前記ウェル接続電極に対向するように前記外周領域において前記第2主面の表層部に形成され、前記ウェル領域とダイオードを構成する第2導電型のカソード領域と、を含む、
半導体装置。

【請求項 2】

前記ウェル領域に対向するように前記ウェル接続電極から間隔を空けて前記絶縁膜の上に配置されたゲート電極をさらに含む、請求項 1 に記載の半導体装置。

【請求項 3】

前記カソード領域は、前記ゲート電極の中心直下の位置から前記第 2 主面に沿って間隔を空けて形成されている、請求項 2 に記載の半導体装置。

【請求項 4】

前記ゲート電極は、前記ウェル接続電極から前記 I G B T 領域側に間隔を空けて配置されている、請求項 2 に記載の半導体装置。

【請求項 5】

前記カソード領域は、前記ゲート電極の中心直下の位置から前記チップの周縁側に前記第 2 主面に沿って間隔を空けて形成されている、請求項 4 に記載の半導体装置。

【請求項 6】

前記ゲート電極から前記チップの周縁側に間隔を空けて前記絶縁膜の上に配置され、前記ウェル接続電極を介して前記ウェル領域に電氣的に接続されたエミッタ電極をさらに含み、

前記カソード領域は、前記エミッタ電極に対向している、請求項 4 に記載の半導体装置。

【請求項 7】

前記エミッタ電極は、断面視において前記ウェル領域に対向する領域のみに配置されている、請求項 6 に記載の半導体装置。

【請求項 8】

前記ゲート電極は、前記ウェル接続電極から前記チップの周縁側に間隔を空けて配置されている、請求項 2 に記載の半導体装置。

【請求項 9】

前記カソード領域は、前記ゲート電極の中心直下の位置から前記 I G B T 領域側に前記第 2 主面に沿って間隔を空けて形成されている、請求項 8 に記載の半導体装置。

【請求項 10】

前記ゲート電極から前記 I G B T 領域側に間隔を空けて前記絶縁膜の上に配置され、前記ウェル接続電極を介して前記ウェル領域に電氣的に接続されたエミッタパッド電極をさらに含み、

前記カソード領域は、前記エミッタパッド電極に対向している、請求項 8 に記載の半導体装置。

【請求項 11】

前記カソード領域は、前記ゲート電極に対向していない、請求項 2 に記載の半導体装置。

【請求項 12】

前記ウェル領域に対向するように前記絶縁膜の内部に配置されたゲート配線と、
前記ゲート配線に接続されるように前記絶縁膜に埋設されたゲート接続電極と、をさらに含み、

前記ゲート電極は、前記ゲート接続電極を介して前記ゲート配線に電氣的に接続されている、請求項 2 に記載の半導体装置。

【請求項 13】

前記カソード領域は、前記ゲート配線の中心直下の位置から前記第 2 主面に沿って間隔を空けて形成されている、請求項 12 に記載の半導体装置。

【請求項 14】

前記カソード領域は、前記ゲート接続電極に対向していない、請求項 12 に記載の半導体装置。

【請求項 15】

前記カソード領域は、前記ゲート配線に対向していない、請求項 12 に記載の半導体装

10

20

30

40

50

置。

【請求項 16】

前記ゲート電極は、前記ゲート配線よりも幅狭に形成されている、請求項 12 に記載の半導体装置。

【請求項 17】

前記カソード領域は、前記第 2 主面の表層部において前記ウェル領域に対向する領域のみに形成されている、請求項 1 ～ 16 のいずれか一項に記載の半導体装置。

【請求項 18】

前記カソード領域は、前記ウェル領域に対向する対向部、および、前記対向部から前記チップの周縁に向けて引き出された引き出し部を含む、請求項 1 ～ 16 のいずれか一項に記載の半導体装置。

10

【請求項 19】

前記外周領域において前記ウェル領域から前記チップの周縁側に間隔を空けて前記第 1 主面の表層部に形成された第 1 導電型のフィールド領域をさらに含み、

前記引き出し部は、前記フィールド領域に対向していない、請求項 18 に記載の半導体装置。

【請求項 20】

前記外周領域において前記ウェル領域から前記チップの周縁側に間隔を空けて前記第 1 主面の表層部に形成された第 1 導電型のフィールド領域をさらに含み、

前記引き出し部は、前記フィールド領域に対向している、請求項 18 に記載の半導体装置。

20

30

40

50