



[12] 发明专利申请公开说明书

[21] 申请号 01823424.0

[43] 公开日 2004年8月18日

[11] 公开号 CN 1522445A

[22] 申请日 2001.12.10 [21] 申请号 01823424.0

[30] 优先权

[32] 2001.6.29 [33] US [31] 09/896,746

[86] 国际申请 PCT/US2001/047677 2001.12.10

[87] 国际公布 WO2003/003376 英 2003.1.9

[85] 进入国家阶段日期 2003.12.29

[71] 申请人 国际商业机器公司

地址 美国纽约州

[72] 发明人 小约翰·E·巴思 哈罗德·皮洛

[74] 专利代理机构 北京市柳沈律师事务所

代理人 邸万奎 黄小临

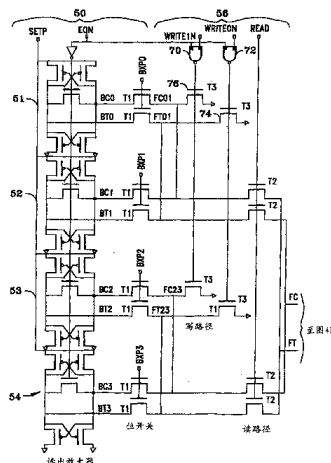
权利要求书2页 说明书9页 附图5页

[54] 发明名称 通过将位线保持在固定电势来早写入存储器的系统和方法

[57] 摘要

公开了一种系统和方法，用于当设置读出放大器(51)时，通过仅将真位线(BT0)和参考位线(BC0)之一保持在诸如地的固定电势来在存储周期内及早写入。读出放大器(51)将在真位线(BT0)和参考位线(BC0)之间的小电压差放大为预定的高压和低压逻辑电平，以便向存储单元写入一个数据。以这种方式，可以大致与读取同时地完成写入，而没有损坏在存储器中的相邻位线上的数据的风险。通过位开关(T1)而不是利用在读出放大器(51)的本地预先充电器件，来在传导路径中将位线预先充电到固定电势。为了写入，位开关(T1)和写入路径晶体管(T3)向真位线(BT0)和参考位线(BC0)之一施加固定电势。当设置读出放大器时，在当前未被写入的这样的其他存储单元上的位开关(T1)将连接到那些存储单元的位线隔离，以便当所

选择的存储单元被写入的时候，在未被写入的这样的存储单元内的存储内容被刷新(写回)。



1. 在集成电路中，一种向存储器阵列的存储单元写入一个数据的方法，所述存储单元存储由字线和连接到所述存储单元的真位线（BT0）存取的一个数据，所述存储单元通过所述真位线连接到读出放大器（51），所述读出放大器（51）被适配来将在所述真位线和参考位线（BC0）之间的小电压信号区分为全摆幅信号，所述全摆幅信号是在所述真位线（BT0）和所述参考位线（BC0）之一上的预定高压以及在所述真位线（BT0）和所述参考位线（BC0）的另一个上的预定低压，所述小电压信号具有比所述全摆幅信号更小的信号摆幅，所述方法包括激活所述位线，以便在所述真位线和所述参考位线上出现小电压信号，其中所述方法还特征在于：

在设置所述读出放大器（51）以区分所述小电压信号（90）之前，响应于写入输入，仅将所述真位线（BT0）和所述参考位线（BC0）中的一个保持在固定电势；和

15 其后，设置所述读出放大器（51），从而向所述存储单元写入一个数据，所述数据具有一个值，按照这个值，所述真位线（BT0）和所述参考位线（BC0）之一被保持在所述固定电势。

2. 按照权利要求1的方法，还特征在于：激活所述字线和响应于读取输入，隔离所述真位线（BT0）和所述参考位线（BC0），其后设置所述读出放大器（51），以便从所述存储单元中读取一个存储数据。

3. 按照权利要求1的方法，还特征在于：所述固定电势是地，并且所述方法还包括：分别通过第一和第二位开关（T1）将所述真位线（BT0）和所述参考位线（BC0）连接到一个真扇节点（FT）和一个互补扇节点（FC），以便当所述真扇节点（FT）和所述互补扇节点（FC）的对应一个接地并且同时所述第一和所述第二位开关（T1）导通时，所述真位线（BT0）和所述参考位线（BC0）中的所述那个被接地。

4. 按照权利要求3的方法，还特征在于：在激活所述字线之前，将所述真扇节点和所述互补扇节点预先充电到地。

5. 按照权利要求1的方法，其特征还在于：所述存储器阵列还包括第二存储单元，所述第二存储单元存储由所述字线和连接到所述第二存储单元的第二真位线（BT1）存取的一个数据，所述第二存储单元通过所述第二真位线

(BT1) 连接到第二读出放大器 (52), 所述第二读出放大器 (52) 被适配来将在所述第二真位线 (BT1) 和第二参考位线 (BC0) 之间的小电压信号区分为全摆幅信号, 所述全摆幅信号是在所述第二真位线和所述第二参考位线之一上的预定高压和在所述第二真位线和所述第二参考位线的另一个上的预定
5 低压, 所述小电压信号具有比所述全摆幅信号小得多的信号摆幅, 其中所述方法还包括:

在激活所述字线后, 隔离所述第二真位线 (BT1) 和所述第二参考位线 (BC1), 其后与所述第一读出放大器 (51) 同时设置所述第二读出放大器 (52), 以便当向所述第一存储单元中写入所述数据时, 刷新在所述第二存储
10 单元中存储的一个存储数据。

6. 用于执行权利要求 1-5 的方法中的任何一个的装置 (50, 56)。

7. 按照权利要求 6 的装置, 包括:

第一和第二位开关 (T1), 被适配来在所述写入操作期间、在所述读出放大器 (51) 的放大之前、仅将所述真位线 (BT0) 和所述参考位线 (BC0) 中的一个保持在所述固定电势, 同时在所述真位线 (BT0) 和所述参考位线 (BC0)
15 之间产生所述小电压差信号 (90)。

8. 按照权利要求 7 的装置, 还包括第一和第二写入控制开关 (T3), 其特征
20 在于, 当向所述存储单元存储所述预定高压时, 所述真位线 (BT0) 和真扇节点 (FT) 被所述第一写入控制开关 (T3) 选择性地保持在所述固定电势, 所述固定电势是大于地的电压, 并且当向所述存储单元存储所述预定低压时, 所述第二写入控制开关 (T3) 将所述参考位线 (BC0) 和互补扇节点 (FC) 选择性地保持在所述固定电势。

9. 按照权利要求 8 的集成电路, 其特征
25 在于, 所述第一和所述第二位开关 (T1) 被适配来通过导通而将所述真位线 (BT0) 和所述参考位线 (FC0) 预先充电到所述固定电势, 同时所述第一和所述第二写入控制开关 (T3) 将所述真扇节点 (FT) 和所述互补扇节点 (FC) 保持在所述固定电势。

10. 按照权利要求 7、8 或 9 的集成电路, 其特征
30 在于, 在读出操作期间, 所述第一位开关 (T1) 和所述第二位开关 (T1) 被适配来隔离所述真位线 (BT0) 和所述参考位线 (BC0), 以便所述读出放大器 (51) 放大在所述真位线 (BT0) 和所述参考位线 (BC0) 之间的小电压差 (92), 以便读取在所述存储单元中存储的一个存储数据。

通过将位线保持在固定电势来早写入
存储器的系统和方法

5

技术领域

本发明涉及集成电路存储器，并具体涉及集成电路存储器，特别是动态随机存取存储器 (DRAM)，其中从在位线上存在的小电压信号来检测所存储的内容。

10

背景技术

现有的 DRAM 一般比静态随机存取存储器 (SRAM) 或只读存储器 (ROM) 的存取速度慢。传统上，DRAM 已经被制造为独立的集成电路芯片，它们存储大量的数据，用于比磁或光盘媒体更快地存取，并且具有较低的价格和较低的功耗。相反，SRAM 和 ROM 通常提供比 DRAM 更快的存取，但是经常具有较高的价格和功耗，因为这些存储器类型需要每个所存储的数据比特更大的器件计数，这增加了成本和密度。

近来，对于使用 DRAM 作为集成电路的几个元件之一的兴趣增加，诸如“芯片上的系统”，它也可以包括逻辑或线性电路或其他电路类型。这样的 DRAM 元件已被称为嵌入的 DRAM 或“EDRAM”。使用嵌入的 DRAM 的目标包括以快速的存取时间但是以比 SRAM 更小的成本和功耗获得可能的大量可容易重写的存储量。面对现有的 DRAM 的一个问题是它向一个存储单元写入新的数据的时间大于在那个存储单元读取或刷新所述数据的时间。参照图 1 和 2 可以明白这个问题。具体上，图 1 示出了当读取现有技术的 DRAM 存储单元时有效的信号。读取操作以字线电压 10 开始，所述字线电压 10 从静态值 (在此情况下为大约 -0.4 伏特) 上升到激活值，所述激活值使得存储单元的存取晶体管导通 (conduct)。由存储单元中的电容器存储的电荷随后开始流过在位线上的晶体管而到达读出放大器。在读出放大器，在位线 BT 上的电压 12 和在参考位线 BC 上的电压 14 之间产生小压差信号 11，所述参考位线 BC 未连接到被读取的存储单元。读出放大器将小摆幅 (swing) 信号、例如在位线 BT 和参考位线 BC 之间的“模拟”信号转换为全摆幅逻辑电平信号，

用于向存储单元存储数据或从存储单元传送数据。在小电压信号 11 出现后，读出放大器通过信号 SETP 16 被设置、即被触发，以便将小电压信号 11 放大为全摆幅逻辑电平。这导致位线电压 12 和参考位线电压 14 从它们的初始小电压差分离到各自的预定高和预定低逻辑电平，在这种情况下分别是大约
5 1.2V 和 0.0V。存储在存储单元中的电压在图 1 中由曲线 18 表示。

相反，在传统的 DRAM 中的一些写入操作的执行需要比读取操作更长的时间。参见图 2，在当前存储低逻辑电平、即“0”的存储单元中写入高逻辑电平、即“1”的操作被称为“Read_0_Modify_Write_1 (读取_0_修改_写入_1)”。这个写操作的开始是通过读取包含“0”的存储单元、然后强制所述存储单元存储相反的值“1”。初始的读取步骤对于防止在相邻的位线上的存储单元的所存储内容被破坏是必要的。在一个存储单元被从“0”状态重写入“1”的同时，由同一字线存取的其他位线上的存储单元被读取和“写回”它们已经存储的相同数据。
10

如图 2 所示，读取_修改_写入操作以与读取操作相同的方式开始，其中
15 字线电压 10 从静态值向激活值上升。由存储单元中的电容器存储的电荷随后开始通过位线上的晶体管而流向读出放大器，其中在位线 BT 上的电压 22 和在参考位线 BC 上的电压 20 之间产生小压差信号 21，所述参考位线 BC 未连接到被写入的存储单元。在小电压信号 21 出现后，信号 SETP 16 设置读出放大器，这导致将小电压信号 21 分别放大为在参考位线 BC 和位线 BT 上的预定高和预定低的逻辑电平，它们反映出存储在存储单元中的原始“0”值数据。
20

在图 2 所示的现有技术 DRAM 操作中，在位线 BT 和参考位线 BC 上的电压 22、20 仅仅在读出放大器被设置后被强制为新的电平。在读出放大器被设置后，电压 20、22 分别几乎完全地达到所述高和低逻辑电平。然后，位线和参考位线电压进行相反的过程而达到写入操作所要求的相反电平。在写入之前执行初始读取所需要的时间使得在存储单元中的电压 24 比在读取操作中需要更长的时间来上升。与图 1 所示的读取操作相比较，在读取_修改_写入操作中，存储单元电压上升到最后值的 90% 比在读取操作中需要多 30% 的时间，这通过将图 1 的间隔 t_0-t_1 与图 2 的 $t_0'-t_1'$ 相比较可以明显看出。
25

迄今，执行读取_修改_写入操作需要更长的时间已经被认为是可以接受的。这是因为将位线信号电平太快地强制到新的值可能由于在被写入的位线和相邻的位线之间的线到线的噪声耦合而损坏其他存储单元中的数据。迄今，
30

还没有一种向存储单元迅速地写入新的值而没有损害由相邻的位线存取的存储单元中数据的风险的方式。

发明内容

5 因此，在本发明的目的中，每个目的可能替代其他的目的或与其他的目的相结合，这些目的如下：

本发明的一个目的是以与读取操作一样少的时间来执行对存储单元的写入操作。

10 本发明的另一个目的是向存储单元迅速地执行写入操作而没有损害由相邻的位线存取的存储单元中数据的风险。

本发明的另一个目的是提供一种系统，其中通过连接到主读出放大器的多个位开关而在传导路径（conduction path）上执行预先充电。

15 本发明的另一个目的是通过下列方式来执行写入操作：仅将真位线和参考位线中的一个保持在固定电势，并且设置读出放大器来将在真位线和参考位线之间的小电压差放大为预定的高和低逻辑电平，以便向存储单元存储一个数据。

20 因此，在本发明的一个方面，提供了一种包括存储器的集成电路，它被适配来通过多个位开关向存储单元写入一个数据，当设置读出放大器时，所述位开关仅将真位线和参考位线中的一个保持在固定电势，所述读出放大器被适配来将在真位线和参考位线之间的小电压差放大为预定的高电压和预定的低电压。真位线随后在预定的高电压和预定的低电压之一，并且这个电压被传送到存储单元以写入所述数据。

25 在本发明的更优选的方面，被写入的存储单元和其他存储单元通过字线存取。当设置连接到那些位线的读出放大器的时候，在当前未写入的其他存储单元上的多个位开关被适配来隔离与那些存储单元连接的真位线和参考位线，以便在写入所选择的存储单元时刷新未被写入的这些存储单元的存储内容。

附图说明

30 图 1 和 2 是分别图解现有技术的读取和读取_修改_写入操作的时序图。

图 3-4 是示出本发明的一个优选实施例的电路图。

图 5 是图解本发明的一个优选实施例的写入和读取操作的时序图。

具体实施方式

本发明提供了一种当设置读出放大器时，通过仅将真位线和参考位线，
5 即互补位线，中的一个保持在诸如地的固定电势而向存储单元写入一个数据的系统和方法。因此，在所述方法的步骤中，真位线和参考位线被按照顺序预先充电到固定电势。然后，为了写入，真位线和参考位线之一被保持在固定电势。在激活字线之后，在真位线和参考位线之间出现小压差。读出放大器随后被设置，它将小电压差放大为全摆幅信号，所述全摆幅信号是在真位
10 线和参考位线之一上的预定高电压 (V_{dd}) 和在另一个上的预定低电压 (地)。通过存储在真位线上存在的高压或低压来写入所述存储单元。

本发明也提供了一种新型的方式来预先充电真位线和参考位线而不使用位于主读出放大器的预先充电器件。相反，当其中的器件连接到诸如地的预先充电电势的时候，通过接通连接到扇入 (fan-in) 配置的位开关来执行预先
15 充电。因此，位开关提供用于预先充电所述位线的传导路径。

因此，在其中真位线和参考位线被初始地预先充电到地的这样的系统中，以下列方式来将低电压电平 (地) 作为 “0” 存储到存储单元。字线被激活。真位线被保持在地，而通过例如从其中已经存储了 $V_{dd}/2$ 电压的参考单元传送电荷，而使得高于地的参考电势出现在参考位线上。在真位线和参考位线
20 之间产生小电压差。然后设置读出放大器，它将小电压差放大为全摆幅信号，所述全摆幅信号是在真位线上的预定低电压，即地，并且是在参考位线上的预定高电压 (V_{dd})。以真位线上存在的低电压来写入存储单元以写入 “0”。

在读取操作中，真位线和参考位线被初始预先充电到地。字线被激活，并且根据从存储单元向真位线上的电荷传送和在参考位线上出现的参考电势
25 来在真位线和参考位线上产生小压差信号。通过例如从参考单元向参考位线传送电荷来在参考位线上提供参考电势，所述参考单元存储诸如 $V_{dd}/2$ 的中间电压。读出放大器随后被设置，它将小压差信号放大为全摆幅信号，所述全摆幅信号是在真位线和参考位线之一上的预定高压 (V_{dd})，并且是在另一个位线上的预定低压 (地)。

30 在下面所述的多个实施例中，在写入操作中，一个位开关对控制在多对、例如四对中的哪对具有当设置读出放大器时被保持在固定电势的真位线和参

考位线之一。图 3 是与存储阵列相关联的输入/输出电路的方框图，其中通过四选一 (one-of-four) 扇入配置从 1024 个主读出放大器提供 256 比特宽的 I/O 路径。参见图 3，通过在四个主读出放大器中的每个组 50 内的通/断信号 BXP<0:3>操作的位开关控制在真位线和参考位线上的读取操作期间的从主读出放大器组 50 向读取缓冲器 60 的信号流动。位开关也选择四个位线对中的哪一对要通过下列方式在写入操作期间被写入：向真位线和参考位线之一提供到诸如地的固定电势的传导路径，以便当设置主读出放大器时在主读出放大器上存在所述固定电势。每个读取缓冲器 60 具有一个真扇节点和一个互补扇节点，它们被四对位开关分别连接到组 50 中的四个真位线之一和四个参考位线之一。对于每四对位开关，一对在某时被信号 BXP<0:3>接通，以便允许在写入操作期间信号向真位线和参考位线流动，在读取操作期间信号从真位线和参考位线向读取缓冲器流动。控制块 56 被提供在主读出放大器组 50 和读取缓冲器 60 之间以根据输入 READ(读取)、EQN、WRITE0N 和 WRITE1N 来控制读取和写入操作。

图 3 和图 4 基于四选一扇入配置，其中仅从组 50 中的四个主读出放大器中的一个读取的数据在一个读出操作中被提供到读取缓冲器 60。本领域的技术人员将明白下列所需要的小修改：建立使用 2048 个主读出放大器的用于 256 比特宽的 I/O 路径的八选一的扇入配置，提高或降低对于每个扇入节点的主读出放大器的数量，这都是特定的设计所期望的。也应明白，I/O 路径的宽度仅仅是设计选择的事情，这里仅示意性地被示出为 256 比特宽。也应明白这样的方式，其中在替代的配置中，读取缓冲器 60 可以在上和下子阵之间被共享。图 3 中仅仅示出了上子阵的输入输出电路。

图 4 是示出下列的示意图：主读出放大器 51、52、53、54；四对分别连接到那里的真位线和参考位线 BT0 和 BC0、BT1 和 BC1、BT2 和 BC2、BT3 和 BC3；位开关对 T1，每对连接到每个位线对并且被如图所示的信号 BXP0..3 操作；和读取缓冲器 60。控制块 56 包括多个晶体管 T2，它们当 READ 信号变高时被接通，它们提供了在读取操作期间分别在两个位线对和一对真扇节点 FT 与互补扇节点 FC 之间的传导路径。控制块 56 也包括多个写入路径晶体管 T3，仅仅其中之一在某时被接通以向诸如 BT0、BC0 的任何一对位线写入。在写入操作期间，所述多个写入路径晶体管 T3 提供了仅在真位线和参考位线的所选择的一个到固定电势之间的传导路径。在预先充电操作期间，每

对的两个写入路径晶体管 T3 都被接通，并且接通位开关 T1，以便将位线预先充电到固定的电势。当期望在写入操作期间屏蔽特定的主读出放大器组 50 的时候，通过关断两个写入路径晶体管 T3 来执行写入屏蔽。如图 4 所示，所述固定电势是地。但是，如下更全面地所述，在一种替代的配置中，固定电势可以是 Vdd，它是预定的高压，在这个高压下，向存储单元写入高逻辑电平或“1”。

诸如 BT0..BT1 的两对位线传导地连接为中间扇节点 FT01、FC01，以便每个读出路径晶体管 T2 和每个读出路径晶体管 T3 提供用于两个真位线或两个参考位线的共享传导路径。在同一配置中，两个其他对 BT2..BT3 传导地连接为中间扇节点 FT23、FC23。通过这样的共享，降低了在控制块 56 中的器件计数。

与非门 70、72 来提供写入信号控制，所述与非门 70、72 向写入路径晶体管 T3 提供通/断信号。当要向由位线 BT0 存取的存储单元写入“0”时，T3 晶体管 74 被在与非门 72 的变低的 (low-going) WRITE0N 脉冲接通。当由 BXP0 信号接通位开关对 (晶体管 T1) 时，这个信号将 BT0 接地，以便当设置读出放大器时，BT0 被保持在地，并且 BC0 被驱动到预定的高压，即 Vdd。当向由位线 BT0 存取的存储单元写入“1”时，T3 晶体管 76 被在与非门 70 的变低的 WRITE1N 脉冲接通。当通过 BXP0 信号接通位开关对 (晶体管 T1) 时，这个行为将 BC0 接地，以便当设置读出放大器时，BC0 被保持在地，并且 BT0 被驱动到预定的高压，即 Vdd。

与非门 70、72 和多个写入路径晶体管 T3 也控制预先充电操作。在这个实施例中，所有的位线和中间扇节点被预先充电到地。在预先充电期间，位开关信号 BXP0..3 接通 T1 位开关，并且通过与非门 70、72 来传送变低的平衡信号 EQN 以接通所有的 T3 晶体管，因此将中间扇节点和位线放电到地。以这种方式，预先充电器件不必本地位于读出放大器 51..54，并且两个相同的晶体管 T3 都用于预先充电和写入数据控制。

读取缓冲器 60 包括多个器件 78，它们在施加信号 LBRESTN 的情况下将扇节点 FT 和 FC 预先充电到 Vdd。一对交叉耦合的器件 80，最好是如图所示的 PFET，用于区别在扇节点 FT 和 FC 上的电压，并且将它们保持在相应的预定高压和预定低压。来自读取操作的数据在终端 PDOT 从扇节点输出。

参见图 5，操作如下。以写入操作开始，通过使 BXP0..3 信号高和 EQN

信号低来接通 T1 位开关，来将位线和中间扇节点预先充电到地。T3 晶体管接通，于是将中间扇节点和位线放电到地。在预先充电之后，EQN 再次变高。

向由真位线 BT0 存取的存储单元写入“0”被执行如下。在与非门 72 写控制信号 WRITE0N 变低，仅仅将 T3 写入路径晶体管 74 接通到地。在这个
5 示例中，信号 LWE（本地写使能）表示与非门 72 的输出。LWE 当高时接通 T3 晶体管 74。由 BXP0 控制的 T1 位开关对保持接通，而其他的位开关 BXP1..BXP3 关断，以便仅仅将真位线 BT0 保持在地。

字线被变高的 WL 激活，于是将真位线 BT0 连接到存储器阵列。此时，参考位线 BC0 也被提供高于地的参考电势。这最好由存储在参考单元中的
10 Vdd/2 电压来提供，所述参考单元被与阵列字线同时激活的参考字线存取。在位线 BT0 和 BC0 之间产生小电压差 90。主读出放大器 51 随后被变高的信号 SETP 设置。因为位线 BT0 被保持在地，因此在 BT0 被保持在地的时候，在 BC0 的信号被驱动到预定的高压 Vdd。由 BXP0 控制的位开关 T1 保持接通，同时字线保持被激活以向存储单元写入作为“0”数据的预定的低压，即
15 地。在写入操作的结尾，字线激活电压 WL 再次降低，就像 SETP 复位读出放大器那样。

如果这是向由位线 BT0 存取的存储单元 0 写入“1”的操作，则 WRITE0N 将保持为高，并且将提供变低的 WRITE1N 脉冲。与非门 70 和 73 晶体管 76
（现在接通）随后将参考位线 BC0 箝位到地。在字线激活（WL 变高）后，
20 读出放大器将随后被 SETP 设置，并且在 BC0 上的电压被保持箝位在地。在真位线 BT0 上的电压将被主读出放大器 51 驱动到预定的高压 Vdd。预定的高压将作为来自真位线 BT0 上的高压的“1”被存储到存储单元。SETP 和 WL 将随后再次下降，完成了写入操作。

接着，如图 5 所示，以与前面相同的方式来再次执行预先充电到地，并
25 且由变高的 BXP0..3 和变低的 EQN 接通位开关 T1，以通过晶体管 T3 将位线和中间扇节点放电到地。

从上述可以明白，在诸如位线 BT0 的一个位线上的写入操作在与其他位线上的刷新（写回）操作一样少的时间内同时发生，所述其他位线连接到同一激活的位线。位线 BT0..BT3 连接到全部由同一位线存取的多个存储单元。
30 当在位线 BT0 上的特定存储单元 0 被写入新的数据时，在其他位线 BT1..BT3 上的存储单元中的数据被刷新、即被写回。当（由变高的 WL）激活字线时，

被存储在所有存储单元中的电荷沿着那个字线流向位线而到达读出放大器。于是，一旦字线激活，表示被存储的数据的信号分别从位在位线 BT0..BT3 上的存储单元向主读出放大器 51..54 流动。

在诸如这个的通常的写入操作中，仅仅在位线 BT0 上的存储单元被写入，
5 因为此时仅仅接通 BXP0 位开关对。在位线 BT1..BT3 上的存储单元未被写入而是被写回，因为 BXP1..BXP3 位开关对然后关断。因此，当在诸如 BT0 的另一个位线上的数据被写入时，BXP1..BXP3 位开关在每个组 50 (图 3) 中的每个情况下隔离位线对 BT1、BC1 等。以这种方式，主读出放大器 52..54 从连接到那里的位线接收所存储的数据信号，并且将数据信号再生为预定高和低逻辑电平，这些电平再次被存储到存储单元 (写回功能)。
10

从前面，可以明白，如果位开关被不同地控制，则本发明使得一种新的功能成为可能。通过在写入操作期间一次接通两个或多个位开关对，本发明提供了一种同时向由主读出放大器组 50 存取的两个或多个存储单元来“块写入”同一数据的方式，因此降低了在同一字线上写入存储单元所需要的写入
15 操作的次数。可能期望迅速地写入重复模式或执行对存储器阵列的消隐 (blinking) 功能。

下面，使用真位线 BT0 和参考位线 BC0 来执行从存储单元 0 的读取操作。仅仅信号 BXP0 在预先充电后保持高以将在位线 BT0 和 BC0 上的 T1 位开关保持接通，同时其他位开关对被变低的 BXP1..3 关断。由变高的 WL 激活字
20 线，并且在真位线 BT0 和参考位线 BC0 之间产生小压差信号 92。主读出放大器 51 随后被变高的信号 SETP 设置，因此将在 BT0 和 BC0 上的电压分别区分为预定低压和高压，即地和 Vdd。当主读出放大器 (在这种情况下为 51) 放大电压差 92 时，保持关断读出路径晶体管 T2。这最小化了在主读出放大器上的负载和可能的信号降级，所述降级不同地在组 50 中的位线对的附加
25 电容和从读取缓冲器 60 产生。在信号放大之后，在现在区分了在 BT0 和 BC0 上的电压的情况下，变高的 READ (读取) 信号接通读出路径晶体管 T2，因此在 BT0 和 FT 之间和在读取缓冲器 60 的 BC0 和 FC 之间传送位线信号。在读取缓冲器 60，扇节点电压 FT 和 FC 现在表示从在位线 BT0 上的存储单元 0 读出的数据。多个交叉耦合的器件 80 辅助信号传送，所述多个交叉耦合的器
30 件 80 将在扇节点 FT 和 FC 的电压分别保持在 Vdd 和地中之一。所述数据被作为输出提供在 PDOT 上。因此，现在全面地说明读取操作。

可以明白，本领域内的技术人员可以以较小的修改来改变参照图 3-5 所述的配置，以便使得位线被预先充电到预定的高压 Vdd 而不是地。在这样的修改的配置中，真位线和参考位线之一将在写入操作期间被保持在 Vdd，而通过例如从其中存储了 Vdd/2 电压的参考单元传送电荷来在参考位线上出现 5 较低的参考电势。与图 3-5 的配置类似，可以通过在 Vdd 预先充电后仍导通的位开关和通过将所选择的真位线或参考位线连接到 Vdd 的写入路径晶体管来实现控制。

例如，当向存储单元写入“1”时，位线被保持在 Vdd，并且位开关保持导通和写入路径晶体管有效。小电压差出现在真位线和参考位线之间，以便 10 当设置读出放大器时，真位线保持在 Vdd，同时参考位线被驱动到诸如地的预定低压。存储单元随后被写入在真位线上存在的预定高压 Vdd。

虽然已经参照本发明的优选实施例说明了本发明，本领域的技术人员应明白在不脱离所附的权利要求所限定的本发明的精神和范围的情况下，可进行许多修改和改进。

15

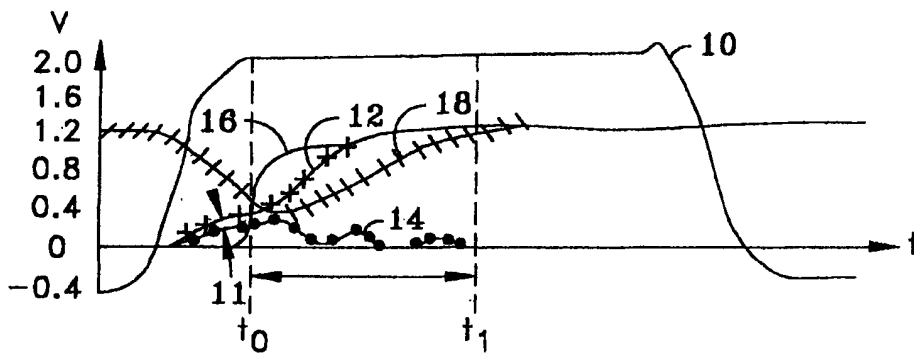


图 1

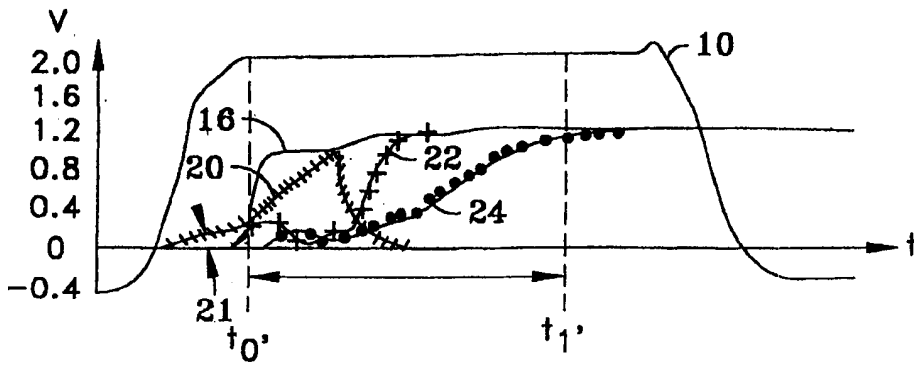


图 2

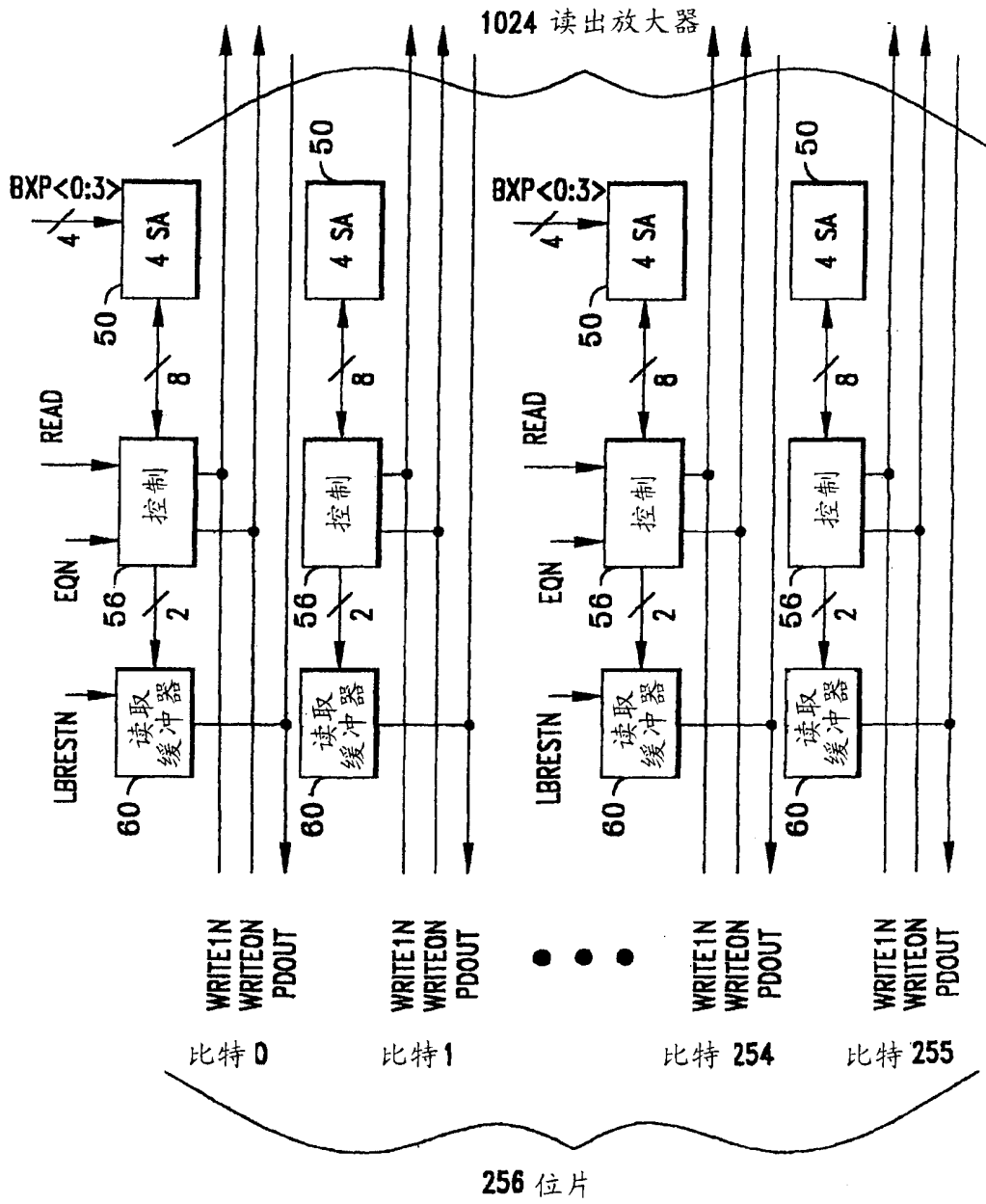


图 3

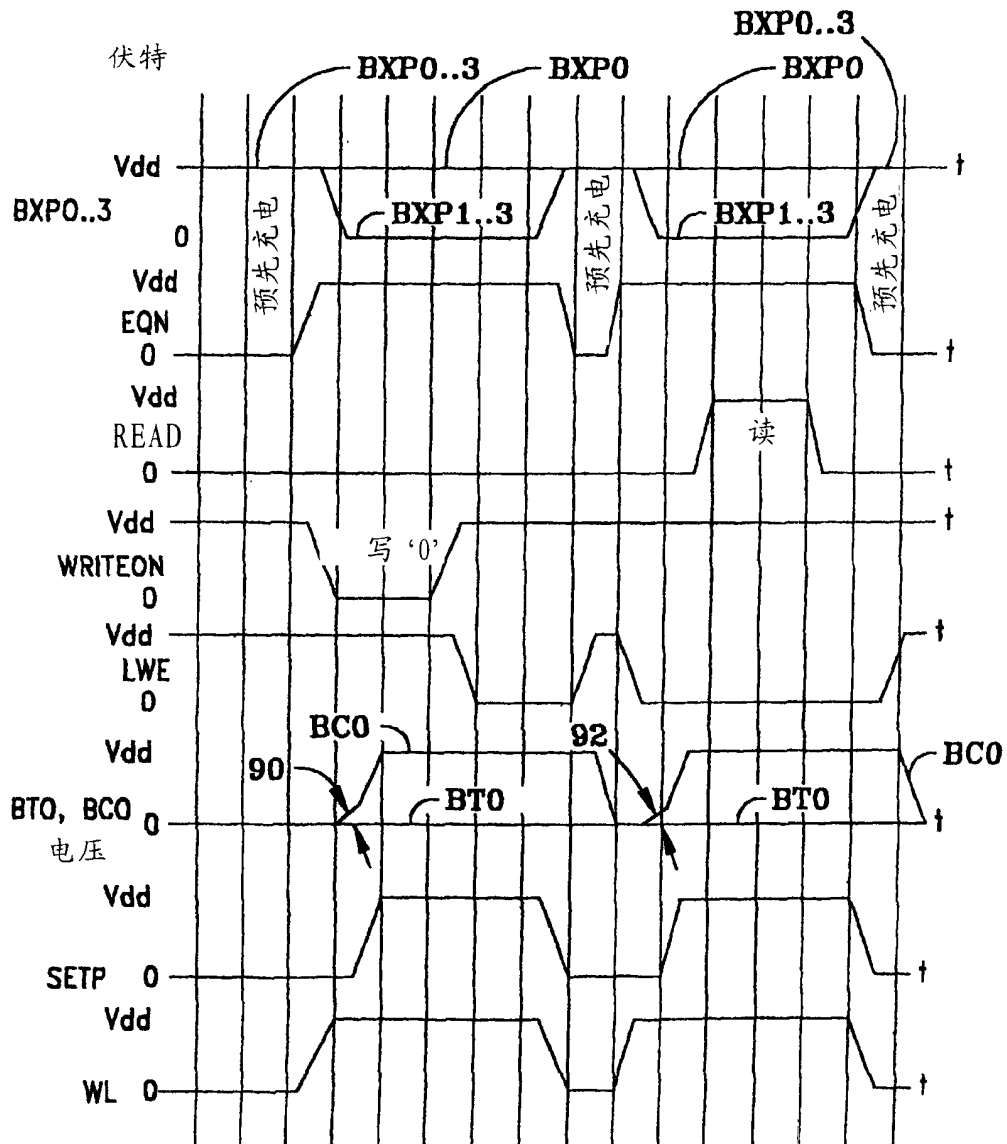


图 5