

Изобретение относится к радиотехнике и может быть использовано в следящих анализаторах спектра и в устройствах контроля.

Цель изобретения - расширение диапазона синтезируемых частот и повышение равномерности следования выходных импульсов.

На чертеже представлена электрическая структурная схема устройства синтеза частот.

Устройство синтеза частот содержит блок управления 1, первый сумматор 2 кодов, второй сумматор 3 кодов, генератор 4 опорной частоты, датчик 5 опорных частот, первый коммутатор 6, второй коммутатор 7, задатчик кодов 8, первый управляемый делитель 9 частоты, второй управляемый делитель 10 частоты, триггер 11, третий управляемый делитель 12 частоты, первый регистр 13 памяти, второй регистр 14 памяти, первый счетчик 15, второй счетчик 16. При этом блок управления 1 состоит из счетчика управления 17, триггера управления 18, элемента И 19, блока элементов И 20, дешифратора 21.

Устройство синтеза частот работает следующим образом.

Генератор 4 формирует опорную частоту, которая поступает на вход датчика 5, с выхода которого набор частот, представляющий геометрическую прогрессию со знаменателем q , подается на вторые многоразрядные входы первого и второго коммутаторов 6 и 7. На выходе первого и второго коммутаторов 6, 7 выходная часть определяется входным кодом $N_{вх}$, поступающим на их первые входы с выхода соответствующих первого и второго сумматора 2, 3.

Если заданный коэффициент умножения представлен в виде $K = m_1/m_2 \cdot 2^L$, где m_1 - код на установочном входе первого управляемого делителя 9; m_2 - код на установочном входе второго управляемого делителя 10, $L \geq 0$ (целое число), то на первом выходе задатчика кода 8 формируется код $R_1 = L$, на втором выходе задатчика кода 8 формируется код $R_2 = 0$. Если на выходе первого сумматора 2 присутствует код N_2 , а на выходе второго сумматора код N_3 , то на выходе первого коммутатора 6 будет выбрана частота из сетки частот

$f_6 = f_{оп} \cdot 2^{-N_2}$, а на выходе второго коммутатора частота $f_7 = f_{оп} \cdot 2^{-N_3}$.

На выходе первого управляемого делителя 9 формируется импульсная последовательность $f_9 = f_6/m_1 = f_{оп}/m_1 \cdot 2^{-N_2}$, а на выходе второго управляемого делителя 10 будет частота $f_{10} = f_{оп}/m_2 \cdot 2^{-N_3}$, коды m_1 и m_2 задаются соответственно с третьего и четвертого выходов задатчика кодов 8.

Импульс входной частоты поступает через первый вход блока управления 1 на второй вход триггера управления 18 и взводит его, что прекращает условие сброса счетчика управления 17. На первом выходе триггера управления 18 появляется уровень "Лог. 0", что запрещает прохождение импульсов с вторых входов элемента И 19 и блока элементов И 20 на их выходы. При этом на четвертом многоразрядном выходе блока управления 1 устанавливается уровень "Лог. 1" и выходной код N_2 первого сумматора 2 становится равным коду R_1 , действующим на его первом входе, а выходная частота первого управляемого делителя 9, поступающая на второй вход блока управления 1, будет определяться как $f_9 = f_{оп}/m_1 \cdot 2^{-N_2} = f_{оп}/m_1 \cdot 2^L$.

С каждым импульсом этой последовательности код счетчика управления 17 будет увеличиваться на единицу, и на втором, а затем на первом выходах дешифратора 21 в соответствующие моменты времени будут появляться импульсы записи (с второго выхода блока управления 1) и импульсы начальной установки (на первом выходе блока управления 1). С началом импульса записи информационные состояния первого и второго счетчиков 15, 16 и состояния триггера 11 переносятся в первый и второй регистры 13, 14. По импульсам начальной установки производится сброс второго счетчика 16 и триггера 11 в нулевое состояние, а первый счетчик 15 устанавливается в такое состояние, при котором его код равен максимальному коду счетчика управления 17.

При этом импульс переноса с выхода счетчика управления 17, поступая на первый вход триггера управления 18, сбрасывает последний, в результате чего счетчик управления 17 будет

находиться в сброшенном состоянии до появления нового входного импульса. Импульсы с выхода первого управляемого делителя 9 через элемент И 19 поступают на вход первого счетчика 15, увеличивая его код с каждым импульсом на единицу. После заполнения первого счетчика 15 очередной импульс, действующий на его входе, приводит к переполнению первый счетчик 15 и все его разряды переходят из единичного в нулевое состояние. При этом перепад уровня на его втором выходе не может изменить состояние второго счетчика 16, так как на его первом входе сброса действует уровень "Лог. 1" с второго выхода триггера 11. Так как триггер 11 выполнен в виде D-триггера, то изменение состояния его входа синхронизации с уровня "Лог. 1" на уровень "Лог. 0" под действием сигнала с второго выхода первого счетчика 15 приводит к изменению состояния выходов триггера 11. При этом на второй счетчик 16 поступает разрешение на счет импульсов в последующие моменты времени при поступлении очередных импульсов на второй вход первого счетчика 15 увеличивает его код с нуля до максимального, при этом дополнительный импульс переводит первый счетчик 15 в нулевое состояние, а код второго счетчика 16 увеличивается на единицу и этот код через блок элементов И 20 поступает на второй вход первого сумматора 2, увеличивая его код с $N_2 = L$ на $N'_2 = L + 1$. При этом частота на выходе первого коммутатора 6 уменьшается в два раза и становится равной $f_g = f_{on} / m_1 \cdot 2^{L+1}$. Темп изменения кода первого счетчика 15 также падает в два раза. С каждым последующим переполнением первого счетчика 15 увеличивается на единицу код второго счетчика 16 и частота импульсов на входе первого счетчика 15 вновь уменьшается в 2 раза, при этом состояние триггера 11 не изменяется. Состояние триггера 11 используется в качестве единицы старшего разряда кода мантиссы периода входной частоты, остальные разряды которого представлены выходным кодом первого счетчика 15. Значение кода мантиссы при этом изменяется во времени до максимального значения периодически. По окончании временного интервала и с приходом очередного импульса на

первый вход блока управления 1 триггер управления 18 вновь взводится и закрывает прохождение импульсов через элемент И 19 на второй вход первого счетчика 15. При этом выходной код первого счетчика 15 вместе с выходом триггера 11 фиксирует код мантиссы периода следования входных импульсов m_N , а состояние выходов второго счетчика 16 будут соответствовать коду порядка периода входной частоты P_N , которые импульсом с второго выхода блока управления 1 запоминаются в первом и втором регистрах 13, 14. Так как при $L \gg 0$ код на первом выходе задатчика кода 8 равен нулю, то частота на выходе второго управляемого делителя 10 установится равной $f_{10} = f_{on} / m_2 \cdot 2^{P_N}$. Эта частота поступает на вход третьего управляемого делителя 12, коэффициент деления которого определяется кодом с выходов первого регистра 13. При этом выходная частота третьего управляемого делителя 12 и, следовательно, выходная частота устройства синтеза частот определится величиной

$$F_{вых} = \frac{f_{10}}{m_N}$$

$$\text{Так как } m_N = \frac{T_{\Delta\lambda} \cdot f_{on}}{m_1 \cdot 2^{L+1} \cdot P_N}, \text{ то } F_{вых} = \frac{f_{on}}{m_2 \cdot 2^{P_N}} \cdot \frac{m_1 \cdot 2^{L+1}}{T_{\Delta\lambda} \cdot f_{on}} = \frac{m_1}{m_2} \cdot 2^L \cdot F_{вх},$$

т.е. выходная частота пропорциональна входной с коэффициентом пропорциональности $K = m_1 / m_2 \cdot 2^L$.

$$\text{При } L < 0 \quad f_g = \frac{f_{on}}{n_1 \cdot 2^{P_N}};$$

$$m_N = \frac{T_{\Delta\lambda} \cdot f_{on}}{m_1 \cdot 2^{P_N}}; \quad f_{10} = \frac{f_{on}}{m_2 \cdot 2^{L+1} \cdot P_N}$$

для выходной частоты получается аналогичный результат.

Погрешность формирования выходной частоты определяется емкостью $m_{N \text{ макс}}$ первого счетчика 15 $1/m_{N \text{ макс}} \leq \delta \leq 2/m_{N \text{ макс}}$.

Если количество разрядов первого счетчика 15 равно Q , то погрешность определится как $2^{-Q} \leq \delta \leq 2^{1-Q}$ в диапазоне частот, зависящем от разрядности Q_2 второго счетчика 16 $D = F_{\text{макс}} / F_{\text{мин}} = 2^{2Q+1}$. Так при $Q = 10$ и $Q_2 = 3$, $0,1\% \leq \delta \leq 0,2\%$, $D = 2^{23+1} = 512$, т.е. диапазон частот расширяется.

Поскольку импульсы управления записью в первый и второй регистры 13, 14 отстают во времени на несколько периодов тактовой частоты от момента запрещения счета импульсов первым счетчиком 15, вследствие чего к моменту считывания кода в первом счетчике 15 код успевает принять установившиеся значения даже при самой высокой входной частоте, то входная тактовая частота может быть выбрана предельно допустимой исходя из быстродействия элементной базы, что повышает надежность работы.

Выполнение первого счетчика 15 с установкой кода в состояние, равное максимальному коду счетчика управления 17, позволяет избежать потери части входной информации.

Ф о р м у л а и з о б р е т е н и я

1. Устройство синтеза частот, содержащее генератор опорной частоты, первый коммутатор, задатчик кодов, первый и второй регистры памяти, первый счетчик, первый сумматор кодов и блок управления, первый вход которого является сигнальным входом устройства синтеза частот, отличающееся тем, что, с целью расширения диапазона синтезируемых частот и повышения равномерности следования выходных импульсов, введены датчик опорных частот, первый управляемый делитель частоты, второй счетчик, триггер и последовательно соединенные второй сумматор кодов, второй коммутатор, второй управляемый делитель частоты и третий управляемый делитель частоты, выход которого является выходом устройства синтеза частот, при этом вторые поразрядные входы первого и второго коммутаторов объединены и подключены к соответствующим поразрядным выходам датчика опорных частот, вход которого соединен с выходом генератора опорной частоты, выход первого коммутатора подключен к входу первого управляемого делителя частоты, выход которого соединен с вторым входом блока управления, первый вход триггера объединен с первым входом первого счетчика и подключен к первому выходу блока управления, первый вход первого регистра памяти объеди-

нен с первым входом второго регистра памяти и подключен к второму выходу блока управления, третий выход которого соединен с вторым входом первого счетчика, первый и второй выходы триггера соответственно подключены к второму входу первого запоминающего регистра и к первому входу второго счетчика, второй вход которого объединен с вторым входом триггера и подключен к выходу переноса первого счетчика, кодовый выход которого соединен с кодовым входом первого регистра памяти, кодовый выход которого подключен к установочному входу третьего управляемого делителя частоты, первый-четвертый выходы задатчика кода соответственно подключены к первым входам второго и первого сумматоров кодов, к установочным входам второго и первого управляемых делителей частоты, второй вход первого сумматора кодов соединен с четвертым выходом блока управления, выход первого сумматора кодов подключен к первому входу первого коммутатора, второй вход второго сумматора кодов соединен с выходом второго регистра памяти, второй вход последнего объединен с третьим входом блока управления и подключен к выходу второго счетчика.

2. Устройство по п. 1, отличающееся тем, что блок управления содержит последовательно соединенные счетчик управления, триггер управления и элемент И, а также блок элементов И и дешифратор, первый, второй и третий входы которого подключены соответственно к второму, третьему и четвертому выходам счетчика управления, первый вход которого соединен с вторым выходом триггера управления, второй вход которого является первым входом блока управления, второй вход счетчика управления объединен с вторым входом элемента И и является вторым входом блока управления, первый вход блока элементов И соединен с первым выходом триггера управления, при этом первый и второй выходы дешифратора и выход элемента И являются соответственно первым, вторым и третьим выходами блока управления, а второй вход и выход блока элементов И являются соответственно третьим входом и четвертым выходом блока управления.