

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年2月28日 (28.02.2008)

PCT

(10) 国際公開番号
WO 2008/023530 A1

(51) 国際特許分類:

H03F 3/34 (2006.01) H03G 3/10 (2006.01)
H03F 3/45 (2006.01)

Yusuke) [JP/JP]; 〒1008440 東京都千代田区有楽町一
丁目1番2号 Tokyo (JP).

(21) 国際出願番号:

PCT/JP2007/064644

(74) 代理人: 谷 義一 (TANI, Yoshikazu); 〒1070052 東京都
港区赤坂2丁目6-20 Tokyo (JP).

(22) 国際出願日:

2007年7月26日 (26.07.2007)

(81) 指定国(表示のない限り、全ての種類の国内保護が可
能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH,
BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK,
DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM,
GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP,
KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME,
MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ,
OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,
SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

特願2006-224293 2006年8月21日 (21.08.2006) JP

(84) 指定国(表示のない限り、全ての種類の広域保護が可
能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

(71) 出願人(米国を除く全ての指定国について): 旭化
成エレクトロニクス株式会社 (ASAHI KASEI EMD
CORPORATION) [JP/JP]; 〒1600023 東京都新宿区西
新宿一丁目23番7号 Tokyo (JP).

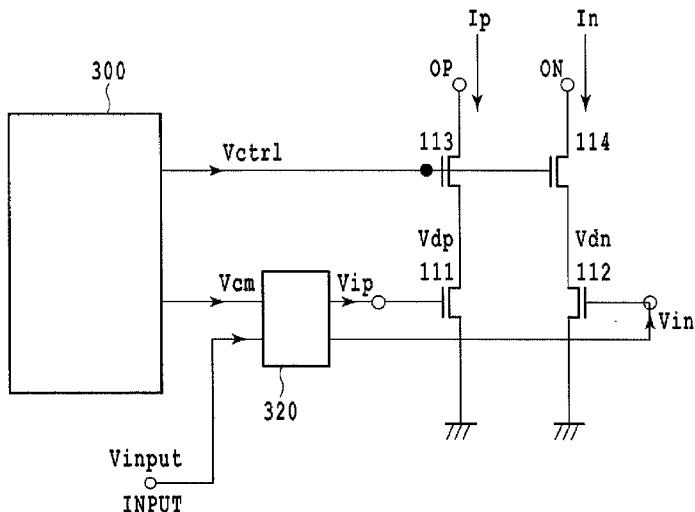
(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 相羽祐丞 (AIBA,

/続葉有/

(54) Title: TRANSCONDUCTANCE AMPLIFIER

(54) 発明の名称: トランスクンダクタンスアンプ



WO 2008/023530 A1

(57) Abstract: A transconductance amplifier having a transconductance tunable in a wider range while the linearity between the input voltage and output current over the whole predetermined operation input range is maintained. An example of the invention comprises a differential pair composed of source-grounded first and second MOS transistors (111, 112), third and fourth transistors (113, 114) whose source terminals are connected to the respective drain terminals of the first and second transistors (111, 112), a voltage generating circuit (300) for outputting a tuning voltage and a common voltage at a constant ratio of the common and tuning voltages, and a differential pair input voltage generating circuit (320) which receives the input voltage and the common voltage and outputs a voltage V_{ip} and a voltage V_{in} to the respective gate terminals of the first and second transistors (111, 112). The gate terminal of the fourth transistor (114) is connected to the gate terminal of the third transistors (113), and the tuning voltage is inputted to both gate terminals.

(57) 要約: 本発明は、トランスクンダクタンスアンプに関し、所定の動作入力範囲全体にわたって入力電圧と出力電流との間の線形性を維持した状態で、トランスクンダクタンスをより広範囲でチューニング可能なトランスクンダクタンスアンプを提供することを目的とする。本発明の一実施形態は、ソース接地された、第1のMOSトラン

/続葉有/



SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 國際調査報告書

ジスタ (111) および第2のMOSトランジスタ (112) から構成された差動対と、ソース端子が第1のトランジスタ (111) および第2のトランジスタ (112) のドレイン端子と各々接続されている第3のトランジスタ (113) および第4のトランジスタ (114) と、チューニング電圧およびコモン電圧を、コモン電圧とチューニング電圧との比が一定となるように出力する電圧発生回路 (300) と、入力電圧およびコモン電圧が入力され電圧 V_{ip} および V_{in} を第1のトランジスタ (111) および第2のトランジスタ (112) のゲート端子に各々出力する差動対入力電圧発生回路 (320) とを備える。第4のトランジスタ (114) のゲート端子は、第3のトランジスタ (113) のゲート端子と接続され、両端子にはチューニング電圧が入力される。

明細書

トランスコンダクタンスアンプ

技術分野

[0001] 本発明は、電圧を電流に変換するトランスコンダクタンスアンプに関する。

背景技術

[0002] トランスコンダクタンスアンプは、入力電圧に比例した出力電流を供給する増幅器であり、一般に安定した利得を持つ。言い換えると、所定の動作入力範囲にわたり入力電圧を変化させたときに出力電流と入力電圧との比が安定している、つまり出力電流が入力電圧に関して線形である。

[0003] 所定の動作入力範囲において入力電圧と出力電流との間の良好な線形性を有するトランスコンダクタンスアンプとして、例えば、図1に示されているようなソース接地されたMOSトランジスタから構成された差動対を用いる方法が知られている(例えば、非特許文献1参照)。図1に示すトランスコンダクタンスアンプは、ソース接地されたMOSトランジスタ111および112から構成された差動対と、ソース端子がMOSトランジスタ111のドレイン端子と接続されているMOSトランジスタ113と、ソース端子がMOSトランジスタ112のドレイン端子と接続され、ゲート端子がMOSトランジスタ113のゲート端子と接続されているMOSトランジスタ114と、MOSトランジスタ113および114のゲート端子に入力されるチューニング電圧Vctrlを出力する電圧発生回路100と、差動対に入力される電圧VipおよびVinを生成するためのコモン電圧Vcmを出力する電圧発生器と、入力電圧Vin入力端子およびコモン電圧Vcmが入力され、電圧VipをMOSトランジスタ111のゲート端子に出力し電圧VinをMOSトランジスタ112のゲート端子に出力する差動対入力電圧発生回路120とから構成されている。ここで、各MOSトランジスタの(チャネル幅とチャネル長との比である)トランジスタサイズやチューニング電圧Vctrlおよびコモン電圧Vcmは、差動対を形成するMOSトランジスタ111および112が三極管領域で動作するように、MOSトランジスタ113および114が飽和領域で動作するように制御されている。また、電圧VipおよびVinは、

$$Vin = 2 \times Vcm - Vip$$

の関係を満たすものである。 V_{ip} と V_{in} との差が、 V_{input} により定まる。

- [0004] このような構成において、 $V_{ip} - V_{in}$ を入力電圧とし $I_p - I_n$ を出力電流とすると、図1に示されている回路はトランスコンダクタンスアンプとして機能する。図2には、出力電流を入力電圧で微分して得られるトランスコンダクタンスGmが示されている。 $V_{ip} - V_{in} = 0$ の付近においてトランスコンダクタンスGmが一定であり、出力電流が入力電圧に比例することが分かる。入力電圧と出力電流との間の良好な線形性に加えて、チューニング電圧Vctrlの制御によってトランスコンダクタンスGmのチューニングを行うことも可能であり、チューニング電圧Vctrlを中レベルから小レベルおよび大レベルに変えたときのトランスコンダクタンスGmがそれぞれ示されている。
- [0005] しかしながら、図1に示されているような従来のトランスコンダクタンスアンプにおいては、トランスコンダクタンスのチューニングを目的としてチューニング電圧Vctrlを変化させたとき、トランスコンダクタンスアンプの入力電圧と出力電流との間の線形性が悪化してしまう問題がある。チューニング前(図2の例では、Vctrlが中の時)にトランスコンダクタンスGmが一定である範囲をトランスコンダクタンスアンプ使用時の動作入力範囲と定めた場合、チューニング電圧Vctrlを大きくすると動作入力範囲の上限および下限付近におけるトランスコンダクタンスGmが減少するためトランスコンダクタンスGmが一定である範囲が狭くなる。したがって、入力電圧に比例した出力電流を供給することができなくなってしまう。別の観点から考えると、動作入力範囲全体にわたって入力電圧と出力電流との間の線形性を保った状態でチューニングするためには、トランスコンダクタンスをチューニングするためにチューニング電圧Vctrlを変化させることのできる範囲が非常に狭いものになってしまふ。
- [0006] 本発明はこのような問題点に鑑みてなされたもので、その目的とするところは、所定の動作入力範囲全体にわたって入力電圧と出力電流との間の線形性を維持した状態で、トランスコンダクタンスをより広範囲でチューニングすることのできるトランスコンダクタンスアンプを提供することにある。
- [0007] 非特許文献1: Chun-Sup Kim, "A CMOS 4X Speed DVD Read Channel IC", IEEE Journal of Solid-State Circuits, vol. 33, No. 8, August 1998

発明の開示

- [0008] このような目的を達成するために、請求項1に記載の本発明は、入力電圧に比例した出力電流を供給するトランスコンダクタンスアンプであって、三極管領域で動作する、ソース接地された第1および第2のMOSトランジスタから構成されている差動対と、飽和領域で動作する、ソース端子が前記第1のMOSトランジスタのドレイン端子と接続されている第3のMOSトランジスタと、飽和領域で動作する、ソース端子が前記第2のMOSトランジスタのドレイン端子と接続され、ゲート端子が前記第3のMOSトランジスタのゲート端子と接続されている第4のMOSトランジスタと、前記第3および第4のMOSトランジスタのゲート端子に入力されるチューニング電圧と、前記差動対に入力される第1の電圧および第2の電圧を生成するためのコモン電圧とを、前記チューニング電圧と前記コモン電圧との比が一定になるように出力する電圧発生回路と、前記コモン電圧が入力され、前記第1の電圧を前記第1のMOSトランジスタのゲート端子に出力し前記第2の電圧を前記第2のMOSトランジスタのゲート端子に出力する差動対入力電圧発生回路とを備え、前記第2の電圧は、 $2 \times (\text{前記コモン電圧}) - (\text{前記第1の電圧})$ であり、前記入力電圧は、前記第1の電圧と前記第2の電圧との差であり、前記出力電流は、前記第1および第3のMOSトランジスタのドレイン・ソース間を流れる第1の電流と、前記第2および第4のMOSトランジスタのドレイン・ソース間を流れる第2の電流との差であることを特徴とする。
- [0009] また、請求項2に記載の発明は、請求項1において、前記電圧発生回路は、前記チューニング電圧を出力する電圧発生器と、前記電圧発生器の出力とグランドとの間の電圧を分圧し、前記分圧された電圧を前記コモン電圧として出力する分圧手段とを備えることを特徴とする。
- [0010] また、請求項3に記載の発明は、請求項2において、前記分圧手段は、前記電圧発生器の出力とグランドとの間に直列に接続された複数の抵抗を備えることを特徴とする。
- [0011] また、請求項4に記載の発明は、請求項3において、前記分圧手段は、前記複数の抵抗を二分する点に入力端子の一方が接続され、他方の入力端子が出力端子と接続された演算増幅器をさらに備えることを特徴とする。
- [0012] また、請求項5に記載の発明は、請求項1において、前記電圧発生回路は、前記コ

モン電圧を出力する電圧発生器と、前記電圧発生器の出力端子が入力端子に接続され前記チューニング電圧を出力する非反転増幅器とを備えることを特徴とする。

- [0013] また、請求項6に記載の発明は、請求項5において、前記電圧発生器は、三極管領域で動作する、ソース接地された第5のMOSトランジスタと、飽和領域で動作する、ソース端子が前記第5のMOSトランジスタのドレイン端子と接続され、ドレイン端子が前記第5のMOSトランジスタのゲート端子と接続されている第6のMOSトランジスタと、前記第6のMOSトランジスタのドレイン端子に電流を出力する電流源とを備え、前記第5のMOSトランジスタのゲート端子は、前記電圧発生器の出力端子であり、前記第6のMOSトランジスタのゲート端子は、前記非反転増幅回路の出力端子と接続されていることを特徴とする。
- [0014] また、請求項7に記載の発明は、請求項6において、前記第5のMOSトランジスタは、前記第1および第2のMOSトランジスタと、前記第6のMOSトランジスタは、前記第3および第4のMOSトランジスタとカレントミラー関係を有するように構成されていることを特徴とする。
- [0015] また、請求項8に記載の発明は、請求項6又は7において、前記電流源は可変であることを特徴とする。
- [0016] また、請求項9に記載の発明は、請求項2乃至8のいずれかにおいて、前記電圧発生器は可変であることを特徴とする。
- [0017] また、請求項10に記載の発明は、請求項1乃至9のいずれかにおいて、前記チューニング電圧と前記コモン電圧との比は、定数 α であることを特徴とする。
- ### 図面の簡単な説明
- [0018] [図1]図1は従来のトランスコンダクタンスアンプを示す図である。
[図2]図2は従来のトランスコンダクタンスアンプをチューニングしたときのトランスコンダクタンスの変化を説明する図である。
[図3]図3は本発明の実施形態1に係るトランスコンダクタンスアンプを示す図である。
[図4]図4はソース接地されたMOSトランジスタの動作を説明する図である。
[図5]図5はソース接地された2つのMOSトランジスタから構成された差動対の動作を説明する図である。

[図6]図6は本発明の一実施形態に係るトランスコンダクタンスアンプをチューニングしたときのトランスコンダクタンスの変化を説明する図である。

[図7]図7は本発明の実施形態2に係るトランスコンダクタンスアンプを示す図である。

[図8]図8は本発明の実施形態3に係るトランスコンダクタンスアンプを示す図である。

[図9]図9は本発明の実施形態4に係るトランスコンダクタンスアンプを示す図である。

[図10]図10は本発明の一実施形態に係る差動対入力電圧発生回路の一実施例を示す図である。

[図11]図11は本発明の一実施形態に係る差動対入力電圧発生回路の別の実施例を示す図である。

発明を実施するための最良の形態

[0019] 以下、図面を参照して本発明の実施形態を説明する。

[0020] (実施形態1)

図3は、実施形態1に係るトランスコンダクタンスアンプの回路図を示している。本実施形態に係るトランスコンダクタンスアンプは、MOSトランジスタ111乃至114に関して図1の従来のトランスコンダクタンスアンプと同一の構成であるが、電圧発生回路、コモン電圧Vcmを出力する電圧発生器、および差動対入力電圧発生回路に関して構成を異にする。具体的には、本実施形態に係るトランスコンダクタンスアンプは、ソース接地されたMOSトランジスタ111(第1のMOSトランジスタに対応)および112(第2のMOSトランジスタに対応)から構成された差動対と、ソース端子がMOSトランジスタ111のドレイン端子と接続されているMOSトランジスタ113(第3のMOSトランジスタに対応)と、ソース端子がMOSトランジスタ112のドレイン端子と接続されゲート端子がMOSトランジスタ113のゲート端子と接続されているMOSトランジスタ114(第4のMOSトランジスタに対応)と、MOSトランジスタ113および114のゲート端子に入力されるチューニング電圧Vctrl、ならびに差動対に入力される電圧Vip(第1の電圧に対応)およびVin(第2の電圧に対応)を生成するためのコモン電圧Vcmを出力する電圧発生回路300と、入力端子INPUTから入力される入力電圧Vinputおよびコモン電圧Vcmが入力され、電圧VipをMOSトランジスタ111のゲート端子に出力し電圧VinをMOSトランジスタ112のゲート端子に出力する差動対入力電圧発生回路

320とを備える。ここで、各MOSトランジスタのトランジスタサイズやチューニング電圧Vctrlおよびコモン電圧Vcmは、差動対を形成するMOSトランジスタ111および112が三極管領域で動作するように、MOSトランジスタ113および114が飽和領域で動作するように制御されている。

- [0021] 差動対入力電圧発生回路320は、たとえば図10に示す構成とすることができる。電圧Vipと電圧Vinとの差(トランスコンダクタンスアンプの入力)と実質的に等価である入力電圧Vinputと、コモン電圧Vcmとが入力され、差動対に入力される電圧VipとVinが出力される。
- [0022] 入力電圧Vinputは、シングル差動変換回路330を経て差動信号Vinputp、Vinp utnとなり、抵抗Rhp1、Rhp2と容量Chp1、Chp2とから構成されるHPF(ハイパスフィルタ)により、それぞれの信号の基準電位をコモン電圧Vcmに直したあと、MOSトランジスタ111および112のゲート端子に出力される。シングル差動変換回路330を用い直接、差動信号であるVinputp、Vinputnを元に差動対へ入力される電圧を発生させてももちろん良い。
- [0023] また図11は、差動対入力電圧発生回路320の別の実施例を示している。電圧Vipと電圧Vinとの差(トランスコンダクタンスアンプの入力)と実質的に等価である入力電圧Vinputと、コモン電圧Vcmとが入力され、差動対に入力される電圧VipとVinが出力される。入力電圧Vinputは、シングル差動変換回路330を経て差動信号Vinput p、Vinputnとなり、レベルシフト回路331および332によりそれぞれの信号の基準電位をコモン電圧Vcmに直したあと、MOSトランジスタ111および112のゲート端子に出力される。シングル差動変換回路330を用い直接、差動信号であるVinputp、Vinputnを元に差動対へ入力される電圧を発生させてももちろん良い。差動対入力電圧発生回路320は、上記二つの実施例のみに限定されるわけではないことを付け加えておく。
- [0024] このような構成において、MOSトランジスタ111、112の各ゲート端子に発生する電圧Vip、Vinの差Vip-Vinを入力電圧とし、MOSトランジスタ113、114の各ドレン端子OP、ONに流れる電流Ip、Inの差Ip-Inを出力電流とすると、図3に示されている回路はトランスコンダクタンスアンプとして機能する。

[0025] 本実施形態は、電圧発生回路300が、チューニング電圧Vctrlの出力に加えて、チューニング電圧Vctrlと一定の関係を有するようにコモン電圧Vcmも出力している点において従来の図1に示すようなトランスクンダクタンスアンプと異なる。以下で、まずMOSトランジスタ111および113に注目して電圧Vipとチューニング電圧Vctrlとの関係を説明する。ついで、MOSトランジスタ112および114の動作と合わせて、本実施形態に係るトランスクンダクタンスアンプ全体の動作を説明する。

[0026] 図4は、電圧Vipに対する電流Ipの値と、電流Ipを電圧Vipで微分した値、すなわちMOSトランジスタ111のトランスクンダクタンスGmpとを示している。電圧Vipが0VからMOSトランジスタ111のスレショルド電圧Vth1までの領域では、電流Ipは0である(遮断領域)。MOSトランジスタ111のドレイン電圧をVdpと表すと、電圧VipがVth1 < Vip < Vdp + Vth1となる領域では、MOSトランジスタ111は飽和領域で動作し、その電流Ipは数式(1)を満たす。

[0027] [数1]

$$I_p = k_1 (V_{ip} - V_{th1})^2 \quad (1)$$

[0028] ここで、k1はトランジスタサイズと製造プロセスに依存する係数である。さらに、電圧VipがVip > Vdp + Vth1となる領域では、MOSトランジスタ111は三極管領域で動作し、その電流Ipは次式で表される。

[0029] [数2]

$$I_p = k_1 \left\{ 2(V_{ip} - V_{th1}) \cdot V_{dp} - V_{dp}^2 \right\} \quad (2)$$

[0030] 飽和領域と三極管領域との境界における電圧Vipを境界電圧Vtr1とすると、

[0031] [数3]

$$V_{tr1} = V_{dp} + V_{th1} \quad (3)$$

である。

[0032] ところで、ドレイン電圧Vdpは、飽和領域で動作しているMOSトランジスタ113に注目すると数式(4)に示す関係を満たし、数式(4)は、数式(5)のように変形することができる。

[0033] [数4]

$$I_p = k_3(V_{ctrl} - V_{dp} - V_{th3})^2 \quad (4)$$

[0034] [数5]

$$V_{dp} = V_{ctrl} - V_{th3} - \sqrt{I_p / k_3} \quad (5)$$

[0035] ここで、k3はトランジスタサイズと製造プロセスに依存する係数であり、Vth3はMOSトランジスタ113のスレショルド電圧である。数式(5)を数式(3)に代入することで、

[0036] [数6]

$$V_{tr1} = V_{ctrl} - V_{th3} - \sqrt{I_p / k_3} + V_{th1} \quad (6)$$

を得る。ここで、Vip=Vtr1となる点では電流Ipは数式(1)で表すことができることに注意すると、数式(1)を数式(6)に代入して次式を得る。

[0037] [数7]

$$V_{tr1} = \frac{1}{1 + \sqrt{k_1/k_3}} V_{ctrl} - \frac{1}{1 + \sqrt{k_1/k_3}} V_{th3} + V_{th1} \quad (7)$$

[0038] ここで

[0039] [数8]

$$\alpha = \frac{1}{1 + \sqrt{k_1/k_3}}, \beta = \alpha V_{th3} - V_{th1} \quad (8)$$

なる定数 α 、 β を定義すると、境界電圧Vtr1とチューニング電圧Vctrlとの関係式

[0040] [数9]

$$V_{tr1} = \alpha V_{ctrl} - \beta \quad (9)$$

を得ることができる。定数 α 、 β は、トランジスタサイズと製造プロセスに依存する定数である。

[0041] 次に、本実施形態に係るトランスコンダクタンスアンプ全体の動作を、図5を参照して説明する。

[0042] 図5には、トランスコンダクタンスGmpに加え、電流Inを電圧Vinで微分したトランスコンダクタンスGmnがVipの関数として点線で示されている。トランスコンダクタンスGmnは、トランスコンダクタンスGmpをコモン電圧Vcmで折り返したようになっている。MOSトランジスタ112および114を、それぞれMOSトランジスタ111および113と同

じ動作特性を有するものとし、 V_{ip} と V_{in} の関係を考慮することで、図示されるようなトランスコンダクタンス G_{mn} を得ることができる。ここでコモン電圧 V_{cm} は、MOSトランジスタ111および112を両方とも三極管領域で動作させるために、 $V_{tr1} < V_{cm}$ となるよう設定されている必要があることに留意されたい。

[0043] MOSトランジスタ111および112で形成される差動対全体のトランスコンダクタンス G_m は、 $V_{ip} - V_{in}$ を入力電圧とし $I_p - I_n$ を出力電流とすると G_{mp} と G_{mn} の和で与えられる。したがって、図5に示すように、差動対全体のトランスコンダクタンス G_m は、コモン電圧 V_{cm} を中心に±($V_{cm} - V_{tr1}$)の範囲内で安定した値を持ち、ほぼ一定となる。

[0044] 本実施形態に係るトランスコンダクタンスアンプにおいては、トランスコンダクタンスのチューニングの際に、チューニング電圧 V_{ctrl} だけでなくコモン電圧 V_{cm} もコントロールすることを特徴としている。具体的には、コモン電圧は、電圧発生回路300において、チューニング電圧との比が定数となるように調整される。式(9)から $V_{cm} - V_{tr1}$ を計算すると次式のように表現することができる。

[0045] [数10]

$$V_{cm} - V_{tr1} = V_{ctrl} \left(\frac{V_{cm}}{V_{ctrl}} - \alpha \right) + \beta \quad (10)$$

[0046] 式(10)から、コモン電圧 V_{cm} とチューニング電圧 V_{ctrl} との比を定数 α に近い適切な定数に選ぶと、 $V_{cm} - V_{tr1}$ に対するチューニング電圧 V_{ctrl} の影響を低減することができる事が見出される。すなわち、たとえトランスコンダクタンスのチューニング目的でチューニング電圧 V_{ctrl} を変化させたとしても、チューニング前に定められた動作入力範囲全体にわたって入力電圧と出力電流との間の線形性を保つことができる。

[0047] 特に、

[0048] [数11]

$$\frac{V_{cm}}{V_{ctrl}} = \alpha \quad (11)$$

を満たすように電圧発生回路300が調整されると、式(11)を式(10)に代入して

[0049] [数12]

$$V_{cm} - V_{tr1} = \beta \quad (12)$$

が得られる。つまり、図6に示されているように、チューニング電圧VctrlのVcm-Vtr1に対する影響を排除することができ、したがって所定の動作入力範囲全体において入力電圧と出力電流との間の線形性を保つつつ、トランスクンダクタンスのチューニングのためにチューニング電圧Vctrlを大きく変化させることができる。

[0050] ここで定数 α は、数式(8)で示されているようにk1とk3との比により一意に決定される。k1、k3は前述のとおり、トランジスタサイズと製造プロセスに依存する係数であり、その両者の積で表される。MOSトランジスタ111と113におけるサイズの比は、同一チップ上に形成すると考えると、製造プロセス変動の影響をほとんど受けずほぼ一定である。また、製造プロセスに依存する係数の比も、同一種類のトランジスタを使用し同一チップ上に形成すると考えると、製造プロセス変動の影響をほとんど受けずほぼ一定である。また動作温度条件によらない。したがって、k1とk3との比は製造プロセス変動や動作温度条件によって変動しない安定した数値になるため、電圧発生回路300で調整される定数 α は、製造プロセス変動や動作温度条件によって変更を迫られるようなことのない、安定した定数であることがわかる。

[0051] 以上説明してきたように、本発明に係るトランスクンダクタンスアンプは、トランスクンダクタンスのチューニングの際に、チューニング電圧Vctrlだけでなくコモン電圧Vcmもコントロールすることを特徴とする。より具体的には、コモン電圧Vcmとチューニング電圧Vctrlとの比が一定となるように電圧発生回路を構成していることを特徴とする。それによって、Vcm-Vtr1に対するチューニング電圧Vctrlの影響を低減し、より広い範囲でトランスクンダクタンスをチューニング可能なトランスクンダクタンスアンプを提供することができる。

[0052] 特に、コモン電圧Vcmとチューニング電圧Vctrlとの比が定数 α となるように電圧発生回路を構成することにより、Vcm-Vtr1に対するチューニング電圧Vctrlの影響を排除し、極めて広い範囲でチューニング可能なトランスクンダクタンスアンプを提供することができる。

[0053] (実施形態2)

図7は、実施形態2に係るトランスコンダクタンスアンプの回路図を示している。本実施形態は、実施形態1の電圧発生回路300の構成を特定したものであり、その他の構成は同一である。すなわち、本実施形態に係る電圧発生回路300は、電圧発生器302と、電圧発生器302の出力とグランドとの間に直列に接続された抵抗R0およびR1と、抵抗R0とR1との間に入力端子の一方が接続され、他方の入力端子が出力端子と接続された演算増幅器301とを備える。抵抗R0およびR1は、チップ上に形成されるポリシリコンからなる抵抗体だけに限られることはなく、例えば金属配線や三極管領域で動作させたMOSトランジスタなどでも良い。チューニング電圧Vctrlは電圧発生器302からの出力であり、コモン電圧Vcmは演算増幅器301の出力である。電圧発生器302の出力電圧を所望の値にすることにより、チューニング電圧Vctrl及びコモン電圧Vcmを所望の値に設定することができる。ここで、電圧発生器302の出力電圧を可変としても良いし、チューニング電圧Vctrl及びコモン電圧Vcmが所望の値となるように設定した後にその出力電圧の値を固定としても良い。

[0054] このような構成を有するトランスコンダクタンスアンプは、抵抗R0と抵抗R1との抵抗比が定数であることを特徴とし、コモン電圧Vcmとチューニング電圧Vctrlとの比が一定となるように電圧発生回路300が構成されている。コモン電圧Vcmとチューニング電圧Vctrlとの比を定数 α に近い適切な定数に選ぶと、数式(10)に示した関係により $Vcm - Vtr1$ に対するチューニング電圧Vctrlの影響を低減することができるため、より広い範囲でトランスコンダクタンスをチューニングすることができるトランスコンダクタンスアンプを提供することが可能となる。特に、抵抗R0と抵抗R1との抵抗比を $(1 - \alpha) : \alpha$ とすることによって、コモン電圧Vcmとチューニング電圧Vctrlとの電圧比を定数 α にすることができる。それによって、 $Vcm - Vtr1$ に対するチューニング電圧Vctrlの影響を排除し、極めて広い範囲でトランスコンダクタンスをチューニングすることができるトランスコンダクタンスアンプを提供することが可能となる。

[0055] なお、本実施形態では、2つの抵抗および1つの演算増幅器(ボルテージホロア)により分圧を行い、分圧された電圧をコモン電圧Vcmとして出力しているが、電圧発生器の出力とグランドとの間の電圧を分圧し、分圧された電圧をコモン電圧Vcmとして出力する分圧手段は、これらに限定されるものではないことに留意されたい。分圧手

段は、電圧発生器の出力とグランドとの間に直列に接続された複数の抵抗と、複数の抵抗を二分する点に入力端子の一方が接続され、他方の入力端子が出力端子と接続された演算増幅器とを備える手段とすることができる。また、演算増幅器を備えずには、抵抗分圧された電圧をコモン電圧Vcmとしてもよい。

[0056] (実施形態3)

図8は、実施形態3に係るトランスコンダクタンスアンプの回路図を示している。本実施形態は、実施形態1の電圧発生回路300の構成を特定したものであり、その他の構成は同一である。すなわち、電圧発生回路300は、電圧発生器304と、電圧発生器304の出力端子が入力端子に接続された非反転増幅器とを備える。非反転増幅器は、演算増幅器303、抵抗R0および抵抗R1から構成されている。抵抗R0およびR1は、チップ上に形成されるポリシリコンからなる抵抗体だけに限られることはなく、例えば金属配線や三極管領域で動作させたMOSトランジスタなどでも良い。チューニング電圧Vctrlは非反転増幅器からの出力であり、コモン電圧Vcmは電圧発生器304からの出力である。電圧発生器304の出力電圧を所望の値にすることにより、コモン電圧Vcm及びチューニング電圧Vctrlを所望の値に設定することができる。ここで、電圧発生器304の出力電圧を可変としても良いし、コモン電圧Vcm及びチューニング電圧Vctrlが所望の値となるように設定した後にその出力電圧の値を固定としても良い。

[0057] このような構成を有するトランスコンダクタンスアンプは、抵抗R0と抵抗R1との抵抗比が定数であることを特徴とし、コモン電圧Vcmとチューニング電圧Vctrlとの比が一定となるように電圧発生回路300が構成されている。コモン電圧Vcmとチューニング電圧Vctrlとの比を定数 α に近い適切な定数に選ぶと、式(10)に示した関係により $Vcm - Vtr1$ に対するチューニング電圧Vctrlの影響を低減するため、より広い範囲でトランスコンダクタンスをチューニングすることができるトランスコンダクタンスアンプを提供することが可能となる。特に、抵抗R0とR1との抵抗比を $(1 - \alpha) : \alpha$ とすることによって、コモン電圧Vcmとチューニング電圧Vctrlとの電圧比を定数 α にすることができる。それによって、 $Vcm - Vtr1$ に対するチューニング電圧Vctrlの影響を排除し、極めて広い範囲でトランスコンダクタンスをチューニングすることができる。

きるトランスコンダクタンスアンプを提供することが可能となる。

[0058] (実施形態4)

図9は実施形態4に係るトランスコンダクタンスアンプの回路図を示している。本実施形態は、図8の電圧発生器304を図9の電圧発生器306で代替した点を除いて実施形態3と同一の構成である。本実施形態に係る電圧発生回路300は、電圧発生器306と、電圧発生器306の出力端子が入力端子に接続された非反転増幅器とを備え、電圧発生器306は、ソース接地されたMOSトランジスタ315(第5のMOSトランジスタに対応)と、ソース端子がMOSトランジスタ315のドレイン端子と接続され、ドレン端子がMOSトランジスタ315のゲート端子と接続されているMOSトランジスタ316(第6のMOSトランジスタに対応)と、MOSトランジスタ316のドレン端子に電流を出力する電流源305とを備え、MOSトランジスタ315のゲート端子が電圧発生器306の出力端子であり、MOSトランジスタ316のゲート端子が非反転増幅回路の出力端子と接続されていることを特徴とする。チューニング電圧Vctrlは非反転増幅器からの出力であり、コモン電圧Vcmは電圧発生器306からの出力である。電流源305の出力電流を所望の値にすることにより、電圧発生器306の出力を所望の値にし、チューニング電圧Vctrl及びコモン電圧Vcmを所望の値にすることができる。ここで、電流源305の出力電流を可変としても良いし、チューニング電圧Vctrl及びコモン電圧Vcmが所望の値となるように電流源305の出力電流を設定した後にその出力電流の値を固定としても良い。

[0059] MOSトランジスタ315および316は、MOSトランジスタ111および113、ならびにMOSトランジスタ112および114とそれぞれカレントミラー関係を有するようなトランジスタサイズにすることができる。例えば、カレントミラー比を γ とし固定電流源305の電流をIcとすると、 $V_{ip} = V_{in} = V_{cm}$ のときに $I_p = \gamma \times I_c$ 、 $I_n = \gamma \times I_c$ となるように、MOSトランジスタ315および316を構成することができる。

[0060] このような構成を有するトランスコンダクタンスアンプは、実施形態3に係るトランスコンダクタンスアンプと同様に、抵抗R0と抵抗R1との抵抗比が定数であることを特徴とし、コモン電圧Vcmとチューニング電圧Vctrlとの比が一定となるように電圧発生回路300が構成されている。コモン電圧Vcmとチューニング電圧Vctrlとの比を定数 α

に近い適切な定数に選ぶと、数式(10)に示した関係により $V_{cm} - V_{tr1}$ に対するチューニング電圧 V_{ctrl} の影響を低減することができるため、より広い範囲でトランスコンダクタンスをチューニング可能なトランスコンダクタンスアンプを提供することができる。特に、抵抗 R_0 と R_1 との抵抗比を $(1 - \alpha) : \alpha$ とすることによって、 V_{cm} と V_{ctrl} との電圧比を定数 α にすることができる。それによって、 $V_{cm} - V_{tr1}$ に対するチューニング電圧 V_{ctrl} の影響を排除し、極めて広い範囲でトランスコンダクタンスをチューニングすることができるトランスコンダクタンスアンプを提供することが可能となる。

- [0061] 加えて、本実施形態に係るトランスコンダクタンスアンプは、差動対を形成するMOSトランジスタ111および112を流れる電流 I_p および I_n を、電流源305により直接カレントミラー比で決定することができるという特徴を有する。

請求の範囲

- [1] 入力電圧に比例した出力電流を供給するトランスコンダクタンスアンプであって、
三極管領域で動作する、ソース接地された第1および第2のMOSトランジスタから
構成されている差動対と、
飽和領域で動作する、ソース端子が前記第1のMOSトランジスタのドレイン端子と
接続されている第3のMOSトランジスタと、
飽和領域で動作する、ソース端子が前記第2のMOSトランジスタのドレイン端子と
接続され、ゲート端子が前記第3のMOSトランジスタのゲート端子と接続されている
第4のMOSトランジスタと、
前記第3および第4のMOSトランジスタのゲート端子に入力されるチューニング電
圧と、前記差動対に入力される第1の電圧および第2の電圧を生成するためのコモン
電圧とを、前記チューニング電圧と前記コモン電圧との比が一定になるように出力す
る電圧発生回路と、
前記コモン電圧が入力され、前記第1の電圧を前記第1のMOSトランジスタのゲー
ト端子に出力し前記第2の電圧を前記第2のMOSトランジスタのゲート端子に出力
する差動対入力電圧発生回路と
を備え、
前記第2の電圧は、 $2 \times (\text{前記コモン電圧}) - (\text{前記第1の電圧})$ であり、
前記入力電圧は、前記第1の電圧と前記第2の電圧との差であり、
前記出力電流は、前記第1および第3のMOSトランジスタのドレイン・ソース間を流
れる第1の電流と、前記第2および第4のMOSトランジスタのドレイン・ソース間を流
れる第2の電流との差であることを特徴とするトランスコンダクタンスアンプ。
- [2] 前記電圧発生回路は、
前記チューニング電圧を出力する電圧発生器と、
前記電圧発生器の出力とグランドとの間の電圧を分圧し、前記分圧された電圧を前
記コモン電圧として出力する分圧手段と
を備えることを特徴とする請求1に記載のトランスコンダクタンスアンプ。
- [3] 前記分圧手段は、

前記電圧発生器の出力とグランドとの間に直列に接続された複数の抵抗を備えることを特徴とする請求項2に記載のトランスコンダクタンスアンプ。

[4] 前記分圧手段は、

前記複数の抵抗を二分する点に入力端子の一方が接続され、他方の入力端子が
出力端子と接続された演算増幅器
をさらに備えることを特徴とする請求項3に記載のトランスコンダクタンスアンプ。

[5] 前記電圧発生回路は、

前記コモン電圧を出力する電圧発生器と、
前記電圧発生器の出力端子が入力端子に接続され前記チューニング電圧を出力
する非反転増幅器と
を備えることを特徴とする請求項1に記載のトランスコンダクタンスアンプ。

[6] 前記電圧発生器は、

三極管領域で動作する、ソース接地された第5のMOSトランジスタと、
飽和領域で動作する、ソース端子が前記第5のMOSトランジスタのドレイン端子と
接続され、ドレイン端子が前記第5のMOSトランジスタのゲート端子と接続されている
第6のMOSトランジスタと、

前記第6のMOSトランジスタのドレイン端子に電流を出力する電流源と
を備え、

前記第5のMOSトランジスタのゲート端子は、前記電圧発生器の出力端子であり、
前記第6のMOSトランジスタのゲート端子は、前記非反転増幅回路の出力端子と
接続されていることを特徴とする請求項5に記載のトランスコンダクタンスアンプ。

[7] 前記第5のMOSトランジスタは、前記第1および第2のMOSトランジスタと、前記第
6のMOSトランジスタは、前記第3および第4のMOSトランジスタとカレントミラー関係
を有するように構成していることを特徴とする請求項6に記載のトランスコンダクタン
スアンプ。

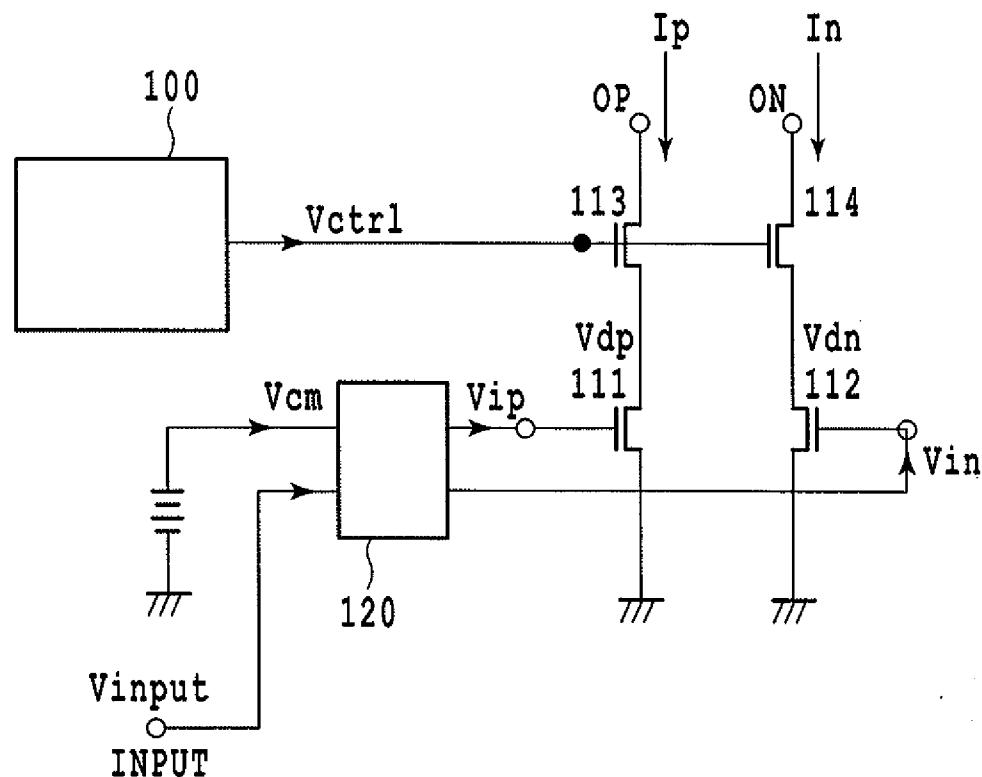
[8] 前記電流源は可変であることを特徴とする請求項6又は7に記載のトランスコンダク
タンスアンプ。

[9] 前記電圧発生器は可変であることを特徴とする請求項2乃至8のいずれかに記載

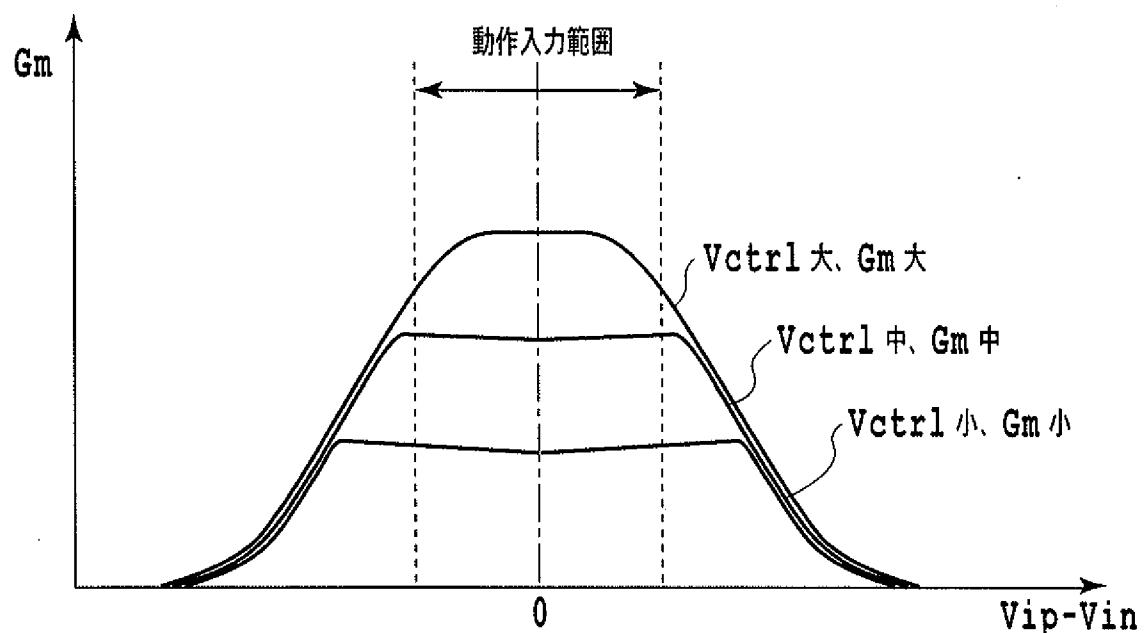
のトランスコンダクタンスアンプ。

- [10] 前記チューニング電圧と前記コモン電圧との比は、定数 α であることを特徴とする請求項1乃至9のいずれかに記載のトランスコンダクタンスアンプ。

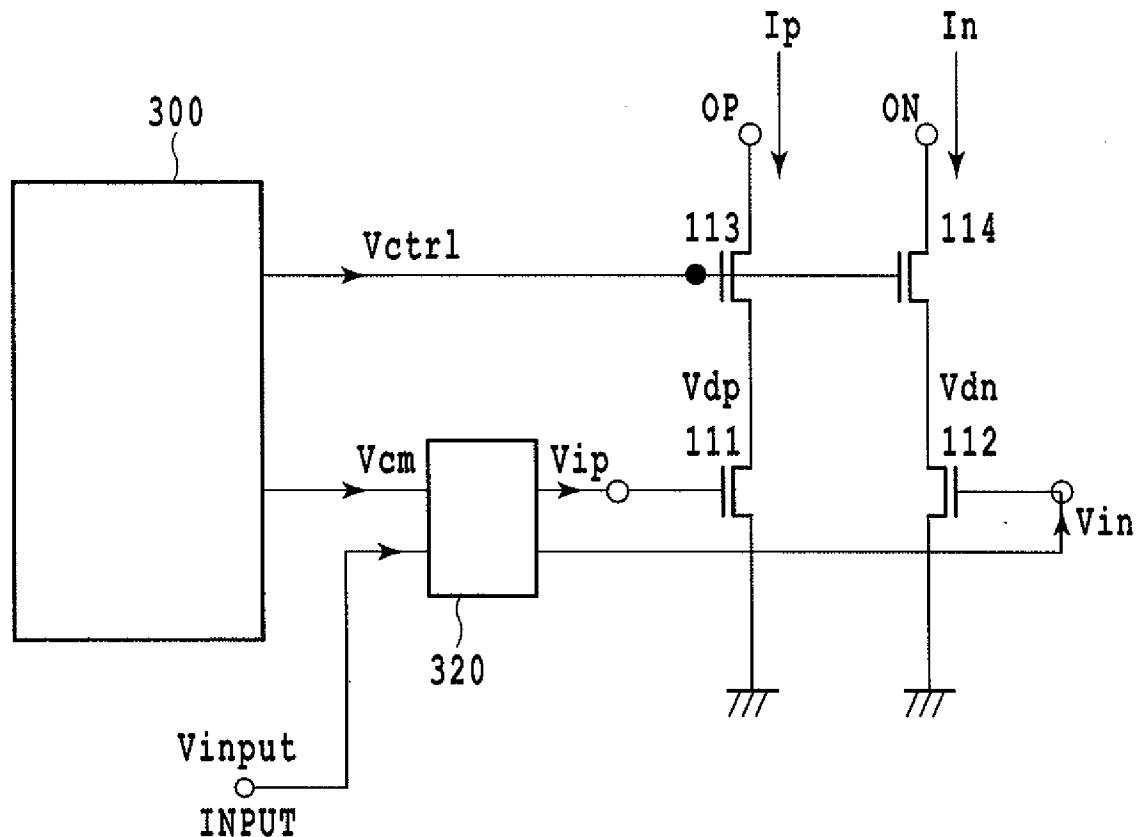
[図1]



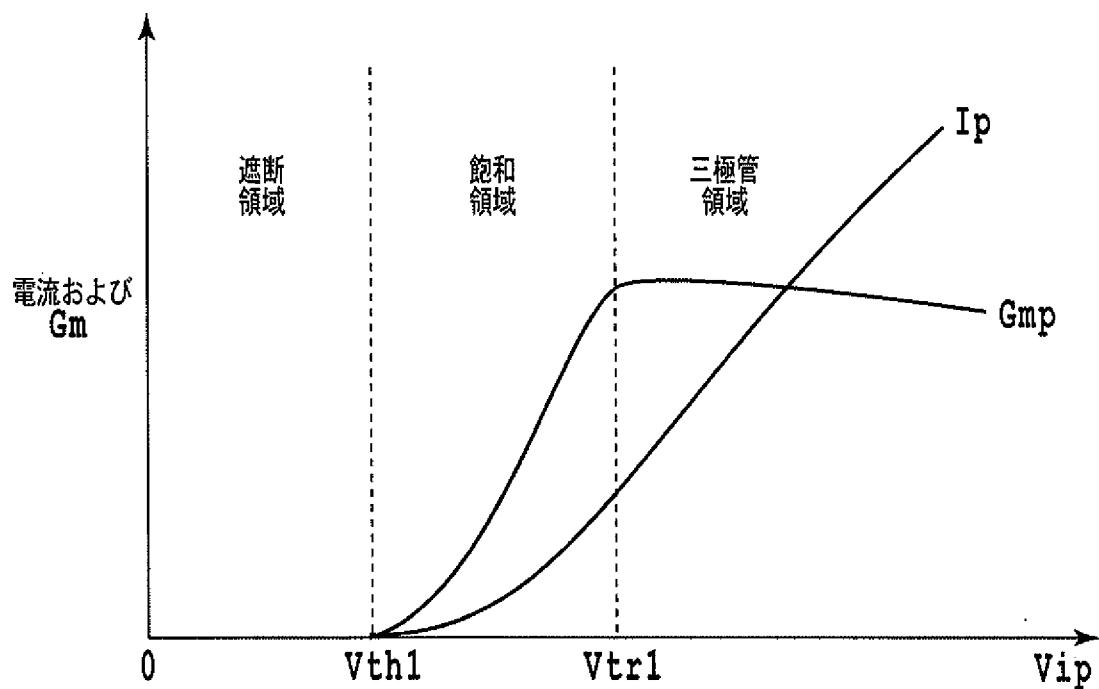
[図2]



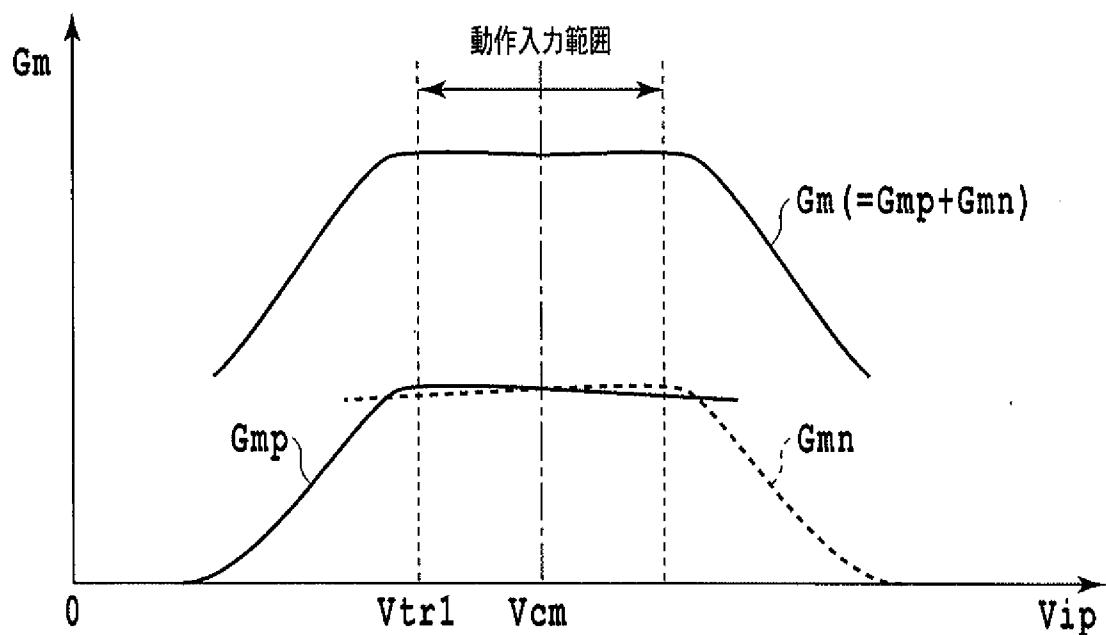
[図3]



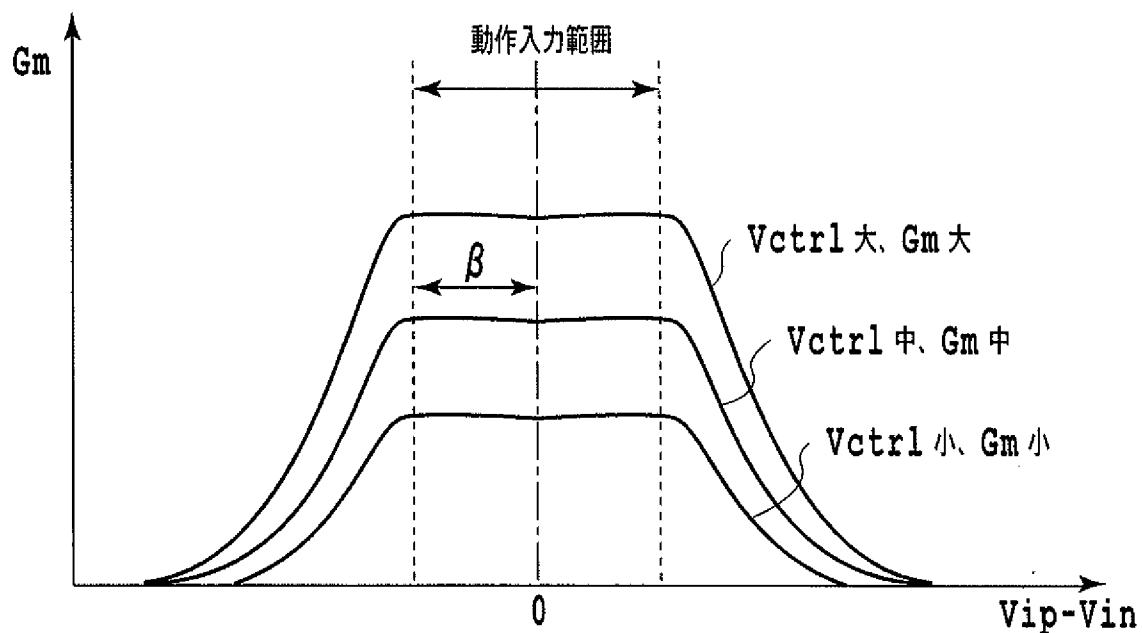
[図4]



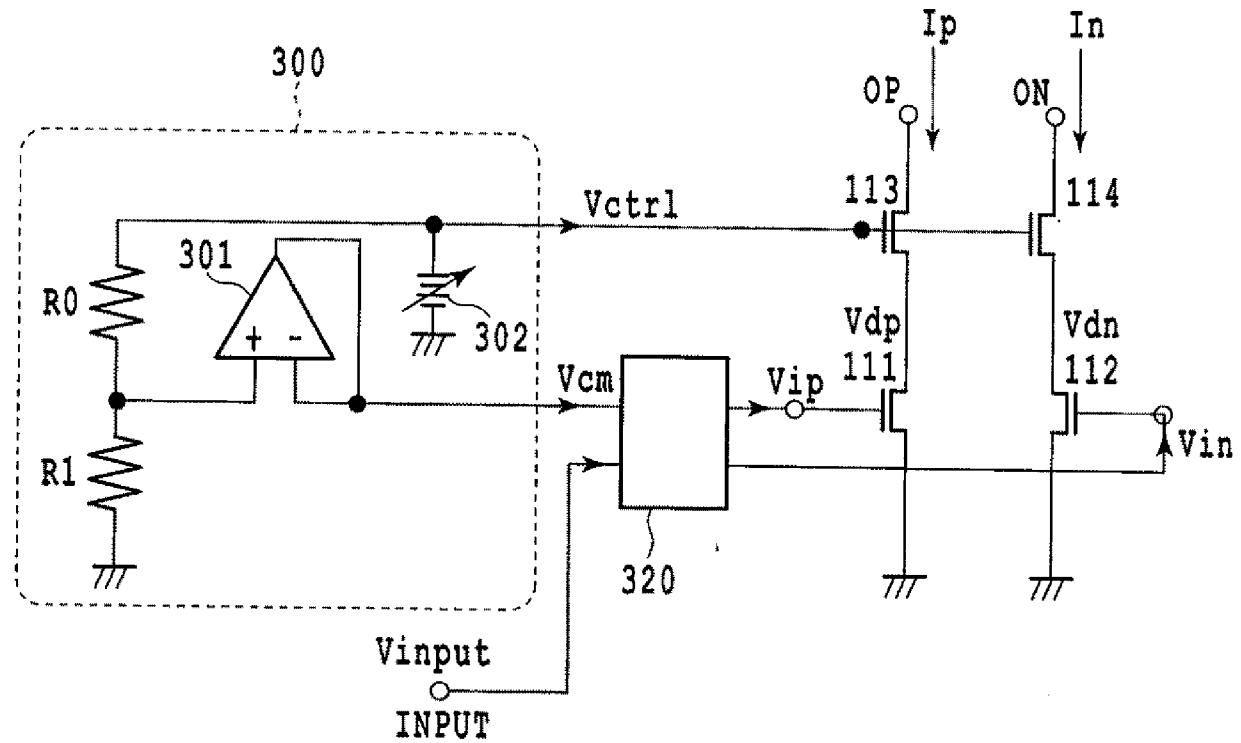
[図5]



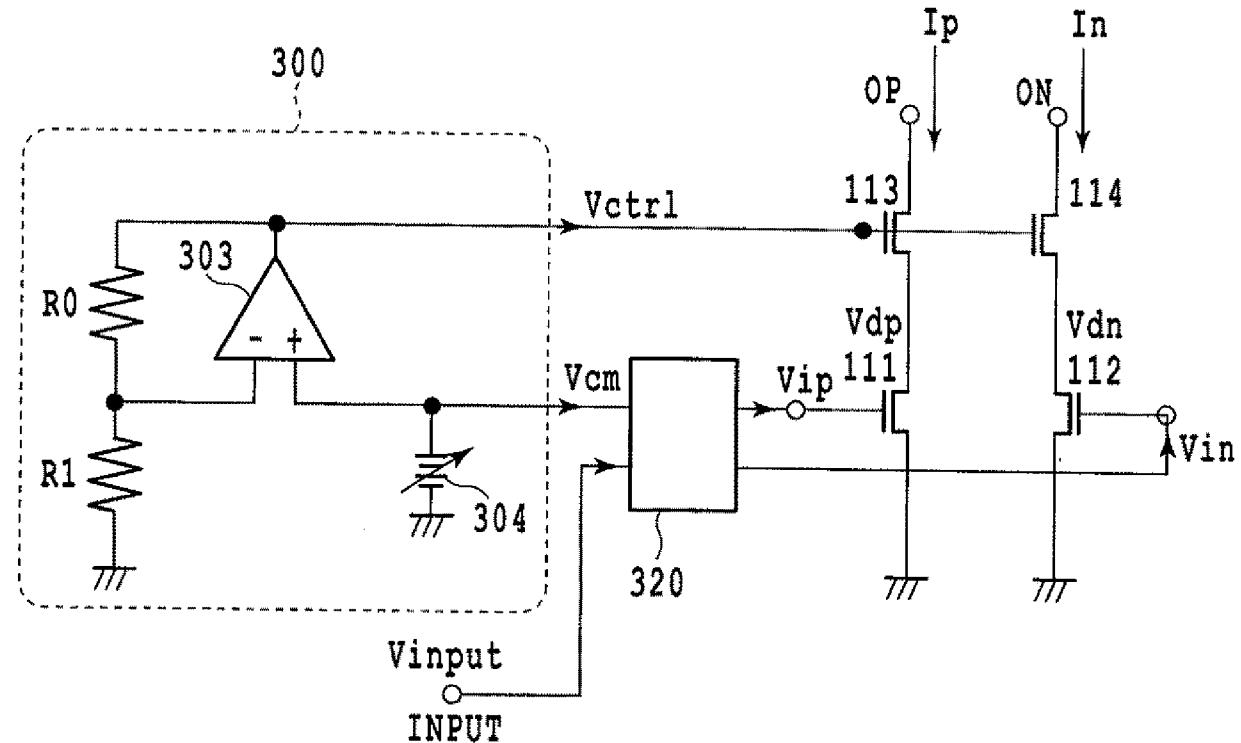
[図6]



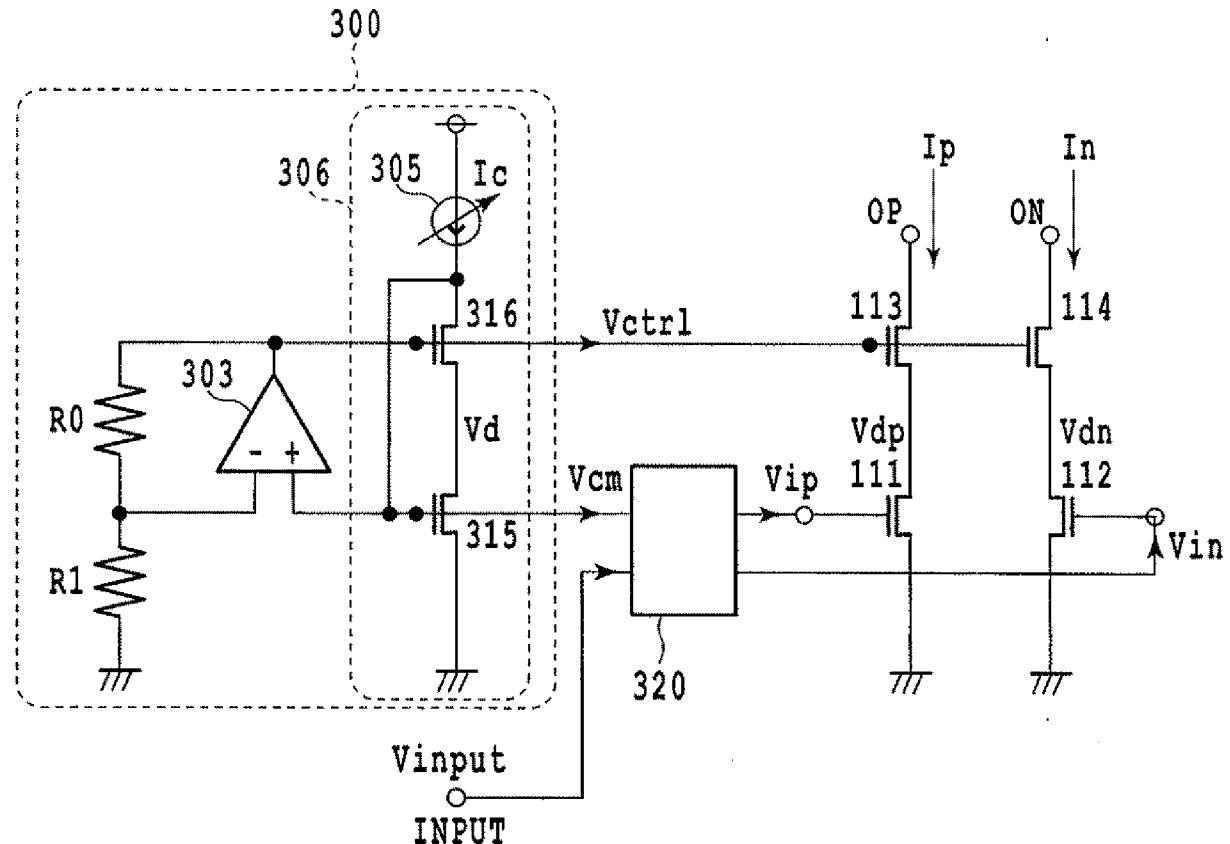
[図7]



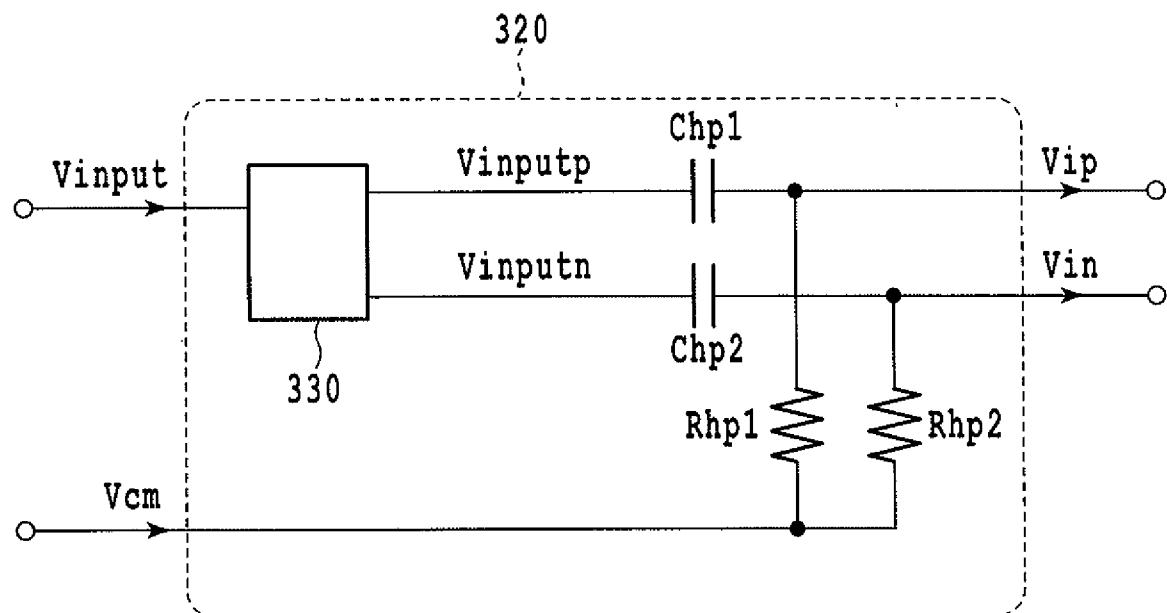
[図8]



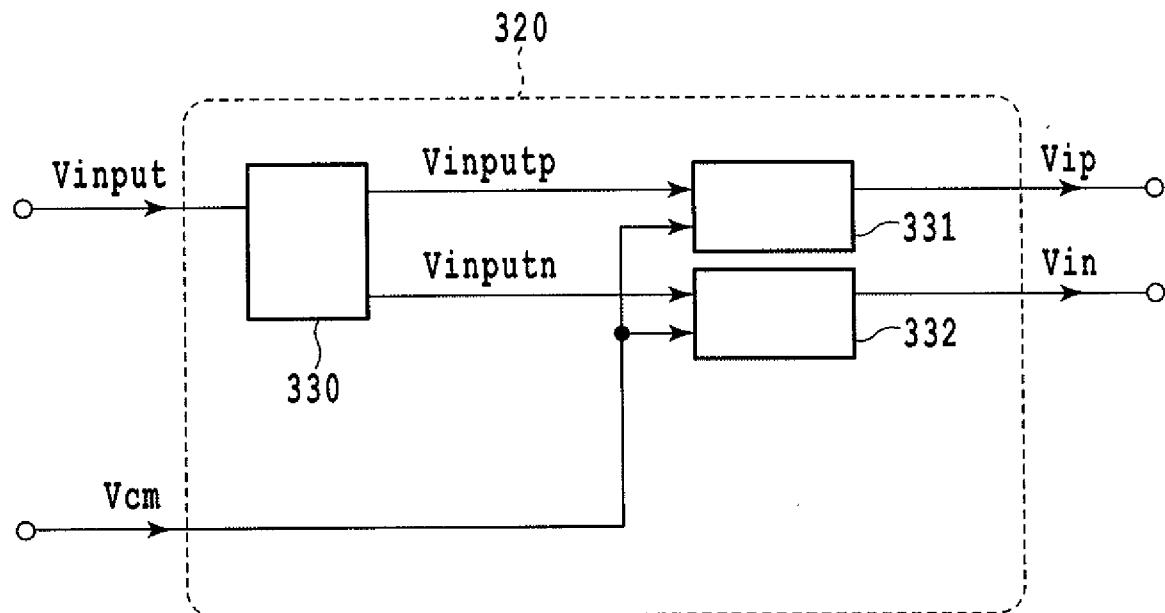
[図9]



[义10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/064644

A. CLASSIFICATION OF SUBJECT MATTER

H03F3/34 (2006.01) i, H03F3/45 (2006.01) i, H03G3/10 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03F3/34, H03F3/45, H03G3/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

<i>Jitsuyo Shinan Koho</i>	<i>1922-1996</i>	<i>Jitsuyo Shinan Toroku Koho</i>	<i>1996-2007</i>
<i>Kokai Jitsuyo Shinan Koho</i>	<i>1971-2007</i>	<i>Toroku Jitsuyo Shinan Koho</i>	<i>1994-2007</i>

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-354558 A (Sanyo Electric Co., Ltd.), 22 December, 2005 (22.12.05), Par. No. [0009]; Fig. 5 (Family: none)	1-5, 9, 10
Y	JP 2000-151302 A (Toshiba Corp.), 30 May, 2000 (30.05.00), Par. Nos. [0054] to [0063]; Figs. 5, 6 & JP 3490648 B2	1-5, 9, 10
Y A	JP 2006-080649 A (Kenwood Corp.), 23 March, 2006 (23.03.06), Fig. 2 (Family: none)	2-5, 9, 10 6-8

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

09 October, 2007 (09.10.07)

Date of mailing of the international search report

23 October, 2007 (23.10.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類(国際特許分類(IPC))

Int.Cl. H03F3/34 (2006.01)i, H03F3/45 (2006.01)i, H03G3/10 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int.Cl. H03F3/34, H03F3/45, H03G3/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2007年
日本国実用新案登録公報	1996-2007年
日本国登録実用新案公報	1994-2007年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2005-354558 A (三洋電機株式会社) 2005.12.22, 【0009】及び図5 (ファミリーなし)	1-5, 9, 10
Y	JP 2000-151302 A (株式会社東芝) 2000.05.30, 【0054】-【0063】図5及び図6 & JP 3490648 B2	1-5, 9, 10

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

09. 10. 2007

国際調査報告の発送日

23. 10. 2007

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

石原 由晴

5W

3782

電話番号 03-3581-1101 内線 3574

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 2006-080649 A (株式会社ケンウッド) 2006.03.23, 図2 (ファミリーなし)	2-5, 9, 10 6-8